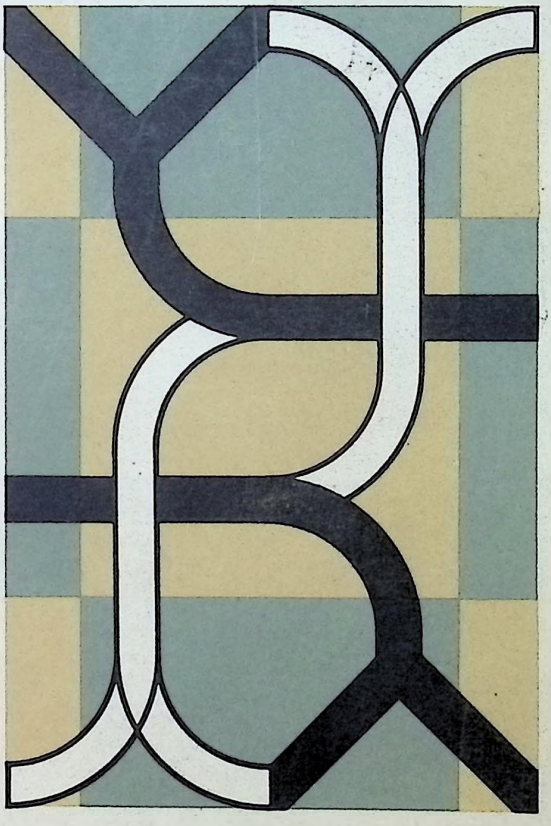
P. Alberici

OLIVETTI

GENERAL ELECTRIC

Servizio Tecnico



CORSI DI ISTRUZIONE PROGRAMMATA

SISTEMA GE-115

2

UNITA' CENTRALE Vol. 1

4.610.0.000.2

CORSI DI ISTRUZIONE PROGRAMMATA

SISTEMA GE–115

UNITA' CENTRALE

VOL. 1°

2

OLIVETTI
GENERAL ELECTRIC
Servizio Tecnico

CORSI DI ISTRUZIONE PROGRAMMATA

INTRODUZIONE AGLI ELABORATORI ELETTRONICI

1. Transistori
2. Logica
3. Memoria a nuclei
4. Oscilloscopio

SISTEMA GE - 115

1. Introduzione
2. Unità Centrale vol. 1°
3. Memoria 16 K
4. Unità Centrale vol. 2°
5. Unità Centrale vol. 3°
6. G.U.N. 7
7. Governo MZ4 - 300

M.T.E.

1. Il calcolatore M.T.E. - 2

PREFAZIONE

La presente pubblicazione é rivolta a coloro che si accingono allo studio dell'elaboratore GE - 115. Essa fa parte di una serie di volumi preparati con il Metodo della Istruzione Programmata.

Lo scopo di questo metodo é di fornire a chi studia gli elementi essenziali per l'autoapprendimento della materia esposta.
I volumi sono organizzati in lezioni sufficientemente brevi in relazione agli argomenti trattati. Ciò consente di fare acquisire pochi concetti elementari alla volta, ma tuttavia concatenati fra loro.

In ogni lezione, una o più volte, si cerca di focalizzare l'argomento o gli argomenti di maggiore interesse, proponendo all'interessato delle domande le cui risposte, a titolo di verifica, possono essere confrontate con quelle riportate nelle pagine seguenti.

Talvolta, se la complessità della materia lo richiede, l'interessato deve eseguire, o completare, degli esercizi in modo da poter integrare, con gli stessi, le nozioni acquisite.

Per evitare la possibilità di un apprendimento frammentario, che porterebbe alla perdita della visione di insieme, sono stati predisposti dei riepiloghi di carattere generale. Ciascun riepilogo riguarda la materia esposta nelle lezioni ad esso precedenti.
Tali riepiloghi sono stati preparati in modo da consentire all'interessato di verificare il proprio grado di preparazione.

Milano, giugno 1967

METODO DI STUDIO

Il metodo che si consiglia di seguire durante lo studio si articola in più punti.

E' necessario che l'interessato non prosegua ininterrottamente lo studio per tutto il tempo che ha a disposizione, anzi é utile che stabilisca alcuni intervalli; atti a ponderare quanto studiato, con una frequenza adeguata alle proprie capacità di assimilazione.

Ogni singola lezione va studiata integralmente ed in maniera non superficiale anche se qualche volta può sembrare di facile comprensione.

L'interessato deve cercare di dare sempre le risposte alle domande che gli sono proposte, prima di controllare le stesse con le risposte riportate.

Gli esercizi vanno svolti integralmente e possibilmente discussi con eventuali colleghi di studio.

Nel "Piano di studio", e all'inizio di ogni lezione é indicato il tempo necessario a svolgerla. Detto tempo ha solo uno scopo indicativo e generalmente é da ritenersi un tempo massimo.

Onde evitare la possibilità di un apprendimento frammentario, che porterebbe alla perdita della visione di insieme, sono stati predisposti dei riepiloghi di carattere generale. Essi consistono in una serie di domande alle quali é necessario rispondere scegliendo una delle risposte riportate sotto ciascuna domanda. Ogni risposta indica il numero della domanda successiva alla quale si deve rispondere e così via.

Se l'interessato risponde in maniera errata a qualche domanda viene inviato ad una successiva, tendente a chiarire il concetto non bene interpretato. Nel caso in cui, dopo uno o più tentativi, il lettore non riesca a trovare la via esatta viene rimandato a rivedere la lezione riguardante i concetti non bene appresi.

Durante lo svolgimento del riepilogo generale si consiglia di annotare il numero delle domande che vengono esaminate; ciò per facilitare il ritorno alla domanda dopo avere visto la lezione alla quale si era stati inviati.

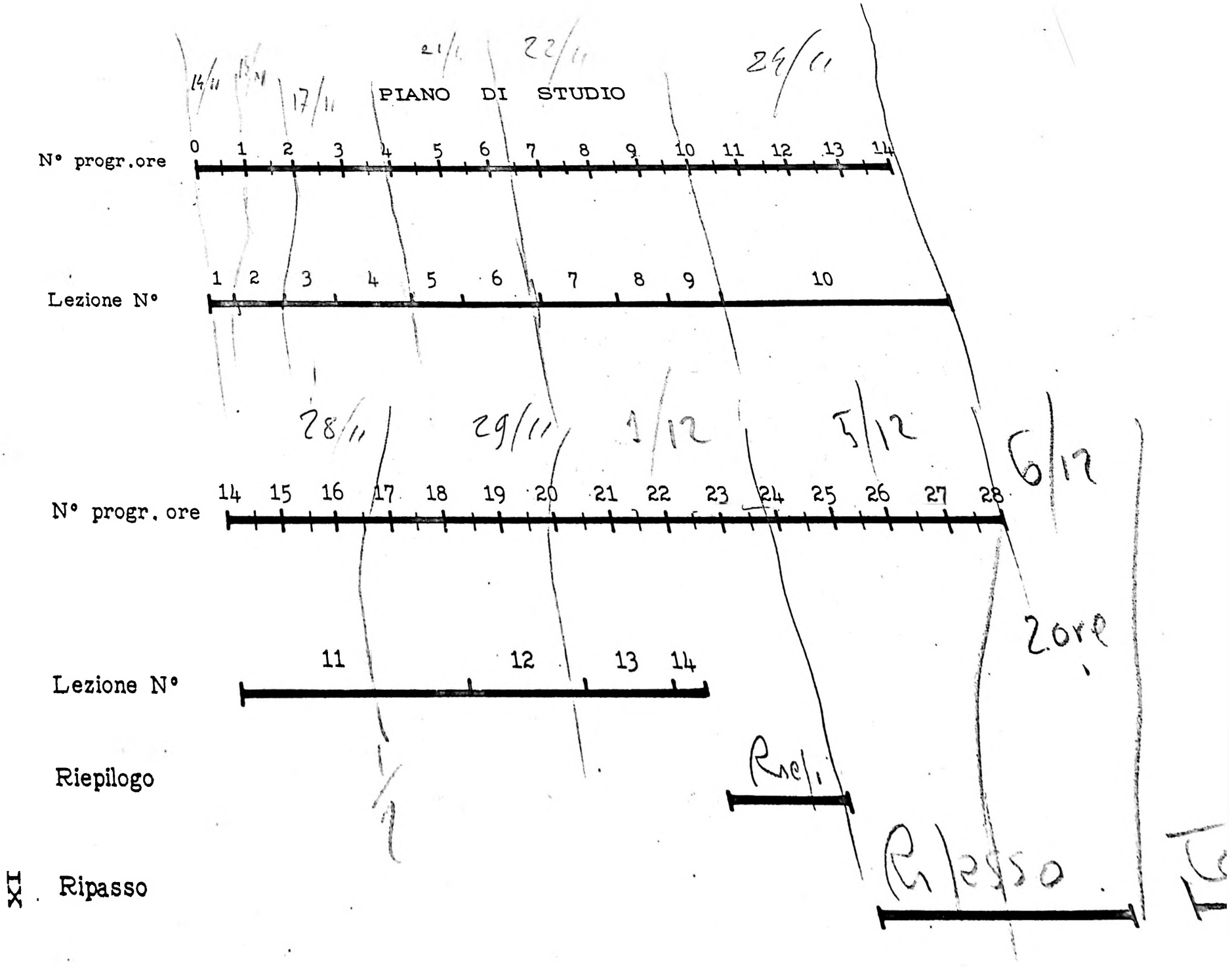
Evidentemente, se durante lo svolgimento del riepilogo si risponde sempre in modo esatto a tutte le domande, al termine ne saranno state interessate solo un numero minimo. Tale numero minimo non é volutamente riportato nel testo.

Per poter abbandonare il questionario é necessario incontrare l'apposita indicazione.

Al termine di ogni volume, il responsabile dello "Avanzamento Studio", proporrà all'interessato un questionario riguardante la materia trattata nel volume.

Al termine del corso teorico é previsto un corso pratico da effettuarsi alla Scuola Tecnici.

Per essere ammessi al corso pratico é necessario superare una prova teorica di carattere generale (tenuta alla Scuola) su tutto il programma svolto individualmente.


PIANO DI STUDIO
N° progr.ore
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14
Lezione N°
1 2 3 4 5 6 7 8 9 10
N° progr. ore
14 15 16 17 18 19 20 21 22 23 24 25 26 27 28
Lezione N°
11 12 13 14
Riepilogo
Ripasso
14/11
17/11
21/11
22/11
24/11
28/11
29/11
1/12
5/12
6/12
2 ore

I N D I C E

	pagine
Prefazione	V
Metodo di studio	VII + VIII
Piano di studio	IX
Indice	XI + XII
Aggiornamento	XIII

Lezione 1	: Generalità	1 - 3 + 1 - 25
Lezione 2	: Temporizzazione	2 - 3 + 2 - 18
Lezione 3	: Sequenziatore	3 - 3 + 3 - 22
Lezione 4	: Memoria	4 - 3 + 4 - 22
Lezione 5	: Introduzione alla rete di conta	5 - 3 + 5 - 18
Lezione 6	: Rete di conta	6 - 3 + 6 - 23
Lezione 7	: Registri indirizzatori	7 - 3 + 7 - 24
Lezione 8	: Registri RO-RA-RE	8 - 3 + 8 - 16
Lezione 9	: Rete di disparità	9 - 3 + 9 - 15

Lezione 10	:	Unità Aritmetica	10 - 3 + 10 - 41
Lezione 11	:	Rete di correzione della U.A.	11 - 3 + 11 - 50
Lezione 12	:	Flip-flop RIPO-DIVE -COVE-DISA-COEN-CAPE	12 - 3 + 12 - 25
Lezione 13	:	Registro LO	13 - 3 + 13 - 27
Lezione 14	:	Console (Schemi Elettrici)	14 - 3 + 14 - 13
Riepilogo			R - 3 + R - 27
Appendice			A - 3 + A - 43

Tutti gli schemi ed i riferimenti di questo volume sono aggiornati al 24 febbraio 1967.

LEZIONE 1

Tempo di studio
30 minuti

Per i comandi - consultare
e unice COXXY
e la tabella nelle uscite NOR AL. P
e INPO

1. GENERALITA'

1.1. Il GE - 115 è un elaboratore di tipo alfa-numerico destinato ad una utilizzazione commerciale.

Nella sua versione base esso ha l'aspetto di un " compact " così composto :

- UNITA' CENTRALE comprendente i circuiti di temporizzazione, di sequenza, di logica d'interscambio, una memoria a nuclei con i relativi circuiti di governo, l'unità aritmetica, i registri ausiliari, una consolle operativa ed una di manutenzione.
- CONSOLE OPERATIVA E DI MANUTENZIONE sistemate entrambe sul " Mobile di Console ".
- LETTORE DI SCHEDE seriale o lettura fotoelettrica, del tipo CR - 10 o LS600.
- STAMPANTE alfanumerica parallela MZ4 (o MB).
- UN ALIMENTATORE che fornisce a tutto il sistema l'unica tensione impiegata nei circuiti logici (+20V).
- PERFORATORE P85 che può perforare un Max. di 200 SK/MIN.

Il supporto d'ingresso delle informazioni, nella versione base, è costituito da schede perforate. Sia l'introduzione di dati da elaborare che l'introduzione di programmi è affidata al lettore. Quest'ultima operazione viene predisposta tramite appositi pulsanti della console operativa.

Per offrire una maggiore versatilità, è data la possibilità di modificare la composizione della versione base oppure di potenziare la capacità operativa e di memoria del sistema mediante il collegamento di un certo numero di unità esterne.

Tale possibilità può essere schematizzata come in Fig. 1.1.1

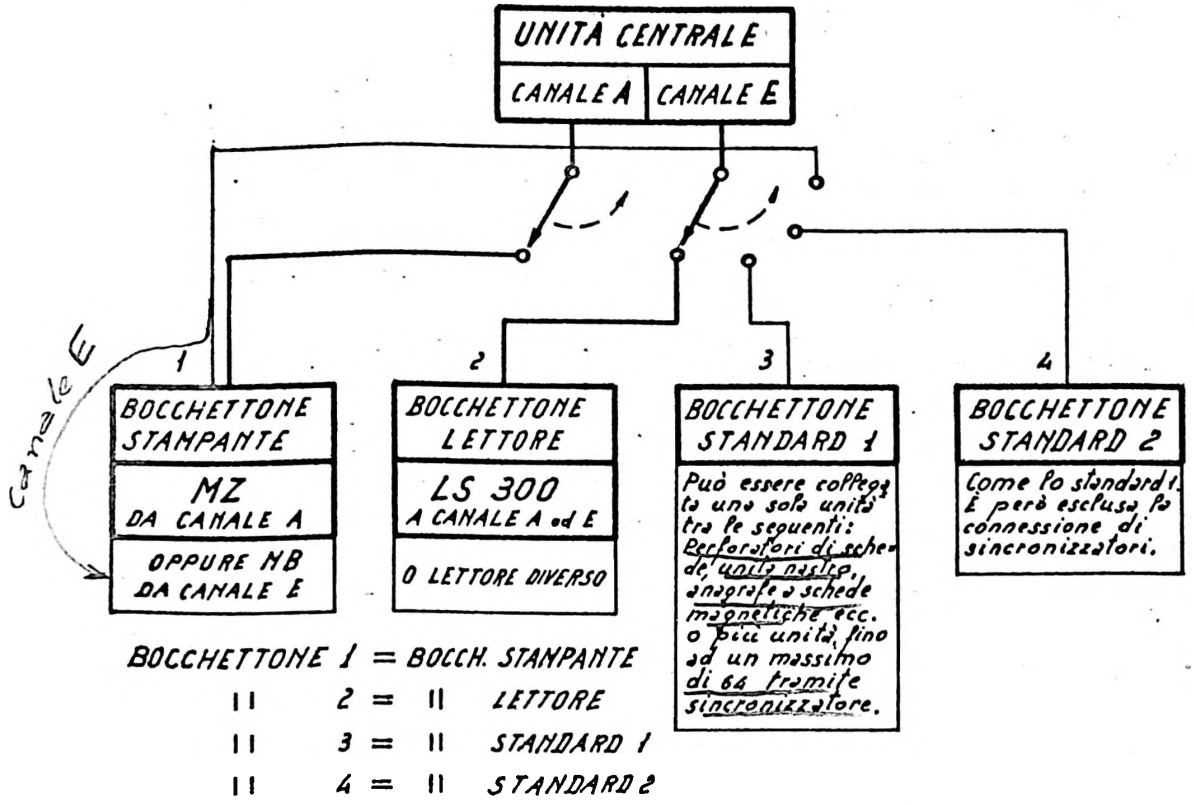


Fig. 1.1.1

I "canali" A ed E raffigurati nello schema logico sottointendono il seguente concetto :
le informazioni provenienti da unità esterna o destinate ad unità esterna transistano in campi di memoria dell'unità centrale individuabili mediante 2 diversi indirizzatori (VA e VE).

In fase di collegamento con unità esterna, l'unità centrale del GE - 115 ha quindi la possibilità di smistare tali informazioni, attraverso i due commutatori logici rappresentati nello schema, secondo una delle seguenti combinazioni possibili :

- Versione Base canale A→stampante MZ
  canale E←lettore

- Variante 1 canale A←lettore
canale E→stampante MB

oppure canale E→(standard 1) perforatore di schede

- Variante 2 canale A→stampante MZ
canale E←lettore

oppure canale E (standard 2)→perforatore di schede

oppure canale E (standard 1)↔unità nastro

La " rotazione " dei commutatori rappresentati nello schema corrisponde, in realtà, ad una diversa configurazione delle istruzioni di programma destinate a governare il collegamento dell'U.C. con le unità esterne.

Si vedrà meglio in seguito come è possibile (e fino a che punto) la sovrapposizione operativa tra i due canali e la scelta dei canali e delle unità esterne da istruzioni del programma.

1.2. Il codice interno impiegato nell'U.C. è ad 8 bit (GECD). Esso è compatibile con il codice HOLLERITH. Il GE - 115 accetta come supporto di informazioni in ingresso schede perforate in codice BULL ISO od HOLLERITH, separatamente. L'indispensabile trascodificatore adatto ad uno dei tre tipi di supporto viene inserito nel governo del lettore di schede.

Il 9° bit di ogni carattere ha la funzione di check per controllo di disparità. I 4 bit di peso inferiore hanno un significato numerico decimale. Dall'accoppiamento di questi bit con i restanti 4 nascono 256 possibili combinazioni (2^8) delle quali solo alcune hanno significato per il sistema GE - 115.

In Fig. 1.2.1 è presentato il codice GECD.

				h	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
				g	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
				f	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
				e	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
d	c	b	a																	
0	0	0	0						0	♭					Λ	+				
0	0	0	1						1	A					J	/				
0	0	1	0						2	B					K	S				
0	0	1	1						3	C					L	T				
0	1	0	0						4	D					M	U				
0	1	0	1						5	E					N	V				
0	1	1	0						6	F					O	W				
0	1	1	1						7	G					P	X				
1	0	0	0						8	H					Q	Y				
1	0	0	1						9	I					R	Z				
1	0	1	0						[	&					-	\				
1	0	1	1						#	.					S	,				
1	1	0	0						_	]					*	%				
1	1	0	1						:	(					)	=				
1	1	1	0						>	<					;	"				
1	1	1	1						?	\					'	!				

Fig. 1.2.1

Un importante vantaggio risulta dall'impiego del codice ad 8 bit specie se al sistema sono collegate unità nastro. Infatti tra le istruzioni interne del GE - 115 ne esistono due che permettono rispettivamente :

- la prima di impaccare 2 caratteri numerici (4 bit ciascuno) in un unico carattere (8 bit)
- la seconda di disimpaccare un carattere ad 8 bit in due caratteri numerici.

La stessa proprietà é caratteristica anche delle istruzioni di trasferimento da unità esterna, durante le quali é possibile in entrata all'Unità Centrale impaccare due caratteri numerici in un unico carattere e, in uscita dalla Unità Centrale disimpaccare un carattere in due caratteri numerici.

1.3. Prima di iniziare lo studio dettagliato della "logica interna" é necessario illustrare la composizione fisica dell'U.C. dell'elaboratore del quale una versione é visibile in Fig. 1.3.1.

La sua composizione é stata realizzata mediante circuiti elementari in logica NOR.

I circuiti logici sono realizzati su delle piastrine a circuito stampato. In Fig. 1.3.2 é riportato un esempio di piastrina vista dal lato componenti.

Gli ingressi e le uscite delle piastrine terminano su 17 terminali chiamati "pin". Ciò consente la loro connessione con gli altri circuiti e la loro alimentazione.

Solo 15 dei 17 "pin" possono essere utilizzati come ingresso e uscita dei segnali poiché uno interessa l'alimentazione della piastrina con la tensione unica + 20 V (pin 8) e un altro interessa il collegamento di massa (pin 17).

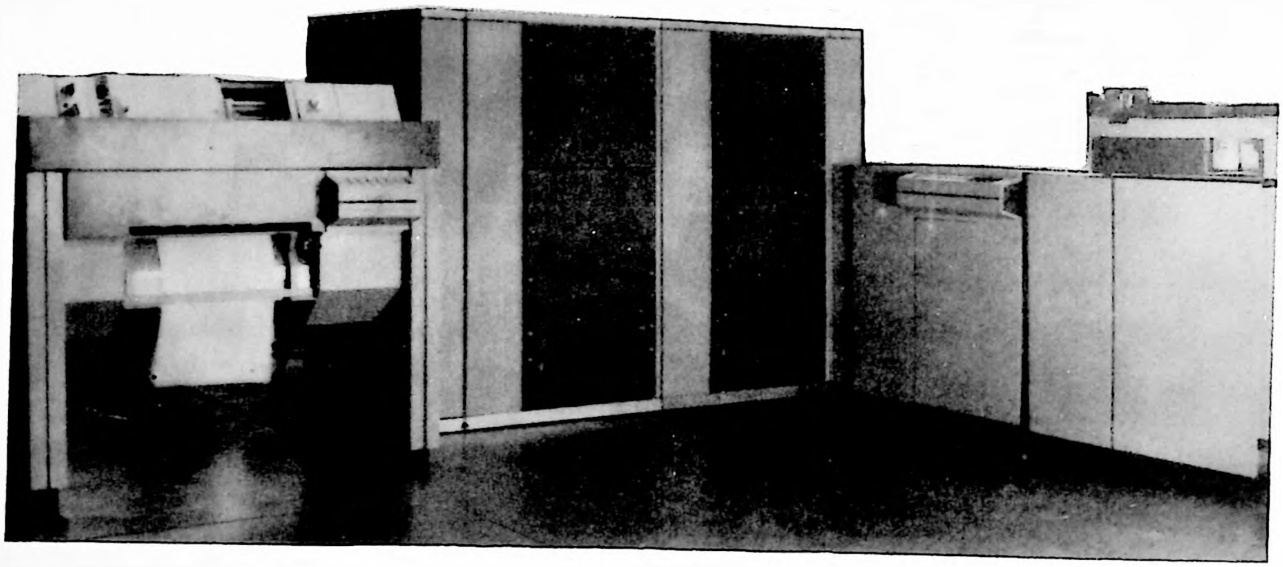


Fig. 1.3.1

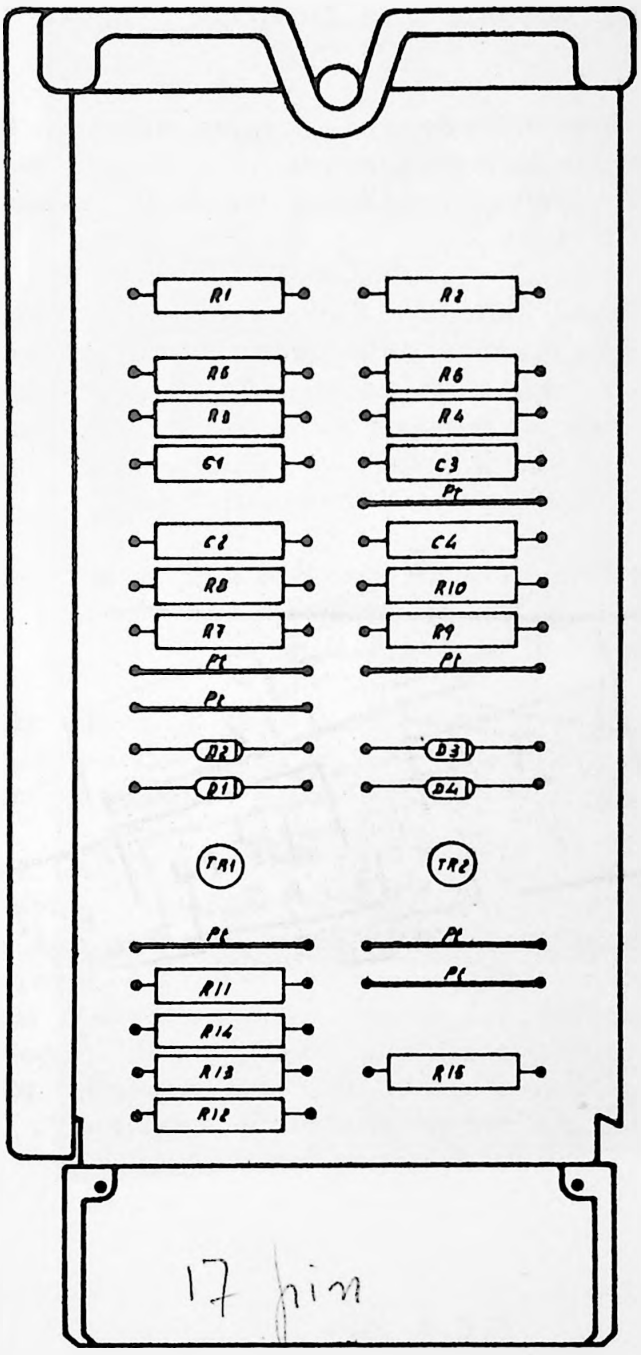


Fig. 1.3.2

pin 8 = +20
" 17 = Masse

Le piastrine che compongono l'U.C. sono infilate in un mobile la cui parte anteriore contiene i cablaggi (Fig. 1.3.3), mentre la parte posteriore presenta lo spazio per contenere le piastrine (figura 1.3.4).

Queste ultime si infilano una accanto all'altra in senso orizzontale fino a formare una riga di 40 elementi ed in senso verticale, dall'alto verso il basso, fino ad ottenere 18 righe.

Ogni riga viene indicata, dall'alto verso il basso con una lettera a partire dalla lettera A. Quattro righe di piastrine formano un pacco (Figg. 1.3.5 e 1.3.6). In ogni riga si contano le piastrine numerate da 1 a 40. Nella parte anteriore escono tutti i maschi dei connettori che vengono chiamati "pin".

I "pin" che interessano una piastrina sono disposti su due file. La fila di sinistra costituisce i "pin" dispari, quella di destra i pari.

In ogni "pin" si possono collegare solo due fili che prendono il nome di "infero" e "supero" in relazione alla loro posizione. Quello più esterno é il "supero", quello più interno "l'infero".

Dal lato cablaggio non esistono saldature poiché tutti i collegamenti sui "pin" che sono di forma quadrangolare, vengono ottenuti mediante "wire - wrape" cioé con arricciamento del filo in maniera forzata tanto da provocare la sua incisione sugli spigoli dello stesso "pin" . Un filo già usato non può essere più utilizzato poiché ha già subito una forte "trazione".

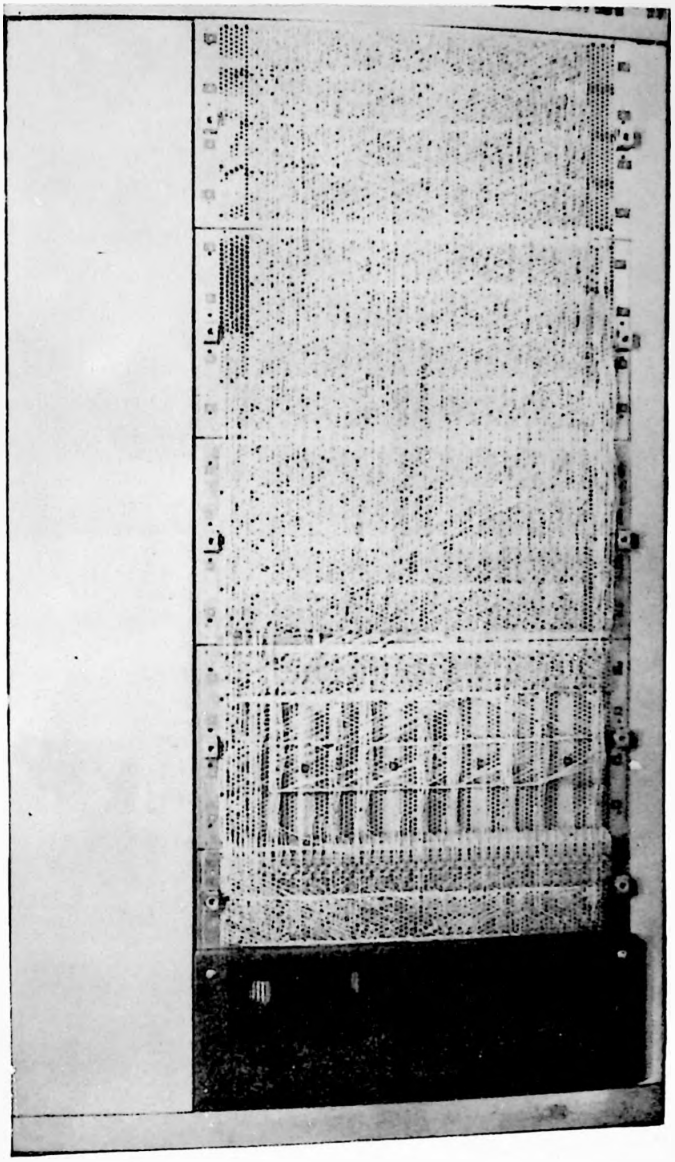


Fig. 1.3.3

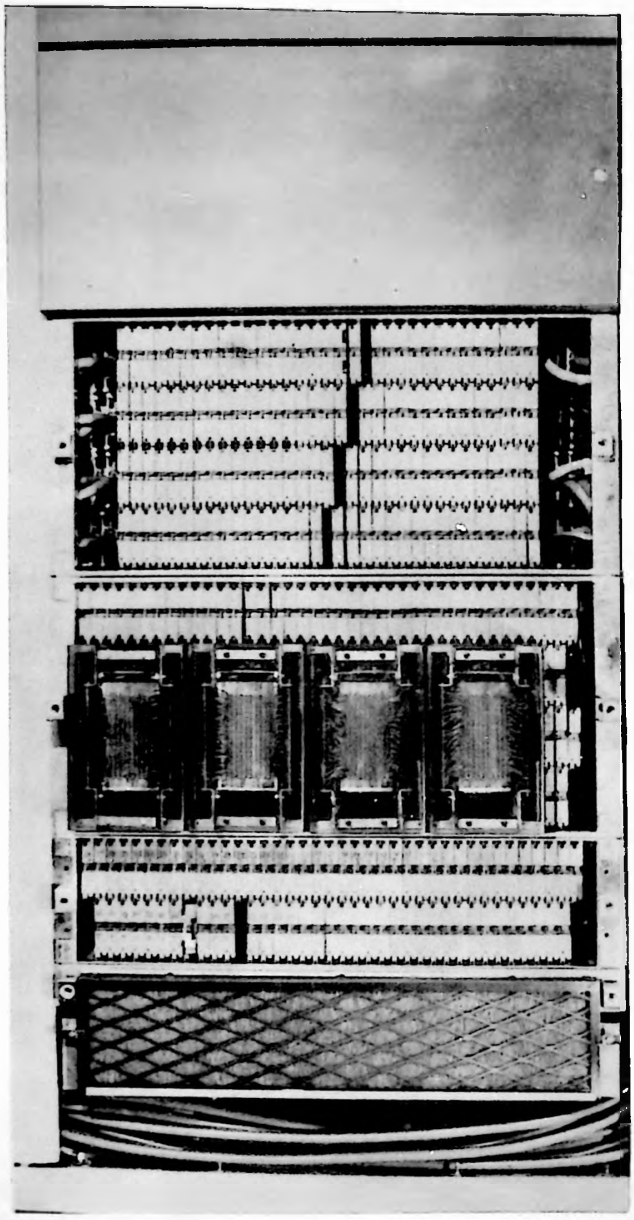


Fig. 1.3.4

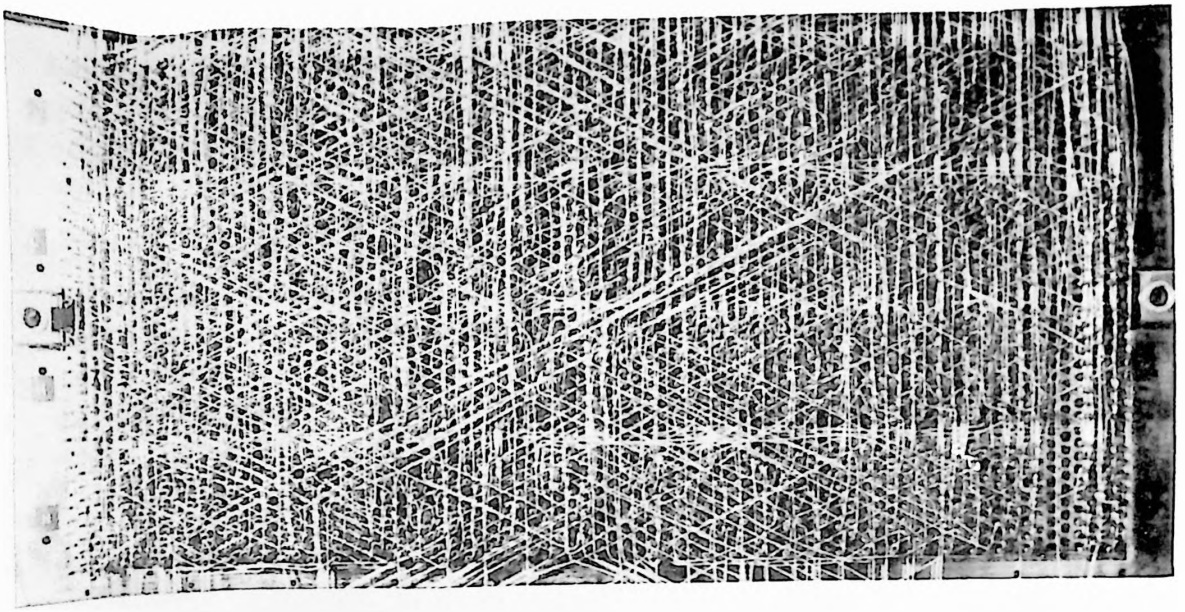


Fig. 1.3.5

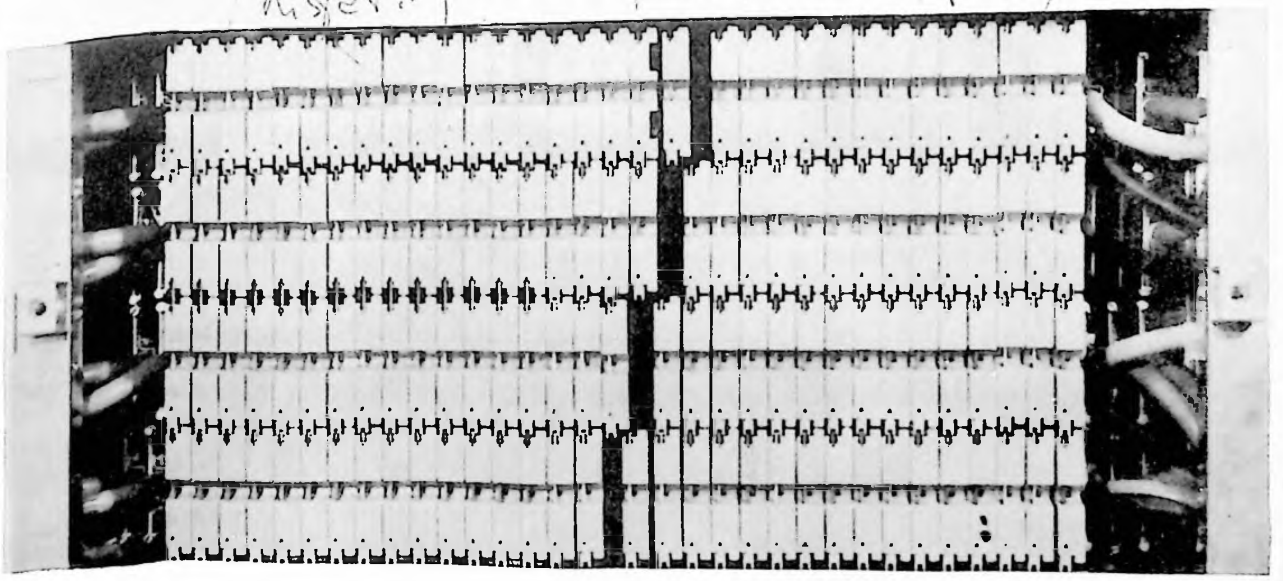


Fig. 1.3.6

1.4. CONSOLE OPERATIVA

Per poter iniziare qualsiasi tipo di elaborazione è necessario predisporre in maniera adeguata l'elaboratore. E' indispensabile avere dei pulsanti d'alimentazione, di posizionamento di organi e di avvio dell'elaboratore.

Talvolta, necessita agire dall'esterno per fermare l'elaborazione ed in alcuni casi è necessario far svolgere, ad un programma introdotto una sequenza d'istruzioni oppure un'altra in relazione alla presenza o meno di condizioni che si creano dall'esterno manualmente .

Esiste quindi una serie di pulsanti che consente di eseguire tali operazioni. Essi sono predisposti in una parte visibile del calcolatore che viene chiamato " console operativa ". Incorporate nei pulsanti ci sono delle segnalazioni luminose che permettono di visualizzare il verificarsi di certi eventi ed il contenuto di alcuni organi.

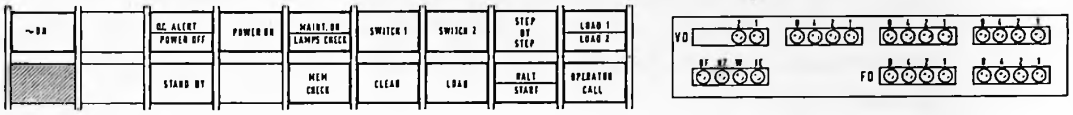
Lo schema della " console operativa " è riportato in Fig. 1.4.1.

Essa è sistemata sulla parte superiore di un mobile (mobile di console); si compone di una doppia fila di pulsanti e di lampade di segnalazione (fig.1.4.2).

I pulsanti affiorano sul piano della console con un coperchietto trasparente di forma parallelepipeda e contengono ciascuno un gruppo di quattro lampadini.

I pulsanti possono essere monostabili e bistabili. Le lampade di segnalazione sono accessibili estraendo, con trazione verso l'alto il coperchietto superiore di protezione.

A seconda delle funzioni logiche esplicate, alle lampade di segnalazione viene conferita una diversa colorazione mediante l'apposizione di cappucci colorati.



CONSOLE OPERATIVA GE 115

Fig. 1.4.1

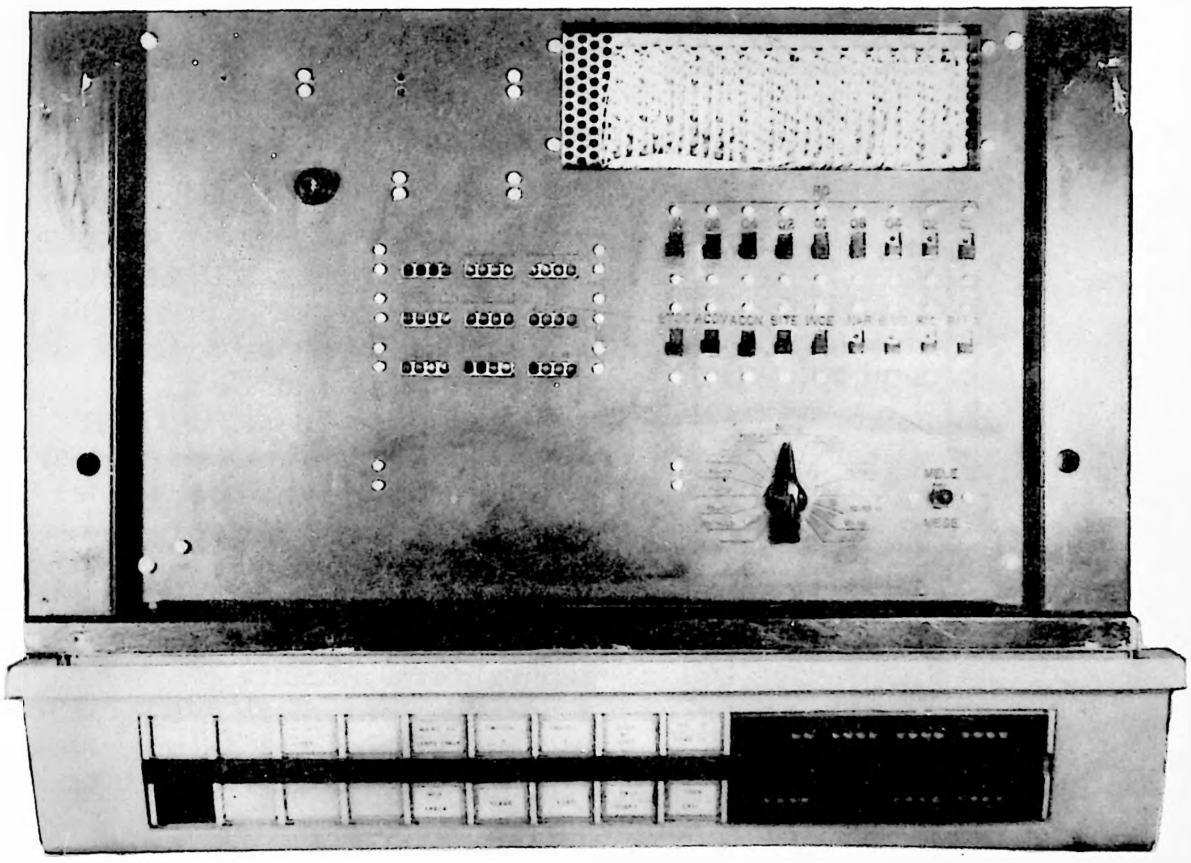
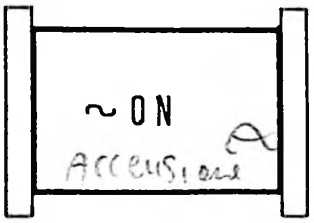


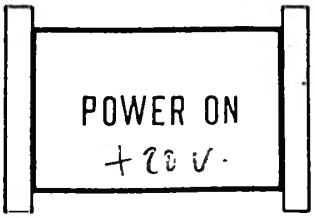
Fig. 1.4.2

1.5. DESCRIZIONE PULSANTI

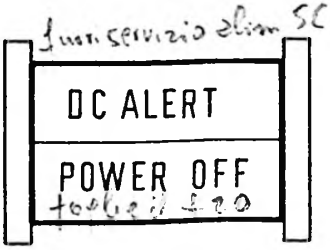
Si espongono ora le funzioni dei singoli pulsanti alcuni dei quali, aventi utilizzazione logica, sono stati analizzati nel volume " Introduzione al GE - 115 " (lezione 14).



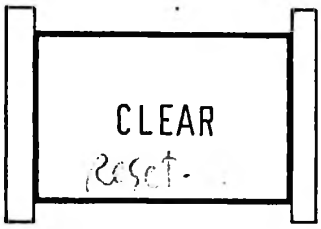
PULSANTE MONOSTABILE: viene utilizzato per alimentare lo elaboratore con la tensione alternata.



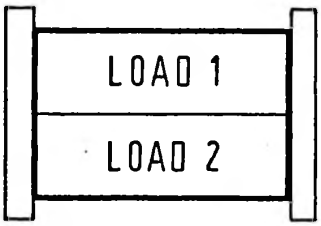
PULSANTE MONOSTABILE CON FUNZIONE LUMNOSA: viene azionato per dare alla macchina la tensione continua +20 V.
L'illuminazione di POWER ON dura finchè la macchina è sotto tensione (+20) e coincide con lo spegnimento di POWER OFF.



PULSANTE MONOSTABILE CON FUNZIONE LUMNOSA: viene azionato per togliere alla macchina la tensione continua di alimentazione +20 V.
L'illuminazione di DC ALERT denuncia il " fuori servizio " di uno dei due alimentatori SCR.
Poichè l'impiego di due alimentatori SCR è del tutto eccezionale, la segnalazione DC ALERT ed il relativo circuito restano normalmente inutilizzati.
L'illuminazione di POWER OFF sta ad indicare che la macchina non è sotto tensione (+20 V).



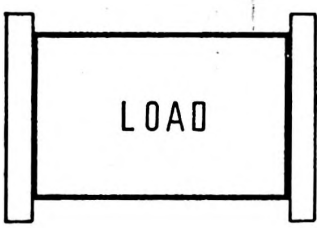
PULSANTE MONOSTABILE: svolge la funzione di reset generale o sgancio dell'U.C. e dei governi esterni viene sempre azionato durante le operazioni d'avvio della macchina.



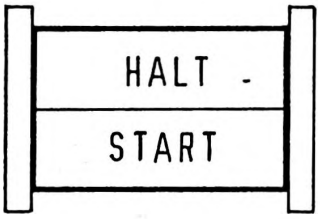
PULSANTE BISTABILE CON FUNZIONE LUMINOSA: l'illuminazione di LOAD1 o LOAD2 predispone da quale unità periferica si vuole introdurre il programma d'avvio elaborazione (inizializzazione).

Es. LOAD1 inizializzazione da lettore integrato o da standard 2

Es. LOAD2 inizializzazione da canale standard 1

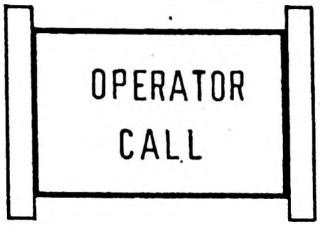


PULSANTE MONOSTABILE: viene azionato dopo aver predisposto LOAD1 o LOAD2 ed abilita l'inizializzazione dal canale designato.

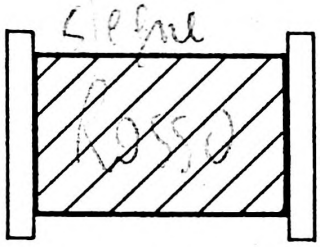


PULSANTE MONOSTABILE CON FUNZIONE LUMINOSA: l'illuminazione di HALT indica che la macchina è ferma su una istruzione di HLT e coincide con la comparsa del codice di funzione 0/10 nel registro FO (visualizzazione in console). Una successiva pressione sul tasto fa procedere il programma.
Se è inserito STEP BY STEP ad ogni pressione sul tasto il programma procede di un'istruzione arrestandosi dopo la lettura del codice di funzione dell'istruzione successiva.

F F'
LON = 0/2 8/0
LOFF = 0/2 4/0

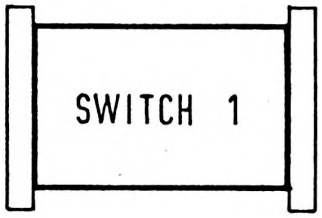


FUNZIONE LUMINOSA: l'illuminazione di OPERATOR CALL avviene su comando dell'istruzione LON che crea nel contempo una condizione di salto (F' = 10000000) 8/0 L'istruzione LOFF può annullare la condizione di salto e spegnere la lampada (F'= 01000000). 4/0

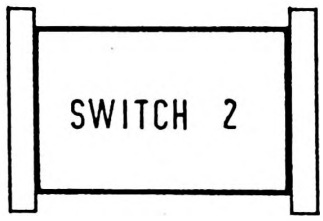


PULSANTE MONOSTABILE : (con un coperchietto rosso) agisce direttamente sul "teleruttore principale" e consente di togliere la tensione alternata a tutto il sistema.

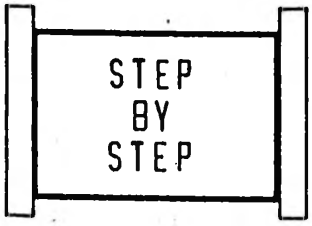
FUNZIONE LUMINOSA : l'illuminazione di MEM CHECK indica che si é verificato un errore interno (set di ERIR) durante una elaborazione.



PULSANTE BISTABILE CON FUNZIONE LUMINOSA : l'illuminazione di SWITCH 1 indica la presenza di una condizione esterna inserita. Fa sorgere per la matrice logica la segnalazione "condizione esterna 1". E' utilizzato dalla JS1.



PULSANTE BISTABILE CON FUNZIONE LUMINOSA : come sopra fa sorgere per la matrice logica, la segnalazione "condizione esterna 2". E' utilizzato dalla JS2.



PULSANTE BISTABILE CON FUNZIONE LUMINOSA: permette lo svolgimento di un programma istruzione per istruzione ad ogni premuta del pulsante "START". Ad elaboratore in moto ne arresta il funzionamento al termine dell'istruzione in corso.

PULSANTE BISTABILE CON FUNZIONE LUMINOSA : agisce in combinazione con la chiave del contaore.
Dopo aver alimentato l'elaboratore con la tensione continua ed aver premuto il pulsante CLEAR si possono verificare i seguenti casi :

	CHIAVE CONTA ORE	
	Non inserita	Inserita
NO STAND BY (lampadino spento)	Contatore ed elaboratore abilitati	Contatore non abilitato ——— Elaboratore abilitato
STAND BY (lampadino acceso)	Contatore non abilitato ——— Elaboratore non abilitato	Contatore non abilitato ——— Elaboratore abilitato

1.6. CONSOLE DI MANUTENZIONE

Sullo stesso mobile, disposta orizzontalmente adiacente alla console operativa, troviamo la console di manutenzione; essa è raggiungibile rimuovendo un piano di protezione che normalmente la ricopre (fig.1.4.2).

Un commutatore a 18 posizioni, lampade di segnalazione, un fusibile e commutatori bipolari danno origine ai circuiti che compongono la console di manutenzione la quale ha in comune con la console operativa la tensione di alimentazione +20 V. ed è protetta da un fusibile.

1.7. DESCRIZIONE PULSANTI CONSOLE DI MANUTENZIONE

I circuiti della console di manutenzione sono raggruppabili in :

a) - Circuiti di segnalazione luminosa.

b) - Circuiti di forzaggio dei registri e di alcuni flip-flop ausiliari.

c) - Circuiti di forzaggio di alcune condizioni logiche.

d) - Circuiti d'interruzione della ciclata e di bloccaggio di SO.

- I CIRCUITI DI SEGNALAZIONE LUMINOSA sono costituiti da una serie di amplificatori lampadini disposti in prossimità degli organi da visualizzare. Le uscite degli amplificatori alimentano i lampadini, che sono tutti montati sulla console. Vengono così visualizzati :

  1°) Il registro RO (9 lampadini, RO)

  2°) Il registro SO, compreso SO99 (8 lampadini, SO)

3°) Il decodificato " tutti zero " dei primi 4 flip-flop del registro LO (1 lampadino, LO)

4°) Il decodificato " tutti uno " dei flip-flop di LO dal 5° all'8° (1 lampadino, L2)

5°) Il decodificato " tutti uno " dei primi 8 flip-flop di LO (1 lampadino, L8)

6°) Il decodificato " tutti uno " di tutto il registro LO (1 lampadino, LT)

7°) Il flip-flop CAPE (1 lampadino, CP)

8°) Il flip-flop di errore ERAR ed ERER (2 lampadini, EA ed EE)

9°) I flip-flop di selezione unità SELA, SELE e SELI (3 lampadini, SA, SE e SI)

10°) I flip-flop TERA e TERE (2 lampadini, TA e TE).

- I CIRCUITI DI FORZAGGIO DEI REGISTRI sono composti da un commutatore a 16 posizioni e da 9 inversori, montati sulla console stessa. Il loro funzionamento è però condizionato da una coppia di mastri, TEVI4 e DADE, che partono rispettivamente alla pressione ed al rilascio del tasto START (console operativa). L'impiego dei circuiti di forzaggio dei registri è condizionata al posizionamento del commutatore (scelta del tipo di trasferimento) ed alla successiva manovra del tasto START (azzeramento preventivo del registro che riceve , con TEVI4 e trasferimento con DADE). Fanno eccezione a quest'ultima regola i trasferimenti in VO che non sono preceduti dall'azzeramento (dato che i trasferimenti avvengono sulle maschere di set e di reset) ed i trasferimenti in LO che sono preceduti dal forzaggio della configurazione " tutti uno " (dato che i trasferimenti avvengono per reset). Dalla console di manutenzione è possibile forzare in RO un carattere qualsiasi. A questo fine occorre posizionare i 9 inversori (che coincidono con i 9 flip-flop di RO) sulla configurazione prescelta, e disporre il commutatore, prima di azionare il tasto START.

E' inoltre possibile forzare uno qualsiasi dei tre flip-flop RIPO, DIVE,COVE : ciò avviene ricopiando nei tre flip-flop la posizione dei flip-flop RO02, 01, 00 rispettivamente. Occorre cioé disporre, (mediante un "forzaggio in RO") i primi tre flip-flop nella configurazione voluta, quindi posizionare il commutatore su CO-DI-RI e dare uno START.
E' interessante notare che, in funzionamento normale, la manopola del commutatore deve essere disposta sulla posizione neutra centrale; solo in questa posizione la Linea di Ritardo può ciclare.

- I CIRCUITI DI FORZAGGIO DI ALCUNE CONDIZIONI LOGICHE sono :

1°) LA CHIAVE ACOV, la quale agisce sul circuito di formazione del comando CO37, nello stato 105 (fase alfa). Se la chiave viene disposta, il programma si arresta al termine della fase interpretativa della 1^ istruzione di SALTO se la condizione é verificata. Questo avvenimento é determinato dal fatto che il comando CO37 setta il flip-flop TEMA (vedi logica riciclo della L.d.R.).

2°) LA CHIAVE ACON, che produce lo stesso effetto della precedente, ma solo se la condizione non é verificata.

3°) LA CHIAVE INCE, la quale agisce sul circuito di formazione del comando CO35, nello stato 114 delle istruzioni di ingresso su canale E. Se la chiave é stata disposta , in memoria viene registrato il check originale in luogo del check calcolato. Questo accorgimento permette di individuare la posizione di un carattere errato in un blocco che abbia prodotto una segnalazione ERER.

4°) LA CHIAVE INAR, la quale agisce sul circuito di formazione del comando CO37, in tutte le sequenze possibili. Se la chiave viene posizionata, il programma non si arresta più su segnalazione di errore interno (ERIR), il

che permette, per esempio, di osservare in ri correnza la lettura/scrittura di un carattere in fase di depannaggio della rete di disparità.

5°) LA CHIAVE PAPA, che agisce incondiziona tamente sul circuito di formazione del comando CO37. Se la chiave viene posizionata, il pro gramma si arresta al termine della ciclata in corso. Ad ogni pressione sul tasto START successiva, si ottiene la partenza di una sola ci clata dell'istruzione in corso di svolgimento, sen za che venga alterata nessun'altra condizione del sequenziatore.

6°) LA CHIAVE SIME, che porta a livello "0"i co mandi CO33N(inibizione memoria in RO), CO46D (scrittura normale) e CA994 (azzera - mento registro RO). Posizionando la chiave é quindi possibile impedire l'azzeramento sistemati- co di RO e creare le condizioni per scrivere in memoria un qualsiasi carattere (previamente for zato da console in RO).

7°) LA CHIAVE SITE, che porta a livello zero le uscite dirette dei flip-flop TETI,TETE,TECE, TECA. Se la chiave viene posizionata é possibi le riciclare in una sequenza di istruzione ester- na, senza attendere i segnali di riavvio occasio nati dai vari TE10,TE20,TE30,CLOCK, ed os servare i fenomeni caratteristici delle sequenze e sterne in ricorrenza.

8°) LA CHIAVE STOC, annulla l'effetto di una istruzione INS di disabilitazione inserita in un qualsiasi programma, e ripristina quindi la fun zione della chiave STEP BY STEP.

- I CIRCUITI DI INTERRUZIONE DELLA CICLATA E BLOCCAGGIO DI SO :

1°) UNA CHIAVE ~~TELEFONICA~~ A TRE POSIZIONI (MELE, MESE), permette di svolgere una qualsiasi ciclata in due tempi. In condizione di arresto, posizionando la chiave verso l'alto (MELE) e premendo lo START, si ottiene la partenza della ciclata, che si interrompe però al termine del primo spezzone.
Rilasciando la chiave essa si riporta in posizione neutra. Posizionandola quindi verso il basso e premendo il pulsante START si avvia la seconda parte della L.d.R.

2°) LA CHIAVE RICI se posizionata, annulla l'effetto del mastro 05, preposto al cambiamento di stato. E' possibile quindi (forzando in SO la configurazione di stato desiderata) osservare in ricorrenza gli avvenimenti di uno stato qualsiasi.

E' utile porre l'accento sulle gravi conseguenze che potrebbero derivare dall'errato posizionamento di alcune chiavi della console di manutenzione (INCE, INAR, SIME, SITE, STOC) in fase di elaborazione normale.

Per ovviare ad una eventuale dimenticanza, é stata prevista la segnalazione luminosa "MAINT ON" (vedi console operativa).

1.8. TELECONSOLE

La teleconsole é una unità elementare portatile dotata di tre pulsanti :

1 CLEAR

2 START

3 STEP BY STEP

La presenza di due magneti permanenti incorporati consente il fissaggio della teleconsole ai carter della macchina nella posizione più comoda per la manovra.

Il collegamento alla macchina é realizzato mediante un cavo flessibile connesso alla UCE - 420 nella posizione G3 e di lunghezza tale da coprire la distanza interposta tra la UCE - 420 e la unità periferica in linea più distante.

Il connettore di UCE sul quale é previsto il collegamento della teleconsole é normalmente occupato da una piastrina tappo. L'utilità della teleconsole si manifesta in tutti quei casi in cui occorre controllare una periferica in " AUTOMATICO" da posizione ravvicinata.

LEZIONE 2

Tempo di studio
1 ora

2. TEMPORIZZAZIONE

2.1. Data l'impossibilità di analizzare l'introduzione in memoria di dati o di programmi senza essere a conoscenza della struttura dell'elaboratore e degli organi di comando delle unità ad esso collegato, é indispensabile per il proseguimento dell'esposizione considerare un ipotetico programma già introdotto in memoria.

Le posizioni che si presumono occupate dal programma vanno da 0/0 0/0 a 0/1 1/1.

Si pensi ora di voler avviare l'elaboratore per lo svolgimento del programma già introdotto.

L'elaboratore è fermo.

Le prime operazioni che si dovranno eseguire, devono essere fatte dall'esterno.

Tramite la console operativa è possibile inviare una serie di comandi necessari per l'avvio dello svolgimento delle operazioni.

I tasti di console operativa che interessano sono due :

- tasto CLEAR
- tasto START

Il primo tasto ha il compito di disporre gli organi interni dell'elaboratore in maniera opportuna (forzare l'indirizzo 0/0 0/0 in VI azzerare organi ecc.),

Il tasto START dà l'avvio alla elaborazione.

2.2 AVVIO E RICICLO DELLA L.d.R.

Considerando lo schema di Fig. 2.2.1 si supponga ora di avere il segnale UNITA' ESTERNA DISPONIBILE al valore logico 1.

Se si preme il pulsante CLEAR, si provoca il set del flip-flop TEMA, (lo si consideri prima del CLEAR in reset) il quale va a comandare l'ingresso set del flip-flop TEPA. Quest'ultimo ha anche il reset al livello logico 1. Le uscite (per una particolarità dei circuiti standard LTR 300) set e reset di TEPA si portano ambedue a livello zero. Rimarranno a questo livello fino a quando con il segnale START non si pone in reset il flip-flop TEMA.

Dopo lo START, il flip-flop TEPA, essendo comandato solo dalla presenza del segnale UNITA' DISPONIBILE si pone in reset.
Questa variazione viene trasmessa al generatore di mastri NAPA che provoca, con il suo mastro l'avvio della L.d.R.. Verso la fine della ciclata un mastro mette in set il flip-flop TEGE che va a ricomandare il set del flip-flop TEPA. Quando il flip-flop TEGE verrà posto in reset per l'uscita del successivo mastro il flip-flop TEPA tramite NAPA riavvierà la L.d.R..

Questo rappresenta l'avvio e il riciclo della L.d.R.. Quando il flip-flop TEMA durante il riciclo è posto in set anche dalle altre condizioni, l'effetto di TEGE viene annullato. Si potrà ripartire solo premendo ancora lo START.

Se invece scompare il segnale UNITA' ESTERNA DISPONIBILE si avrà che TEPA, ricevendo un segnale di set, si dispone ma non potrà più riporsi quando il set viene tolto. Quindi, non potrà provocare l'avvio della L.d.R. finché non ricomparirà il segnale di reset (unità esterna disponibile).

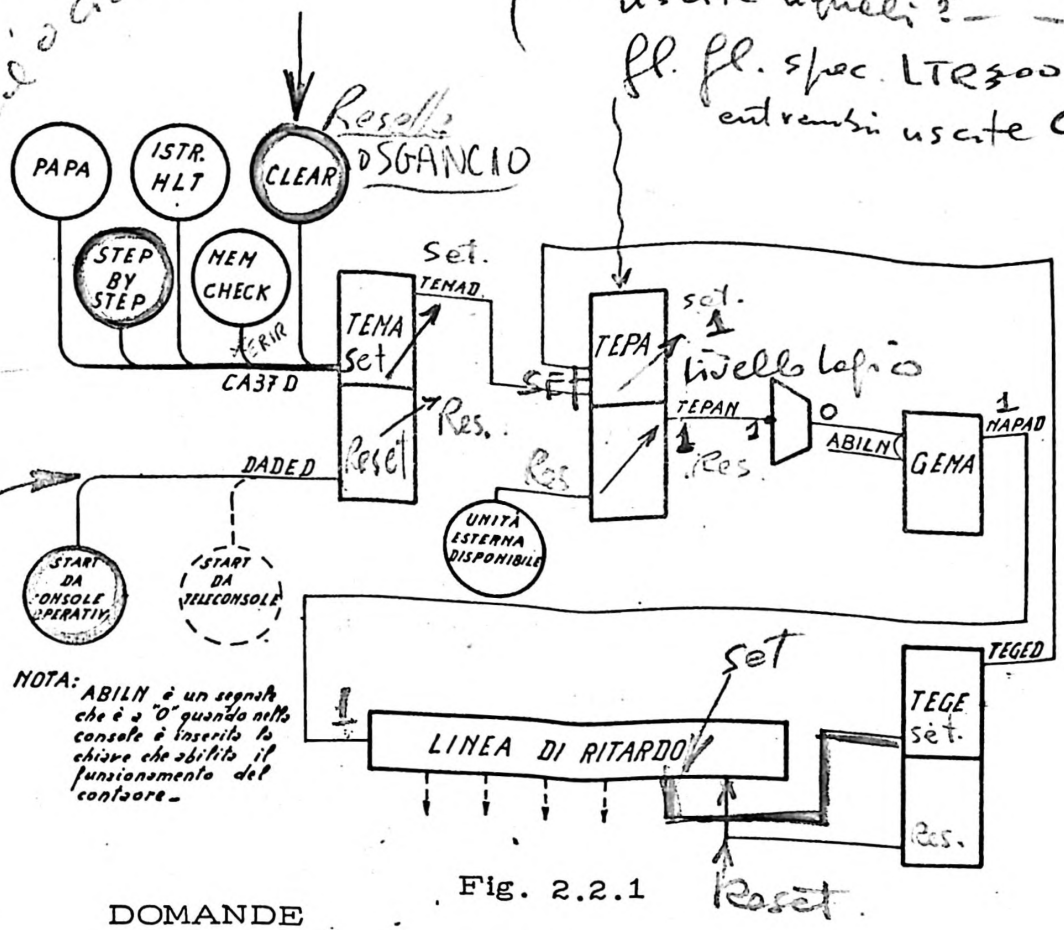


Fig. 2.2.1

DOMANDE

a) - Come si deve avviare un programma già introdotto in memoria a partire dalla posizione 0/0 0/0?
Col. Clear e poi ... START .....

b) - Dove agisce il tasto START ? Sul fl. fl. TEMA
.....

c) - Come nasce il segnale DADED ?
..... Premendo START .....

d) - Quali sono i segnali inviati dalla console operativa ? Start, Clear, Step, by Step, PAPA
.....

e) - Se il segnale UNITA' ESTERNA DISPONIBILE è a zero, cosa si verifica ?
che l'unità esterna non è disponibile e non si ha ritorno - e LAR non si aggiorna

f) - Dove agisce l'istruzione HLT ? TEMA
Sul set ...

g) - Cosa vuol dire PAPA e STEP BY STEP ?
PAPA = Carattere X Carattere .....
Step by Step = Istruzione x Istruzione

RISPOSTE

a) - Premendo da console operativa il CLEAR e poi lo START.

b) - Agisce sul reset del flip-flop TEMA.

c) - Premendo il pulsante START di console.

d) - I segnali sono: CLEAR - START - STEP BY STEP.

e) - La L.d.R. non può riciclare.

f) - Sul set del flip-flop TEMA.

g) - Passo a passo significa procedere alla estrazione di un carattere da memoria per ogni pressione del pulsante START.
Con STEP BY STEP significa procedere, ad ogni START, all'esecuzione completa di un'istruzione (fase alfa e beta) alla volta.

2.3 CONDIZIONI DI ARRESTO DELLA L.d.R.

Quando si dice che l'elaboratore è " fermo " significa che esso non compie nessuna operazione, cioè l'organo temporizzatore non produce alcun segnale.

La sequenza degli avvenimenti deve essere scandita da quest'ultimo..

E' quindi necessario, perchè si inizi qualsiasi operazione, avviare la L.d.R..

Con la premuta dei tasti CLEAR e START si avvia la linea di ritardo.

La stessa, una volta avviata, può interrompere il suo riciclo automatico solo se si verificano alcuni eventi particolari che si possono elencare in :

1) - CLEAR — Premendo il tasto CLEAR , quando la L.d.R. ricicla, si interrompe l'operazione in corso, Il CLEAR ripone altre " condizioni di macchina " oltre che fermare la L.d.R..
Ciò non consente di riprendere correttamente lo svolgimento delle operazioni dal punto in cui sono state interrotte, premendo di nuovo lo START.
E' pertanto consigliabile evitare l'arresto dell'elaborazione premendo il CLEAR ed utilizzare i modi d'arresto previsti.

2) - MEM CHECK — Quando il calcolatore, durante la elaborazione, tramite le reti di controllo segnala l'esistenza di un errore esso si ferma.
Sarebbe infatti inutile procedere nello svolgimento di un programma o di una elaborazione errata.

3) - HLT — Quando l'elaboratore incontra la istruzione HLT si ferma. Nasce quindi durante l'esecuzione dell'istruzione stessa il comando d'arresto della L.d.R.

4) - STEP BY STEP — Talora non si desidera procedere per l'intero svolgimento del programma ma proseguire istruzione per istruzione. A ciò provvede il relativo comando interessato dal pulsante di console STEP BY STEP.

5) - PAPA — Anche questo comando è condizionato dalla console di manutenzione e consente di fermare la L.d.R.ad ogni riciclo. In tal modo si procede estraendo carattere per carattere dalla memoria ad ogni successivo START.

6) - UNITA' ESTERNA DISPON. — Quando in un programma s'incontra un'istruzione esterna l'elaboratore inizia a ricevere o inviare dati verso l'unità esterna interessata. Poichè i tempi di lavoro delle unità esterne, essendo questo elettromeccaniche, sono notevolmente superiori ai tempi dell'elaboratore è necessario come si vedrà meglio in seguito, che quest'ultimo attenda un segnale dalla macchina esterna interessata per proseguire. Nell'attesa l'elaboratore si ferma.

Una volta che la L.d.R. si è arrestata per il verificarsi di una o più condizioni di quelle sopra esposte, se si vuole riavviarla, basta premere il pulsante START, posto sulla console operativa.
In OR a questo comando agisce anche lo START proveniente dalla teleconsole. La telencosole è un organo che, collegato alla U.C. tramite cavo, serve per il comando a distanza dell'avvio dell'elaborazione.

2.4 CIRCUITI LOGICI DELLA L.d.R.

Nello schema di Fig. 2.4.1 si mostra il circuito logico reale di macchina.

In base ai principi precedentemente esposti si cercherà ora di seguire la strada per l'avvio da console della L.d.R.

Si tenga presente che i comandi COXXN consentono di generare un evento quando sono a valore logico zero.

Il segnale DADE viene anche utilizzato per il caricamento degli organi interessati da console di manutenzione (RO→VE ; RO→FO ecc.).

DOMANDE

Per rispondere a queste domande è sempre necessario analizzare accuratamente lo schema della Figura 2.4.1.

a) - Premendo il CLEAR da console quale segnale si determina ?

REGED .....

e MCLID .....

b) - Premendo lo START e poi rilasciandolo quali segnali si generano ?

VIMAD / -DADAR-DADEB-TEMAD ecc. MAPA 4 .....

ma VIMED-TEMD .....

c) - Con il segnale REGED quali organi si posizionano e come ?

il TEMA in Set .....

.....

il TEGE in Reset

d) - Premendo il pulsante START, dopo aver premuto il CLEAR, cosa si provoca ?

Il F.F. TEVI si setta su TEVI (valore logico 1)

e) - Rilasciando il pulsante START, che cosa si verifica ? Resetta TEVI - Verrà eccitata DADA e DADED va a Zero e si setta TEMED e R Zero. Resetta TEMA e forse il Set. di TEPA (a seconda di TERED stesso di quello su Bus TEPAC - forse NAPA - NAPAS → L d R.

f) - Supponendo i segnali TERED e TERAD ambedue a valore logico zero può riciclare la L.d.R.?

(NAOGD. Setta TEGGE NAOGD. resetta ..si Riciclo)

...No, perché TEPA rimane Set e non può mai andare ...verso → Va su GEMA TEPAC e non può Tornare NAPA

g) - Quando il segnale CO37N va a zero che cosa si produce ? Arriva NAOGN.. resetta TEGED: si resetta TEMA e forse 1 TEPA (set) Intanto entrambe le uscite di questo O.- e Anche sc. TEGE. entrano NAOGD si resetta e ha verrà ne non è sentito da TEPA e Resta in TEPA

h) - Se durante una operazione esce il comando CO61N (a zero) quale sarà il valore del CO61D e cosa succede nell'elaboratore ?

Anche uscita Zero L d R si ferma

Vel. valore CO61D = 1 perché CO61N è 0 non più partire. N.A.P.I. GEMA. Manca NARM e il 2° stesso L d R una più partire

i) - Come dovrà trovarsi TEMED perchè la L.d.R. riciclì ?

TEVI (= V0)

a Zero

Cioè per mezzo dell'uscita Antitetica bisogna mettere Vl. 1 al CO61D e Zero al CO61N

RISPOSTE

a) - Si determina, come si può vedere dallo schema, il segnale REGED.

b) - Premendo si origina il segnale VIMAD, rilasciando il segnale VIMED (come da schema).

c) - Si posizionano TEMA in set e TEGE in reset.

d) - Si provoca unicamente il set del flip-flop TEVI, e quindi il segnale TEVI4.

e) - Si resetta TEVI ed il fronte negativo produce la eccitazione di DADAD che porta DADED a zero che, se TEMED é a zero (e lo si deve considerare a zero), resetta TEMA che toglie il set diretto a TEPA il quale avendo o TERED o TERAD a 1 va in reset originando TEPAC che, facendo partire NAPA, avvia con NAPA4 la L.d.R. All'uscita di NAO4D si setta TEGE e con NAO6D si resetta e si continua a riciclare.

f)- No. Perché TEPA rimarrebbe sempre in set e non produrrebbe il fronte negativo di TEPAC che fa partire NAPA.

TEMED?

g) - All'arrivo del mastro NAO4N tramite TEGED si setta TEMA che porta a 1 il set diretto di TEPA portando ambedue le uscite di quest'ultimo a zero. Anche se TEGE all'arrivo di NAO6D si resetta, questa variazione non é sentita da TEPA, il quale é mantenuto da TEMAD con ambedue le uscite a valore "0" e la linea di ritardo si ferma.

h) - Il valore logico di CO61D é "1" quando CO61N é "0" e quindi impedisce la partenza del generatore di mastri NARI ciò che non consente di generare NARI4 ed avviare il secondo spezzone di L.d.R.

i) - TEMED deve essere sempre a zero. Se va a "1" non consente di avviare la L.d.R. con il pulsante START.

2.5. ANSA ARITMETICA

Si é precedentemente accennato che i due spezzoni di L.d.R. sono separati. Inoltre si é già visto che é possibile ritardare l'avvio del secondo spezzone qualora intervenga l'U.A. durante lo svolgimento di una istruzione.
Ciò, si é già detto, deriva dalla necessità di caricare il registro RO con il risultato dell'operazione ottenuta dalla U.A. e di scriverlo quindi in memoria.

Gli spezzoni riguardo le operazioni relative alla memoria si possono definire :

- il primo di lettura da memoria
- il secondo di scrittura in memoria.

L'ansa aritmetica dovrà essere introdotta solo qualora necessiti ritardare la partenza del secondo spezzone.

E' necessario che all'elaboratore venga indicato il momento di inserimento dell'ansa, e questo viene fatto mediante il comando CO61 proveniente dalla matrice logica.

Notizie più dettagliate sui tempi e sul modo di funzionare della L.d.R. sono date nel volume "MEMORIA 16 K".

Si analizzi lo schema logico di fig. 2.5.1, considerando di eseguire una operazione aritmetica, e si risponda alle seguenti :

DOMANDE

a) - Qual'é il segnale d'avvio del secondo spezzone della L.d.R.?
.....NARIG.....
.....(NARIS INR) → 3.....

b) - Per quante vie si genera tale segnale d'avvio?
.....
1 CABTN = ZERO.....
2 DADEI - MEMEI

de Matrice logique

c) - Se CO61D é a livello "1" come sarà CO61N ?

a zero per poter attaccare il 2° spezzone b.d.R

D = Diritto N = Negato

d) - Considerando il segnale MIMID a "0" e CO61D a "1" quale mastro del primo spezzone avvia il secondo ?

NAS 6D / Sensibile fuse d'attacco

e) - Considerando il segnale MIMID a "0" e CO61D a "0" quale mastro del primo spezzone avvia il secondo ?

NAS5N / non è sensibile (en 5a) d'attacco

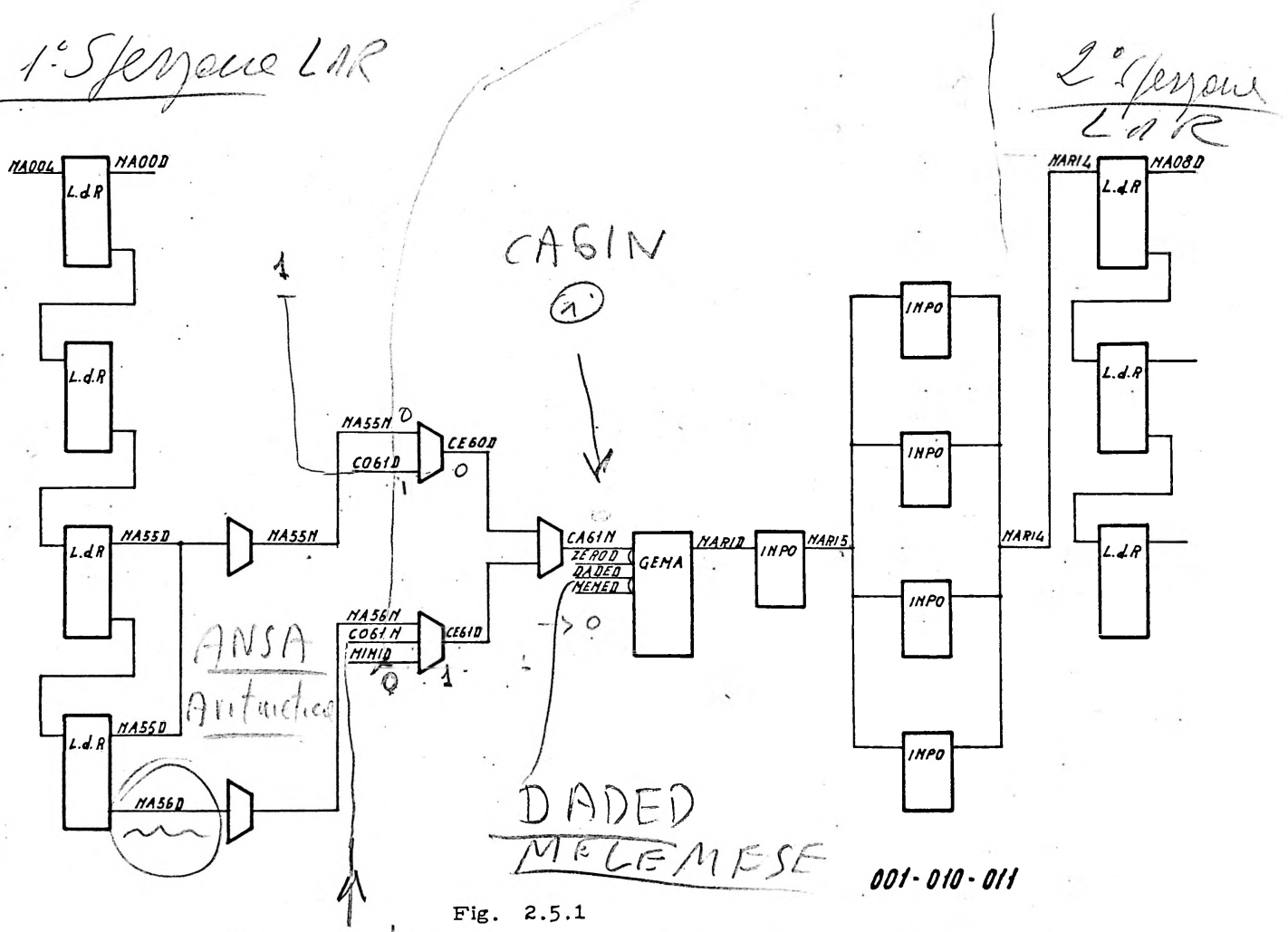


Fig. 2.5.1

O. No Modulazione se si vuole usare l'Ansa

RISPOSTE

a) - NARI4.

b) - Per due vie :

CA61N · ZEROD

DADED . MEMED.

c) - A livello "0". E' il caso in cui la matrice produce il comando CO61N.

d) - NA56 (si inserisce l'ansa aritmetica).

e) - NA55 (non si inserisce l'ansa aritmetica).

LEZIONE 3

Tempo di studio
1 ora

3. SEQUENZIATORE

3.1. Lo svolgimento di una istruzione, dall'interpretazione fino al termine della fase di esecuzione, consiste in una successione logica di eventi temporizzati dalla L.d.R.

Un insieme di eventi, come si é già visto, viene chiamato STATO.

Ogni STATO é in grado di far svolgere allo elaboratore un certo numero di operazioni elementari.

Ogni istruzione utilizzerà un determinato numero di STATI, cioé stabilirà una determinata serie di operazioni.

A questo scopo un insieme di organi é preposto all'emissione di una serie di comandi, identificabili con una operazione elementare, propri dell'istruzione in fase di svolgimento.

L'organo sequenziatore (matrice logica) é quindi quell'organo in grado di organizzare, a seconda dell'istruzione, diverse successioni di "STATI" che coincidono con ciclate della L.d.R.

Durante questi "STATI" la matrice logica emette i comandi necessari alla predisposizione delle operazioni elementari.

Ogni STATO, normalmente, nelle istruzioni interne, permane per un tempo uguale ad una ciclata di L.d.R.

I comandi esplicano la loro funzione agendo sui circuiti logici in vari modi; per esempio :

- direttamente (set o reset diretto di un flip-flop)
- indirettamente (validando maschere di flip-flop o reti logiche attivate da mastri)
- condizionando rami di reti logiche ecc.

Alcuni " STATI " sono comuni a più istruzioni: nella fase interpretativa, l'intera sequenza di " STATI " che identifica la fase alfa è identica per tutte le istruzioni appartenenti allo stesso gruppo .

DOMANDE

a) - Cosa s'intende per " STATO " ?

Una successione di eventi elementari

b) - Per quanto tempo permane, normalmente uno stesso " STATO " nelle istruzioni interne ?

Per tutto il tempo necessario a svolgere una operazione elementare (ciclo LdR)

c) - Come possono agire i comandi nei circuiti logici?

(Sui set / Reset / Registri ecc.
Direttamente / Indirettamente)

d) - Gli " STATI " possono essere comuni a più istruzioni ?

SI / Per la stessa Istruz =

RISPOSTE

a) - E' un insieme di eventi elementari .

b) - Per una ciclata della L.d.R.

c) - Direttamente, indirettamente, condizionando i circuiti logici.

d) - Si. La fase alfa ha una sequenza di " STATI " sempre uguale per tutte le istruzioni appartenenti allo stesso gruppo.

3.2. ORGANI CHE CONDIZIONANO LA MATRICE LOGICA

Allo scopo di stabilire quale deve essere la successione degli STATI, e quindi l'emanazione dei comandi relativi ad ogni istruzione, il sequenziatore o matrice logica deve tener conto :

- del TIPO DI ISTRUZIONE, cioé del contenuto del registro FO che memorizza il codice di funzione
- di alcune CONDIZIONI LOGICHE che si sono eventualmente generate in uno STATO precedente e che condizionano le operazioni elementari di quelli successivi.
- dello STATO ATTUALE, cioé della configurazione presente nel registro SO. Tale registro evolve ad ogni ciclata della L.d.R. in modo logico su comando dello stesso sequenziatore. Uno STATO normalmente é identificato non da tutti gli otto flip-flop che compongono il registro SO, ma solo da un certo numero.

I comandi generati dalla matrice logica sono riportati in appendice.

DOMANDE

a) - Quali sono gli organi che condizionano la matrice logica ?
FO - Stat. precedente - Stato attuale
SO

b) - Che cosa rappresenta il registro SO in un momento ben preciso ?
lo stato di quel

c) - Per determinare uno stato interessa sempre tutta la configurazione di SO ?
soltanto

RISPOSTE

a) - Il registro FO, il registro SO. e condizioni di macchina generate in precedenza.

b) - Lo STATO nel quale si opera.

c) - Non sempre interessa tutta la configurazione di SO, ma tavolta é sufficiente solo il posiziona - mento di alcuni flip-flop.

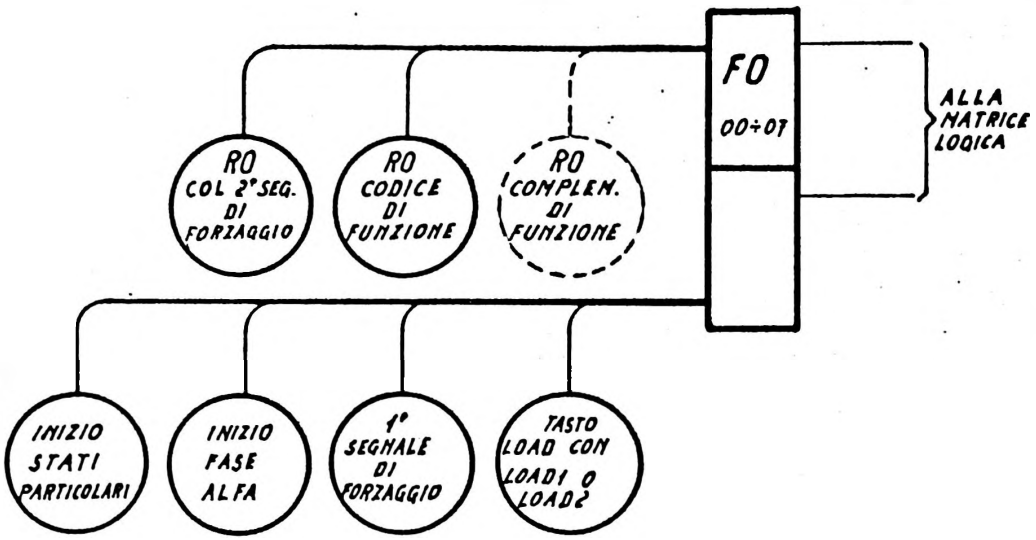
3.3 IL REGISTRO FO

E' composto da otto flip-flop indipendenti. Durante un'istruzione il suo contenuto rimane invariato per tutta la durata della stessa. Solo in alcuni casi può essere modificato nel corso della sequenza (istruzioni esterne).
Il contenuto di FO è determinante sia per la designazione del tracciato degli "STATI" da percorrere (condiziona i C1XX di cambiamento STATO), sia per la determinazione dei comandi di ogni "STATO" (condiziona i COXX). Si veda la sequenza dei comandi posta in appendice.

Il registro FO è interessato dalla :

- PREPARAZIONE DEL CARICAMENTO DI UN PROGRAMMA.
  La pressione sul pulsante LOAD (con LOAD1 o LOAD2 inserito) della console operativa provoca il reset di tutti i flip-flop di FO
- RICEZIONE DEL CARATTERE DI FUNZIONE.
  Nella fase alfa il contenuto della prima posizione della zona di memoria che contiene le istruzioni viene posto in RO e poi in FO settando i flip-flop interessati
- RICEZIONE DEL CARATTERE COMPLEMENTO DI FUNZIONE NELLE ISTRUZIONI ESTERNE.
- FORZAGGIO DALLA CONSOLE DI MANUTENZIONE.
  Mediante la predisposizione del commutatore, FO può ricevere il contenuto di RO. Una pressione sul tasto START produce il reset generale del registro FO e genera un segnale particolare che attiva le sue maschere precedentemente validate dalle uscite di RO.

La schematizzazione di quanto detto è rappresentato nello schema di Fig. 3.3.1.



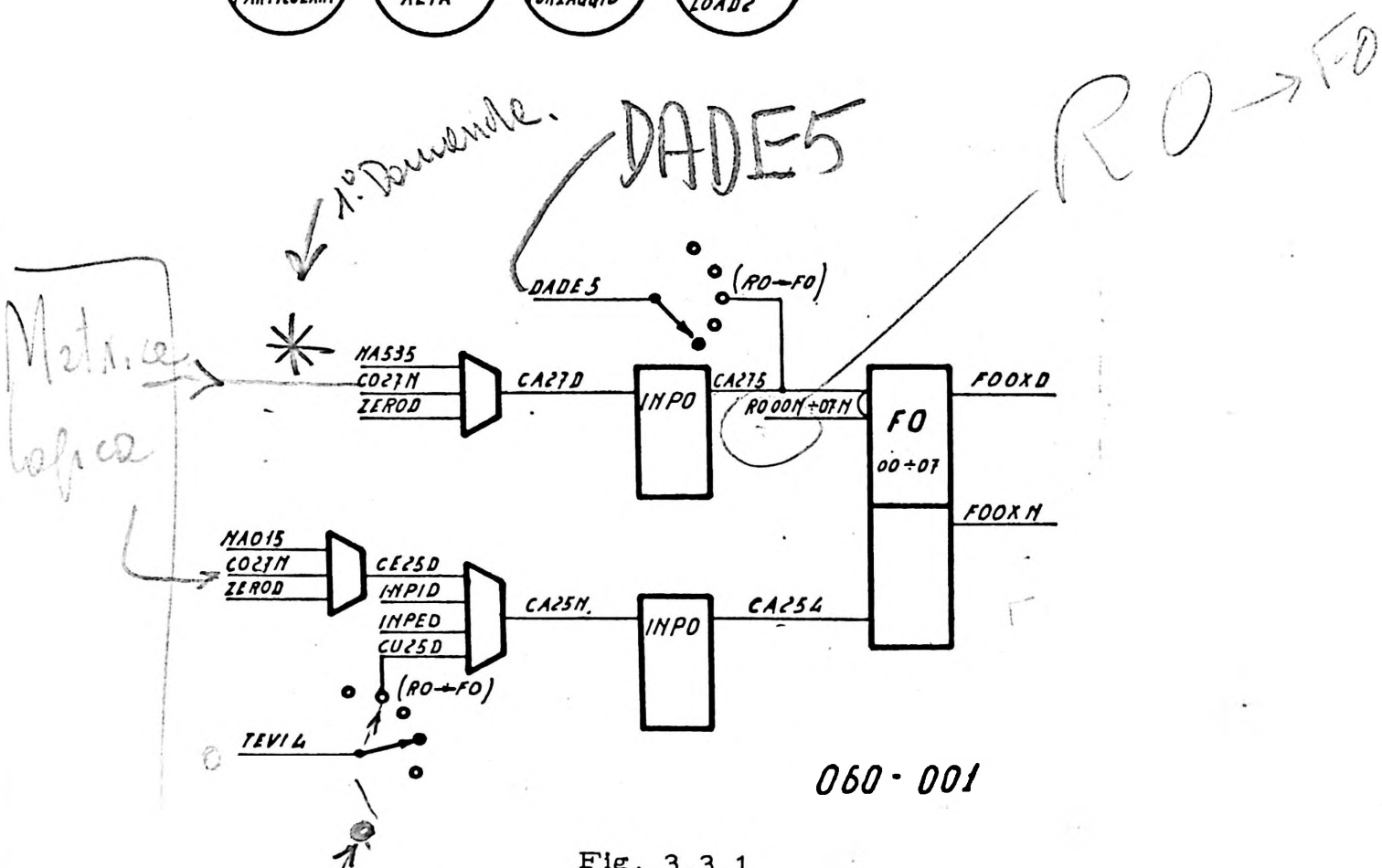


Fig. 3.3.1

TEMED (v. LAR)
Serve a caldare... se sposti em TEVI4 su RO → FO
--- mecè di caldare con START
... però RO → FO perde il CA25M

Consultare Indice Generale

DOMANDE

a) - In quali casi il CO27N = "0" sarà generato dal la matrice logica ?

(RO → FO) in Set Hore ... F.O* (1 fl pl.

b) - All'uscita del CO27N = "0", supponendo che la L.d.R. cicli, che cosa si verifica in FO ?

Rel. sincronismo Nucleo F.

c) - Premendo LOAD con LOAD1 o LOAD2, come si posiziona il registro FO e perché (aiutarsi con lo schema della console) ?

Resetta FO ?

(Voler sapere INPID - INPED ----

d) - Posizionando il commutatore della console di manutenzione in RO→FO e premendo il pulsante START cosa si verifica (aiutarsi con lo schema logico della L.d.R.) ?

Non più lettura L.d.R. ma ...

con Start. potremo Resettare FO

Rilasciando il START → come DADE 5 fallo fine ... si Setta FO su fine di DADE 5

Resetta fine FO inizio

RISPOSTE

a) - Quando si dovrà fare RO→FO cioé in fase alfa (S101) e nel caso di caricamento del comple - mento di funzione delle istruzioni esterne (S126).

b) - Tramite il comando CO27 N,
- al mastro NA015, si resetta FO
- al mastro NA535, si carica FO con il contenuto del registro RO.

c) - Si pone il reset poiché INPID o INPED forzano il comando CA25D.

d) - Posizionando il commutatore si chiudono le due vie di DADE5 e TEVI4.
Premendo il pulsante START si genera pri - ma TEVI4 (VIMAD) che produce il reset del registro FO.
Lasciando il pulsante si produce il segnale DADE5 (VIMED) che consente di caricare FO con il contenuto di RO.

3.4. REGISTRO SO

E' composto da otto flip-flop indipendenti. I comandi che vengono emessi durante ogni "STATO" dalla matrice logica sono essenzialmente dovuti alla particolare configurazione di alcuni flip-flop del registro SO. Per la definizione degli STATI nelle istruzioni interne interessano solo alcuni dei 7 flip-flop variabili in numero e posizione. L'ottavo bit, che agisce per la definizione del canale attivato durante le istruzioni esterne, verrà considerato più avanti.

Il contenuto dei primi flip-flop é interessato nei seguenti casi :

a) - PREPARAZIONE INIZIALE DELL'ELABORATORE.
La pressione sul tasto CLEAR provoca il set dei flip-flop SO01, SO03, SO04 ed il reset di SO00, SO02, SO05, SO06.
La configurazione derivante é caratteristica dello STATO (chiamato STATO 101) che é il primo della fase alfa.

b) - CAMBIAMENTO DI STATO.
L'emissione di determinati comandi da parte della matrice, provoca la validazione delle maschere di set (CIOXX) e di reset (CIIXX) dei flip-flop interessati al cambiamento di STATO. Dette maschere sono quindi attivate a fine ciclata dal matro (NA05).

c) - PREPARAZIONE DEL CARICAMENTO DI UN PROGRAMMA
Il programma prima di essere eseguito dovrà essere caricato nella memoria dell'elaboratore.
Il programma da introdurre può essere perforato su scheda o registrato su nastro o dischi magnetici. Se é perforato su scheda, dalla console operativa si dovrà abilitare il lettore.

Questa abilitazione viene fatta con due pulsanti della console operativa :

- il pulsante bistabile LOAD1/LOAD2 il quale se é posizionato in un senso o nell'altro PREDISPONE o il lettore sul canale E o la periferica connessa allo Standard 1, ad INTRODURRE IL PROGRAMMA

- il pulsante monostabile LOAD quando viene premuto ABILITA L'INTRODUZIONE DEL PROGRAMMA dalla periferica predisposta dal bistabile LOAD1/LOAD2.

In entrambi i casi, la premuta sul pulsante LOAD resetta tutti i flip-flop di SO facendogli così assumere le configurazioni dello STATO 131 che é lo stato iniziale di caricamento del programma.

NOTA : con un dispositivo opzionale si può fare si che l'instroduzione del programma anziché dal lettore possa essere fatta dalla periferica connessa allo Standard 2 (ad esempio FOTOLETTORE).

d) - FORZAGGIO DALLA CONSOLE DI MANUTENZIONE.
Mediante un'opportuna predisposizione dell'apposito commutatore, SO può ricevere il contenuto di RO premendo il tasto START. Un primo segnale forza il reset dei flip-flop un secondo lo carica con il contenuto di RO.

Il funzionamento logico dei primi 7 flip-flop di SO può essere schematizzato come in Fig. 3.4.1.

7.7.19997

DOMANDE

a) - Premendo il CLEAR che STATO si forza ?

stato 101 (1° nella tabella)

b) - Premendo LOAD con LOAD1 o LOAD2 che STATO si forza ?

131 - (Reset o SO)

stato uscita lancio finire

c) - I comandi CIXX da dove provengono ?

da Matrice tastiera

d) - Come si può chiamare il mastro NA056 ?

cambiamento stato

gamesse

Puo se Mare o resettare

e) - Posizionando a lavoro il pulsante RICI posso no ancora cambiare stato i flip-flop di SO con il mastro NA056?

NO - NA056 va a (MAIN

x cui NA056 Rimane

e 1 segno e non

attacca le misure -

e SO non può cambiare

stato -

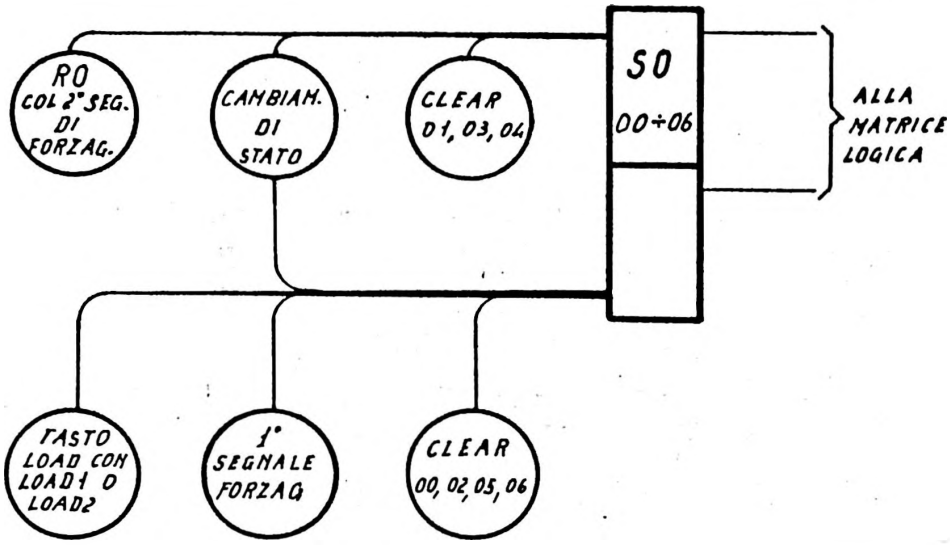
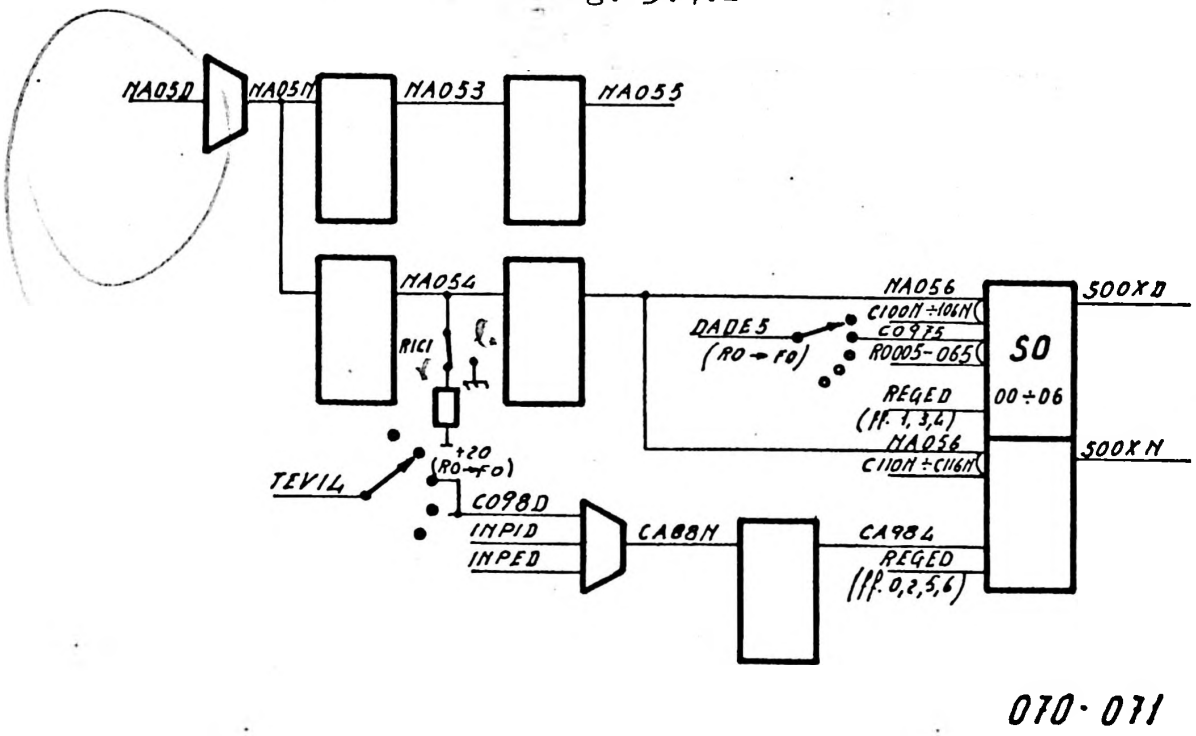


Fig. 3.4.1



070·071

Fig. 3.4.2

RISPOSTE

a) - Lo "STATO 101" primo STATO della fase al fa.

b) - Lo "STATO 131" che rappresenta la condizione di avvio delle unità esterne.

c) - Dalla matrice logica.

d) - Si può cobsiderare il mastro del "cambiamento di STATO".

e) - No, poiché viene messo a massa il segnale NA054. In tal caso la configurazione di SO rimane sempre la stessa finché non si riposiziona il pulsante RICI. Bisogna tener presente che tutti gli altri organi interessati dal NA055 non risentono del posizionamento di RICI.

3.5 MATRICE LOGICA

L'interconnessione fra gli organi suddetti può essere così sintetizzata logicamente :

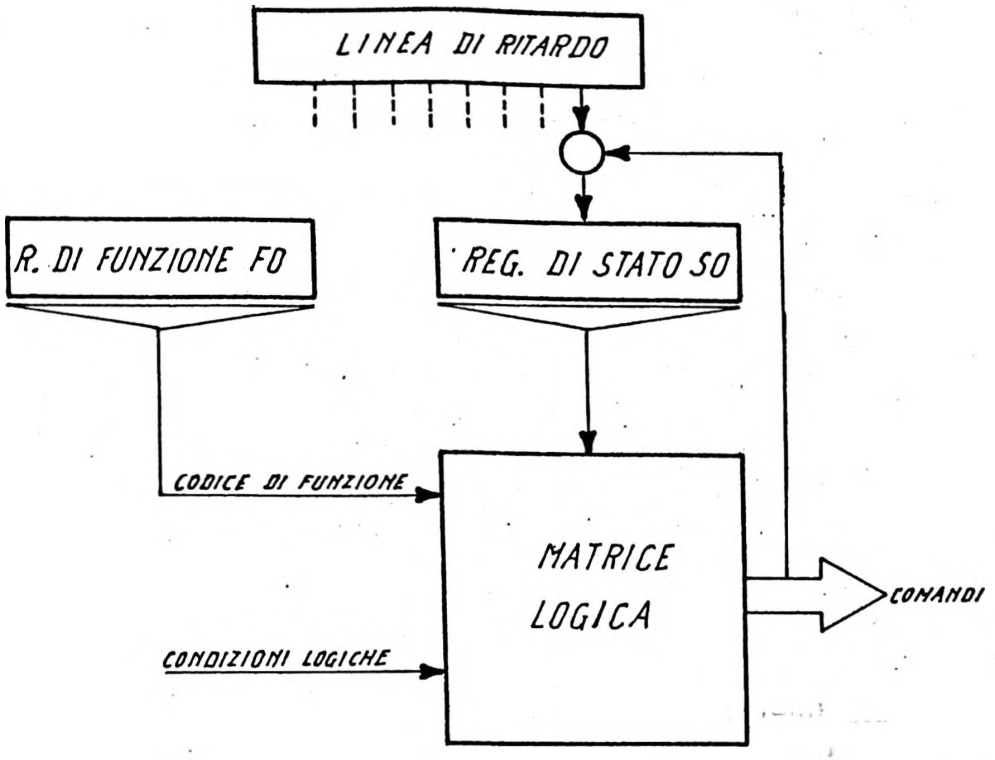


Fig. 3.5.1

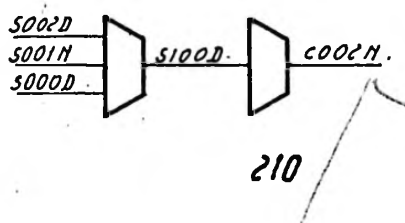
La complessità strutturale della matrice logica a NOR è tale che risulta difficile la rappresentazione generale.

E' preferibile limitarsi a studiare alcuni tipi di comandi che la matrice può fornire, scelti tra quelli il cui circuito logico presenta minori difficoltà.

Si ricordi che i comandi vengono utilizzati a valore logico " 0 " (COXXN = 0).
Così li genera la matrice.

Alcuni esempi :

COMANDO INCONDIZIONATO



Equazione

$$CO02N = \overline{S100D}$$

dove

$$S100D = \overline{SO02D+SO01N+SO00D}$$

e quindi

$$CO02N = SO02D+SO01N+SO00D$$

Fig. 3.5.2

Il CO02 a valore logico "0" é un comando incondizionato, che é presente negli STATI 101 + 105 della fase alfa di tutte le istruzioni. Gli SO02, SO01, SO00 sono le uscite dei corrispondenti flip-flop di SO.

Lo S100 é uno stato caratteristico della fase alfa in quanto é presente in ogni stato della fase alfa ; quando esso é presente (S100D=1) il comando CO02N =0 esce da matrice e valida gli organi interessati. In particolare il comando CO02N deve validare il trasferimento del contenuto di VI, indirizzatore programma, in VO, indirizzatore memoria :ciò deve avvenire solo in fase alfa (lettura dell'istruzione).

COMANDO INCONDIZIONATO

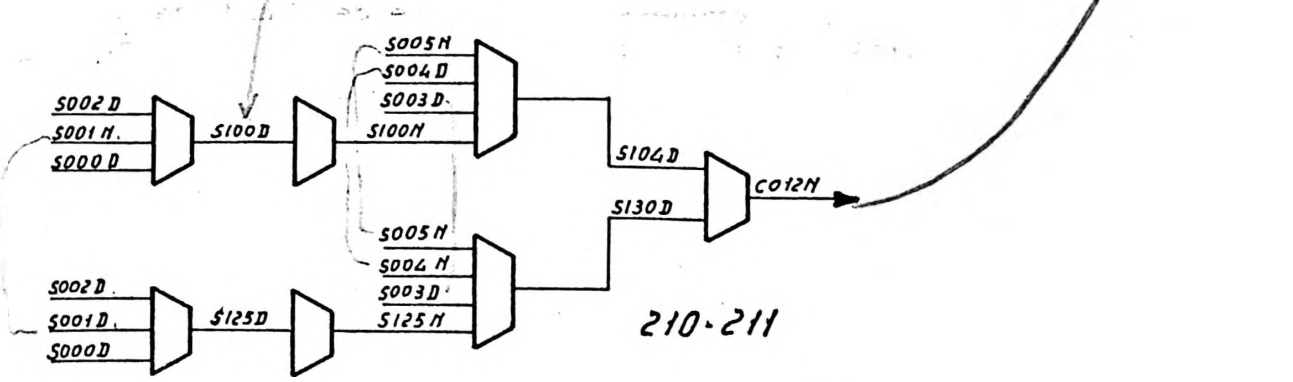


Fig. 3.5.3

Il comando CO12N, presente nello S104 e nello S130, provvede a caricare l'indirizzatore VE con il contenuto di RO e RA.

Comando condizionato

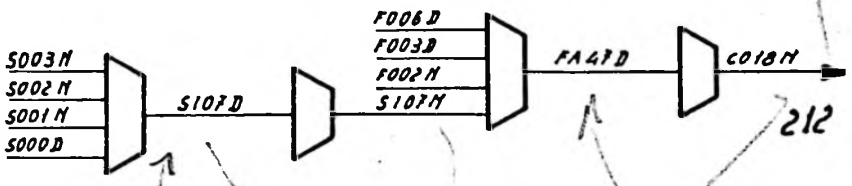


Fig. 3.5.4

E' presente durante lo stato 107 dell'istruzione CMI (FO06D, FO03D, FO02N) e procede all'azzeramento di RA.
Questo comando non è condizionato esclusivamente alla configurazione di uno STATO ma esso può essere generato solamente in una determinata istruzione, che viene identificata con la codifica dei flip-flop del registro FO.
I comandi sono circa un centinaio e la matrice fornisce i negati (COXXN) a valore logico " 0 " e solo in pochi casi a valore logico " 1 ".
In entrambi i casi i comandi sono " attivati " per tutta la durata dello STATO che li genera, Al cambiamento di configurazione in SO essi, normalmente, non sono più presenti.
I comandi sono il risultato delle combinazioni dei segnali generati dagli organi che condizionano la matrice.
In relazione a detti organi i livelli di matrice si possono così raggruppare :

a) le uscite del registro SO formano i segnali S1XXX che coincidono con gli STATI

b) le uscite del registro FO formano i segnali F1XXX

c) le combinazioni degli S1 delle condizioni particolari e dei flip-flop di FO e di SO danno i segnali FEXXX

d) le combinazioni degli S1 dei FO, di SO e delle condizioni particolari danno i segnali FAXXX

e) le combinazioni di condizioni varie danno i segnali SEXXX

f) - i comandi sono formati dalle combinazioni di S1XXX, FAXXX, FEXXX ed SEXXX.

Data l'impossibilità di riportare graficamente l'intera composizione logica della matrice si è provveduto a raggruppare i comandi e porli in appendice in un tabulato . Per ogni comando, vengono indicati la sua formazione, gli STATI in cui deve essere generato e la sua funzione logica.

DOMANDE

a) - A che livello logico vengono generalmente utilizzati i comandi ?

Zero (eccetto ....

.....

.....

b) - Per quanto tempo permane " attivato " un comando ?

per tutto uno stato. -

.....

.....

c) - Quali sono gli elementi che possono condizionare un comando ?

FO

SO

Lstat. pec

.....

.....

RISPOSTE

a) - A livello logico " 0 " (COXXN).

b) - Per tutto il tempo che permane lo STATO che lo ha generato.

c) - SO, FO, condizioni logiche.

LEZIONE 4

Tempo di studio
ore 1 e 30 minuti

4. MEMORIA

4.1 La memoria nella versione base, è costituita da un modulo a 9 piani di 4096 posizioni (64x64 nuclei per piano). La capacità massima può raggiungere 16384 posizioni, mediante l'aggiunta di altri tre moduli di 4096 posizioni ciascuno, per i quali l'U.C. è già predisposta.

La posizione di memoria che si vuole trattare , durante un ciclo di L.d.R. è selezionata dal contenuto dell'unico registro indirizzatore di memoria che è VO.

La lettura è distruttiva.

Il carattere letto viene memorizzato nel registro RO e successivamente , se non è modificato da operazioni logiche , o aritmetiche, viene riscritto in memoria nella stessa posizione da cui è stato prelevato.

Prima della scrittura e separatamente dalla stessa, il contenuto di RO viene analizzato da una rete logica particolare chiamata rete di check (controllo) che fornisce il bit di disparità.

Cioè in memoria ogni carattere deve avere sempre un numero " dispari " di bit. Ed è per questo che necessita il nono piano di memoria appunto chiamato " piano del check ". Se un carattere estratto dalla memoria si registra in RO con un numero "pari " di bit, la logica del calcolatore segnala " errore ". La segnalazione di errore (MEM CHECK) avviene sempre nella fase di lettura.

Tutto ciò verrà ripreso in seguito e trattato ampiamente.

DOMANDE

a) - Qual'è la capacità del modulo base di memoria ?

4096

b) - Può il contenuto di RO essere modificato durante un ciclo di L.d.R. ?

Si, resetto la Memoria e la riscrivo in ogni fine ciclo -

c) - Perchè i piani di memoria sono 9 ?

Per avere gli 8 bit della parola più quello di servizio ?

d) - Cosa si trova dopo la fase di lettura, nella posizione di memoria interessata ?

Zero

e) - Da quale organo sono specificate le posizioni di memoria ?

Reg. VO -

RISPOSTE

a) - E' di 4096 posizioni.

b) - Si.

c) - Perchè un carattere in memoria deve essere formato sempre da un numero dispari di " bit ".

d) - Essendo la lettura distruttiva nella posizione di memoria interessata non esiste più nessun contenuto in nessun nucleo.

e) - Dall'indirizzatore VO.

4.2 TEMPORIZZAZIONE DI MEMORIA

La L.d.R. formata da due spezzoni, provvede, oltre che alla temporizzazione di eventi logici, anche alla scansione degli eventi di memoria. Il primo spezzone caratterizza, con l'uscita di alcuni suoi mastri, l'estrazione di un carattere dalla posizione di memoria individuata dall'indirizzatore VO ed il conseguente caricamento in RO.
Inoltre, sempre nella fase di lettura, nasce l'eventuale segnalazione d'errore.

La successione cronologica di tali avvenimenti riguardante il 1° spezzone si può così riassumere :

MEMORIA→RO			
1°	mastro di memoria	(NA60D)	chiude gli switches di lettura
2°	mastro di memoria	(NA61D)	avvio corrente di lettura
3°	mastro di memoria	(NA62D)	arresto corrente di lettura
4°	mastro di memoria	(NA65D)	apre gli switches di lettura

Il secondo spezzone caratterizza invece la scrittura del contenuto del registro RO sempre nella posizione segnalata dall'indirizzatore VO.

La successione cronologica di tali avvenimenti riguardante il 2° spezzone si riassume nel modo seguente :

RO→MEMORIA			
5°	mastro di memoria	(NA69D)	avvio corrente di inibizione
6°	mastro di memoria	(NA64D)	chiude gli switches scrittura
7°	mastro di memoria	(NA63D)	avvio corrente di scrittura
8°	mastro di memoria	(NA68D)	arresto corrente di scrittura
9°	mastro di memoria	(NA66D)	arresto corrente di inibizione
10°	mastro di memoria	(NA67D)	apre gli switches di scrittura

La selezione dei nuclei di memoria avviene per coincidenza. Una posizione di memoria è individuata dalla combinazione dei bit del contenuto di VO.

In relazione a tali bit si ha :

VO00 + VO02 interessano gli switches di lettura e scrittura delle unità asse X.

VO03 + VO05 interessano gli switches delle ottave asse X

VO06 + VO08 interessano gli switches di lettura e scrittura delle unità asse Y

VO09 + VO11 interessano gli switches delle ottave asse Y

La funzione dei flip-flop VO12 e VO13 è rappresentata nella seguente tabella :

		VO 12	
		0	1
VO 13	0	1° Modulo	2° Modulo
	1	3° Modulo	4° Modulo

Le combinazioni risultanti dalla chiusura di uno degli 8 switches di lettura-scrittura dell'asse X (unità) con uno degli switches di lettura dell'asse X (ottave) sono quindi 64. Lo stesso vale per l'asse Y: si ha così la possibilità di selezionare uno qualsiasi dei 64x64 nuclei di memoria.

Gli switches delle ottave, sia per l'asse X che per l'asse Y, sono interessati direttamente dai bit relativi di VO, in maniera che essi sono subito predisposti dal contenuto di VO.

Gli switches delle unità, sia per l'asse X che per l'asse Y, sono doppi. Un primo gruppo viene interessato durante la lettura, un secondo gruppo durante la scrittura.

Ambedue questi gruppi pur essendo interessati dai bit relativi dell'indirizzatore VO rimangono chiusi, in momenti diversi, solo per il tempo stabilito dai mastri di temporizzazione (circolazione delle correnti in memoria).

Gli altri organi che interessano i circuiti di memoria sono :

- due distinti generatori di pilotaggio per la lettura (dell'asse X e dell'asse Y) e di altrettanti per la scrittura.
  Questi generatori sono governati da due flip-flop.
- la centratura dello strobe del segnale di lettura è ottenuta automaticamente da un apposito circuito, che analizza la posizione della corrente di pilotaggio dell'asse X ed Y
- il segnale raccolto sul filo di lettura attraversa due stadi di amplificazione prima di essere trasmesso al registro RO.
  Il primo stadio è condizionato da un comando (CO33) che impedisce, se presente, di caricare quanto letto nel registro RO.
  Tale comando viene definito " inibizione memoria (lettura) in " RO " ed è necessario in alcuni STATI particolari.
  Nel caso di"inibizione memoria" si distrugge il contenuto di memoria e non si altera il contenuto di RO.

Quanto esposto é schematizzato nel circuito logico di fig. 4.2.1 . Per semplicità si rappresenta la logica relativa all'asse X. Il simbolo T evidenzia i circuiti governati dalla temporizzazione.

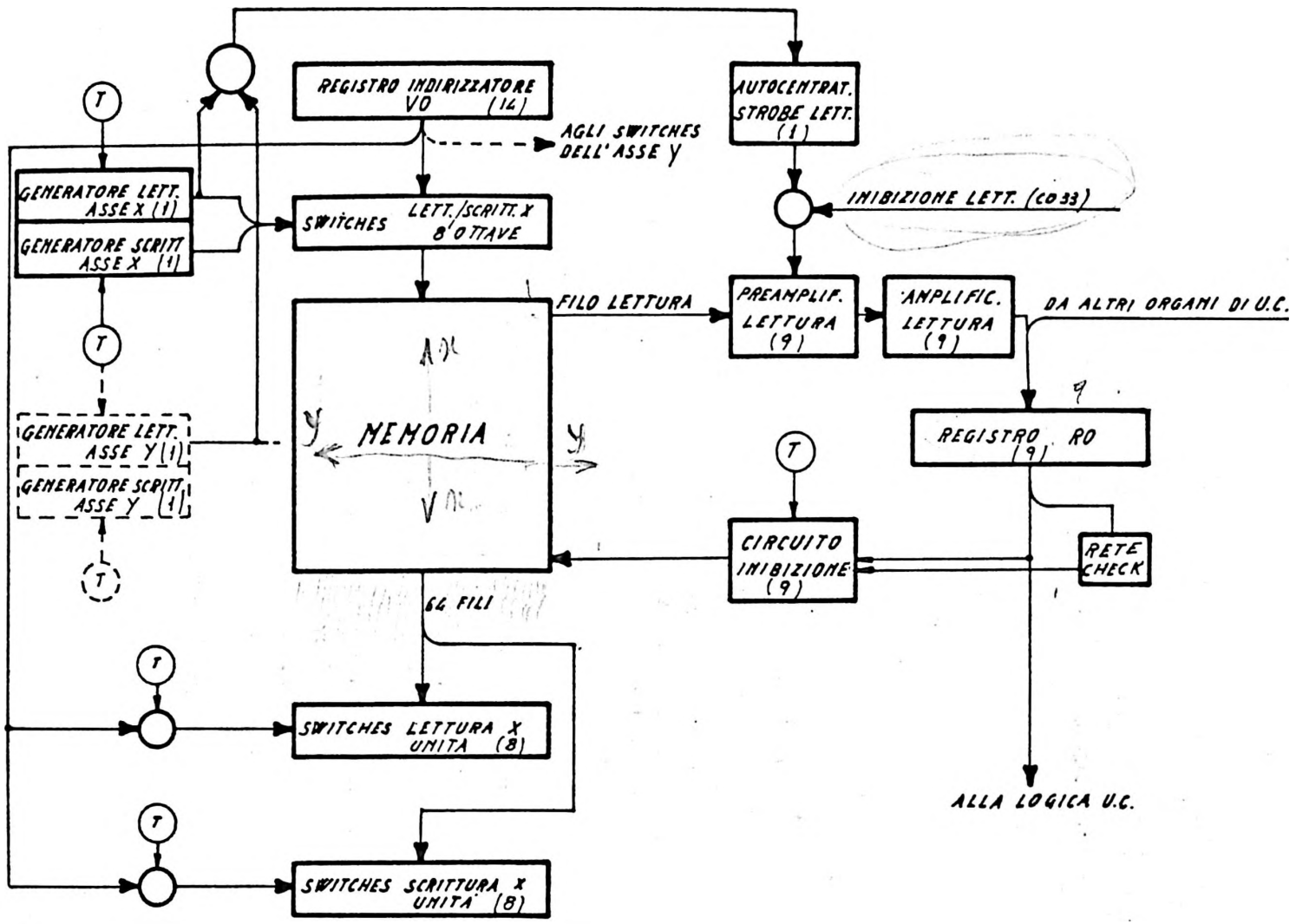

REGISTRO INDIRIZZATORE VO (14)
AGLI SWITCHES DELL'ASSE Y
AUTOCENTRAT. STROBE LETT. (1)
INIBIZIONE LETT. (CO 33)
GENERATORE LETT. ASSE X (1)
GENERATORE SCRITT ASSE X (1)
SWITCHES LETT./SCRITT. X 8 OTTAVE
FILO LETTURA
PREAMPLIF. LETTURA (9)
AMPLIFIC. LETTURA (9)
DA ALTRI ORGANI DI U.C.
MEMORIA
REGISTRO RO (9)
GENERATORE LETT. ASSE Y (1)
GENERATORE SCRITT. ASSE Y (1)
CIRCUITO INIBIZIONE (9)
RETE CHECK
64 FILI
SWITCHES LETTURA X UNITA (8)
SWITCHES SCRITTURA X UNITA (8)
ALLA LOGICA U.C.
(---) Numero di circuiti

Fig. 4.2.1

Per ristudiare
Vedere schema pag. 4/14

4.3 LETTURA MEMORIA

Nello schema di Fig. 4.3.1 sono rappresentati tutti gli organi relativi ai circuiti di selezione e lettura della memoria

DOMANDE

a) - Cosa si intende per " lettura " della memoria?
.estrazione del contenuto di una locazione di M.O. se
.Rimessa in memoria della parola letta. Ai
termini di selezione viene

b) - Quale spezzone della L.d.R. è in interessato alla " lettura " ?
.....il d° di memoria.....
.....

c) - Quale organo stabilisce da quale posizione si deve estrarre il carattere ?
.....indirizzo VO.....
.....

d) - Come agisce il contenuto di VO sulle " ottave " e sulle " unità " di selezione ?
.....comanda flip-flop.....
.....

e) - Qual'è l'organo che temporizza la chiusura degli interruttori delle unità di lettura ?
.NOTA - (sett. 1 della M.M. 601.....
..... Rescritto nella M.M. 65 D./.....

f) - Quali decodificati di VO validano la chiusura degli interruttori delle unità e delle ottave dell'asse X ?
Asse X unità V000X / V001X / V002X
Asse ottave V003X / V004X / V005X

g) - Quali decodificati di VO validano la chiusura degli interruttori delle unità e delle ottave dell'asse Y ?

Unto ..... V006K / V007K / V008K.....
oHre ... V009K. V010K / V011K ...

h) - Qual'è il flip-flop che stabilisce la temporizzazione dei generatori di pilotaggio di lettura (PIME)?

N.A. K - Located on N.A. 61D.....
..... N.A. 62D .....

i) - Come si chiamano i segnali delle correnti di lettura ?

..... NEPA1 .....
..... NEVA1 .....

l) - Come vengono chiamati i segnali d'uscita degli interruttori lettura unità X ?

..... NEOMS .....
..... V 000-07.

m) - Come vengono chiamati i segnali d'uscita degli interruttori ottave X ?

..... NO1MS .....
.....

n) - Come vengono chiamati i segnali d'uscita degli interruttori lettura unità Y ?

..... NE2MS .....
.....

o) - Come vengono chiamati i segnali d'uscita degli interruttori ottave Y ?

..... NO3MS .....
.....

p) - NEPA2 e NEVA2 sono i due segnali di partenza dello " strobe di lettura "; (mastro temporizzatore di lettura) in quale piastrina entra lo strobe e come si chiama ?

..... si chiama NEBEA
..... ed entra in LOBE

Errori

q) - Quali segnali entrano nella piastrina LOBE ?

.....NERO/C033/...V0128.

r) - Come si chiama il segnale che esce dalla piastrina GEV2 e che cosa rappresenta ?

.....

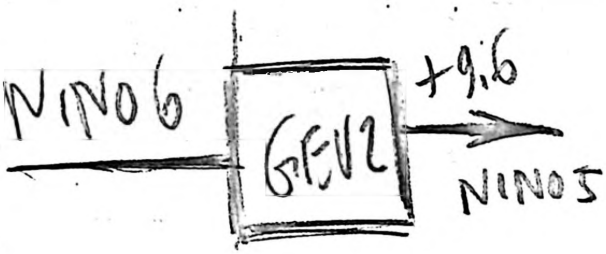
.....

s) - Che nome prendono i segnali che escono dai preamplificatori e dagli amplificatori ?

.....

..NEGNC.....NUOMO.

Servono un livello regolabile
a +V. 9,6 circa



Nell. livello di soglia
per distinguere i segnali
dei pomt.

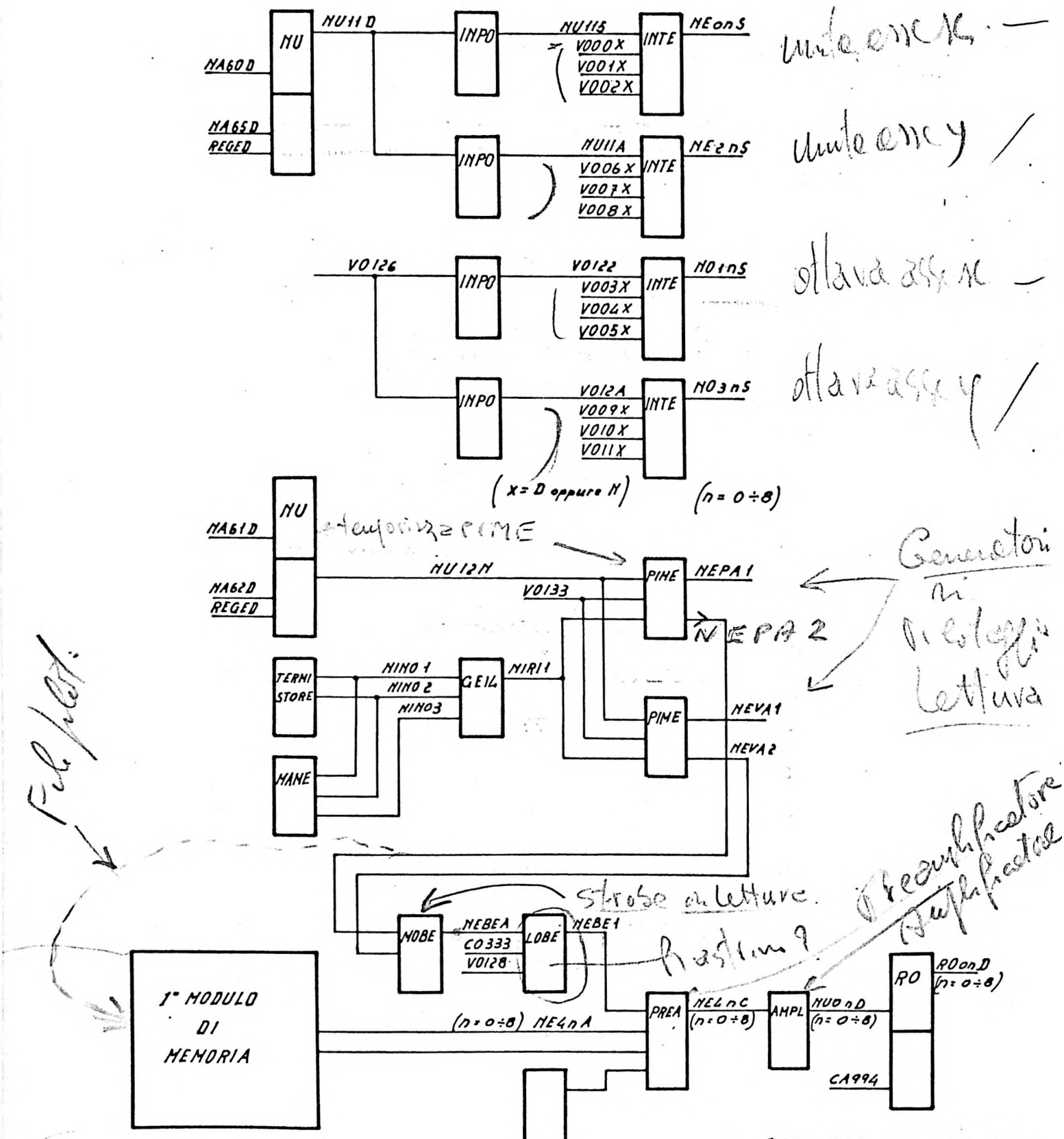

NU
NA60D
NA65D
REGED
NU11D
INPO
NU11S
V000X
V001X
V002X
INTE
NE0nS
INPO
NU11A
V006X
V007X
V008X
INTE
NE2nS
V0126
INPO
V0122
V003X
V004X
V005X
INTE
NO1nS
INPO
V012A
V009X
V010X
V011X
INTE
NO3nS
(X = D oppure N)
(n = 0÷8)
NU
NA61D
NA62D
REGED
NU12N
V0133
PIME
NEPA1
NEPA2
PIME
NEVA1
NEVA2
TERMI STORE
NINO1
NINO2
NINO3
GEIL
NIRI1
MANE
NOBE
NEBEA
CO333
V0128
LOBE
NEBE1
1° MODULO DI MEMORIA
(n = 0÷8) NE4nA
PREA
NE4nC
(n = 0÷8)
AMPL
NU0nD
(n = 0÷8)
RO
RO0nD
(n = 0÷8)
CA994

Fig. 4.3.1

RISPOSTE

a) - L'estrazione di una configurazione corrispondente ad un carattere da una posizione di memoria.

b) - Il primo.

c) - Il registro indirizzatore VO.

d) - Il contenuto di VO attiva subito gli switches delle ottave e predispone quelli delle unità di lettura e di scrittura in attesa del segnale di temporizzazione.

e) - Il flip-flop NU11,che si setta con NA60D e si resetta con NA65D.

f) - VO00X ÷ VO02X (per le unità) VO03X ÷ VO05X (per le ottave).

g) - VO06X ÷ VO08X (per le unità) VO09X ÷ VO11X (per le ottave).

h) - Il flip-flop NU12 temporizzato da NA61D e NA62D.

i) - NEPA1 e NEVA1.

l) - NE0nS (dove n 0 ÷ 7).

m) - NO1nS (dove n 0 ÷ 7).

n) - NE2nS (dove n 0 ÷ 7).

o) - NO3nS (dove n 0 ÷ 7).

p) - Lo strobe entra nella piastrina LOBE e si chiama NEBEA.

q) - Nella piastrina LOBE entrano i segnali NEBEA (strobe), CO333 (comando Inibizione Memoria in RO), VO128 (abilita il 1° modulo).

NINO 5 ?

r) - Si chiama NITA1 e rappresenta la tensione di taglio. Tale tensione assume il valore di +9,6V.

s) - L'uscita dei preamplificatori si chiama NE4nC la uscita degli amplificatori NU0nD.

4.4. SCRITTURA MEMORIA

Lo schema di Fig. 4.4.1 mostra gli organi che interessano la logica di scrittura dei caratteri in memoria.

DOMANDE

a) - Che cosa si intende per scrittura in memoria ?
Riscrivere un carattere nella pos. di memo e dato precedentemente letto

b) - Quale spezzone della L.d.R. é interessato alla scrittura ?
il 2° sfasamento

c) - In quale posizione di memoria si scrive il carattere ?
dalla fase che si è letto prima quando
Cioè all'ultimo VO fino essere in caratteri numero -

d) - Come agisce il contenuto di VO sulle "ottave" e sulle "unità" di selezione ?
Vo li chiude già nella fase di lettura,
mentre per la scrittura occorrerà la temporizzazione Scritture

e) - Qual'é l'organo che temporizza le "unità scrittura" (INTE) ?
NU 14.D.
Setto. Memo NA61D; Reset. Memo NA67D

f) - Qual'é l'organo che temporizza i generatori di pilotaggio di scrittura (PIME) ?
NU13N; Setto Memo NA63D setto
Reset NA68D Res.

g) - Come si chiamano i segnali d'uscita dei generatori di pilotaggio scrittura ?

MPA1 MIVA1

h) - Come si chiamano i segnali d'uscita degli interruttori di scrittura delle unità X ?

MONS

i) - Come vengono chiamati i segnali d'uscita degli interruttori di scrittura delle unità Y ?

M2NS

l) - Gli interruttori ottave a quali altri corrispondono?

Lettura (sono gli stessi)

m) - A cosa servono i generatori d'inibizione ? Non le conosci la inibizione

Per evitare la scrittura di 1 non (in una cella) (che ha uno)

n) - Tenendo presente che il " check " (bit di disparità) si ottiene da una rete logica particolare, dove va ad agire l'uscita di tale rete ?

il check si ottiene quando si scrive un carattere in memoria, presto se ha noto check cioè il bit di disparità non necessita scrivere uno 0 piuttosto il bit perciò il check dovrà servire per inibire scritture su 1? piuttosto viceversa se uno ci sono stato il check ... non si avrà inibizione... e si scriverà 1 uno 0 pieno ?

?

SCRITTURA 2

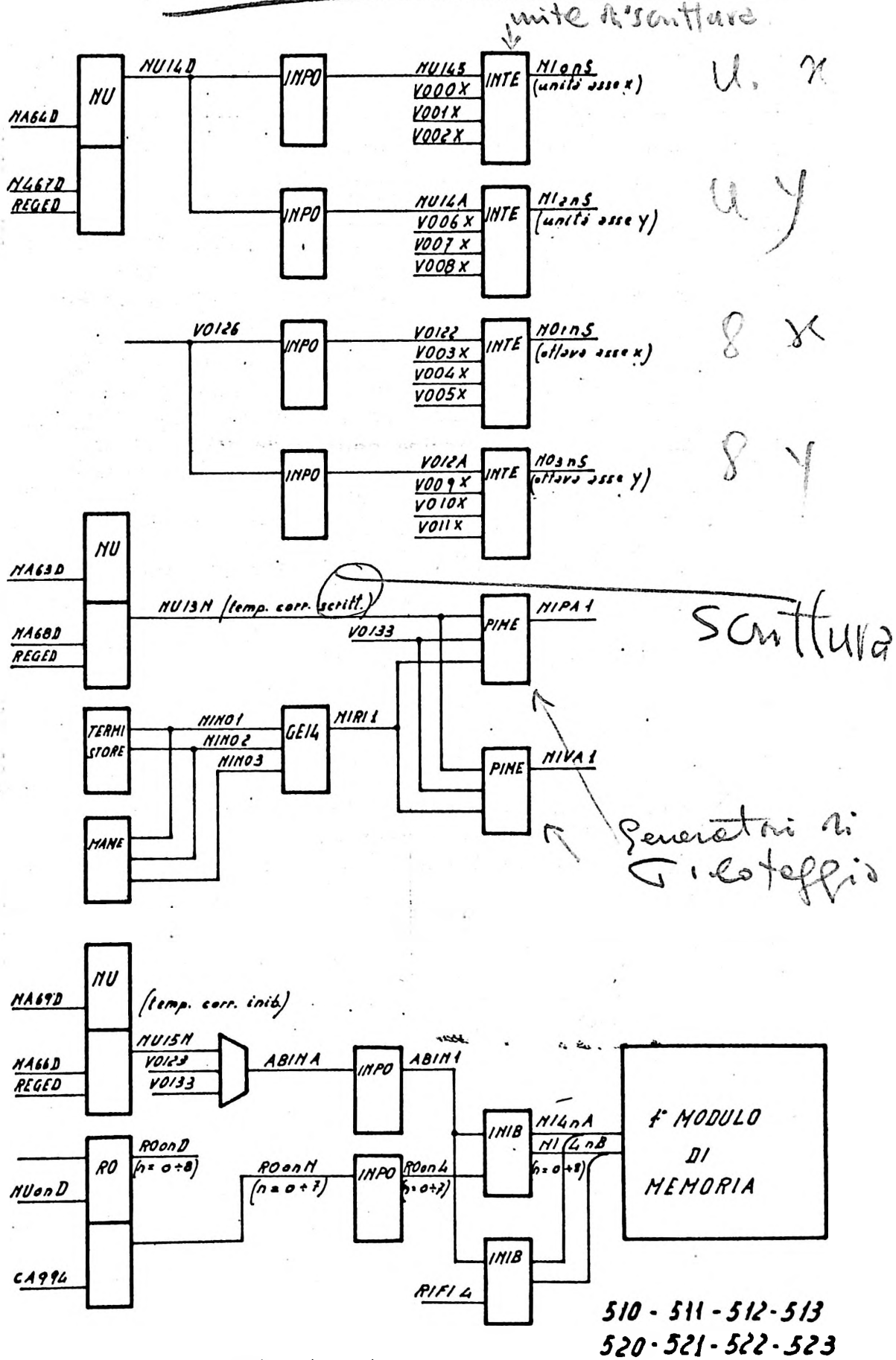


Fig. 4.4.1

RISPOSTE

a) - S'intende scrivere il carattere contenuto nel registro RO.

b) - Il secondo.

c) - Nella posizione indicata dall'indirizzatore VO (la stessa dalla quale si è letto).

d) - VO ha già chiuso gli interruttori delle ottave nel la fase di lettura e gli stessi sono utilizzati an - che nella fase di scrittura. Gli interruttori del le unità sono sempre predisposti da VO ma chiu dono solo durante la fase di scrittura comandati dalla temporizzazione relativa.

e) - NU14 che si setta al mastro NA64D e si reset ta al mastro NA67D.

f) - NU13 settato al mastro NA63D e resettato al ma stro NA68D.

g) - NIPA1 NIVA1.

h) - NI0nS (dove n = 0 + 7).

i) - NI2nS (dove n = 0 + 7).

l) - A quelli di lettura.

m) - Ad evitare la scrittura del bit a " 1 " nei piani in cui si deve scrivere " 0 ".

n) - Nel generatore di inibizione del 9° piano (N148 A e B).

4.5 AMPLIAMENTO MEMORIA

Si è già accennato alla possibilità di avere delle capacità di memoria variabili. Il modulo di memoria è dotato di 4096 posizioni.

Si possono montare uno, due, tre, quattro moduli di memoria per ottenere capacità di 4096, 8192 , 12228, 16384 posizioni a seconda delle esigenze di impiego.

Per ottenere ciò è già previsto il cablaggio sulla U.C. per tutti e quattro i moduli.

L'ampliamento si effettua aggiungendo i moduli di memoria richiesti, i relativi circuiti, e modificando i collegamenti in una speciale piastrina denominata PONT.

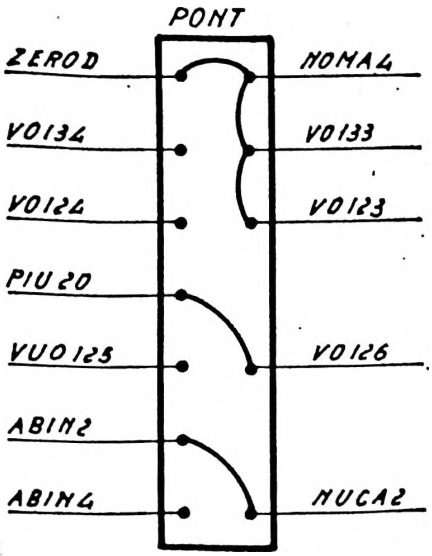
Agli ingressi di tale piastrina pervengono alcuni segnali che opportunamente " ponticellati " vanno alle uscite colllegate con gli organi interessati.

I circuiti della piastrina PONT sono rappresentati come segue e per le quattro versioni devono essere eseguiti i collegamenti come indicato in Fig. 4.5.1.

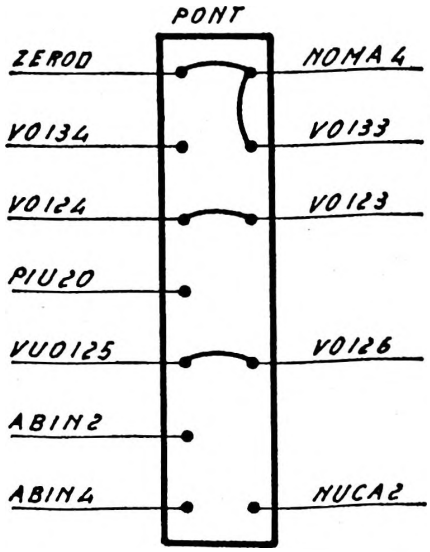
Ulteriori e più dettagliate spiegazioni sul funzionamento di tutta la memoria sono date nel volume " Memoria 16 K " al quale si rimanda.

COLLEGAMENTI DA EFFETTUARSI SULLA PIASTRINA PONT PER:

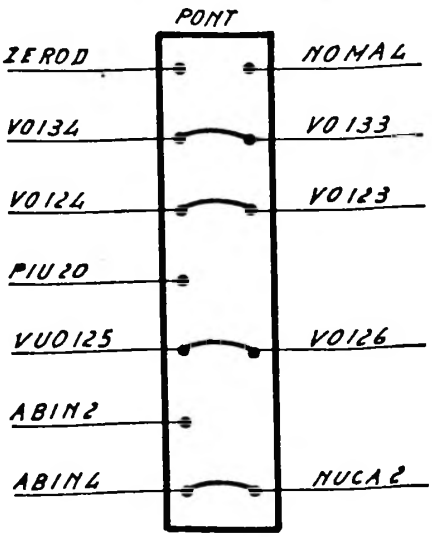
4096 POSIZIONI



8192 POSIZIONI



12288 POSIZIONI



16384 POSIZIONI

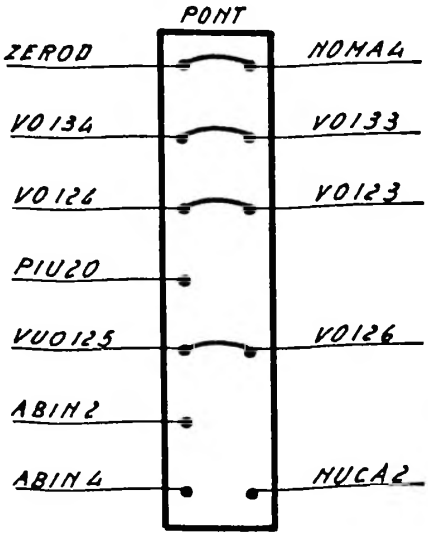


Fig. 4.5.1

LEZIONE 5

Tempo di studio
1 ora

5. INTRODUZIONE ALLA RETE DI CONTA

5.1. Prima d'iniziare lo studio della costituzione e del funzionamento della rete di conta, è bene esaminare a fondo lo scopo dell'insieme :

- rete di conta
- registri indirizzatori.

Si è visto, nel libro " Memoria a Nuclei Parte 1ª " che per indirizzare la memoria si ricorre allo uso di un registro indirizzatore che, nel caso del GE - 115 è l'indirizzatore VO. Nella memoria sono registrati in zone ben distinte fra loro sia i codici del programma da eseguire sia i dati da elaborare tramite il detto programma.

Queste zone si identificano con posizioni di memoria ben definitie che devono sempre essere indicate dall'elaboratore all'organo di indirizzamento della memoria stessa (VO).

Essendoci quindi una pluralità di zone ed un unico indirizzatore di memoria è necessario avere a disposizione degli " organi ausiliari " che consentono di effettuare il lavoro stabilito.

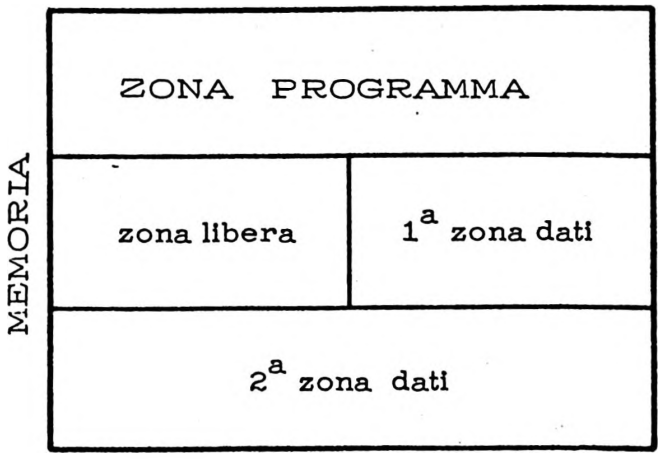


Fig. 5.1.1

Si è parlato di pluralità di zone di lavoro in quanto, come sopra detto, è necessario suddividere il contenuto della memoria in due parti ben distinte :

- zona programma
- zona dati.

La zona programma (cioè la quantità di codici che la compongono) occuperà un numero di posizioni di memoria variabile da programma a programma.

La zona dati è normalmente suddivisa in una o due parti distinte che si identificano con i campi. Quando l'elaboratore esegue delle operazioni aritmetiche (somma, sottrazione ecc.), due sono i dati che intervengono e quindi due i "campi che interessano".

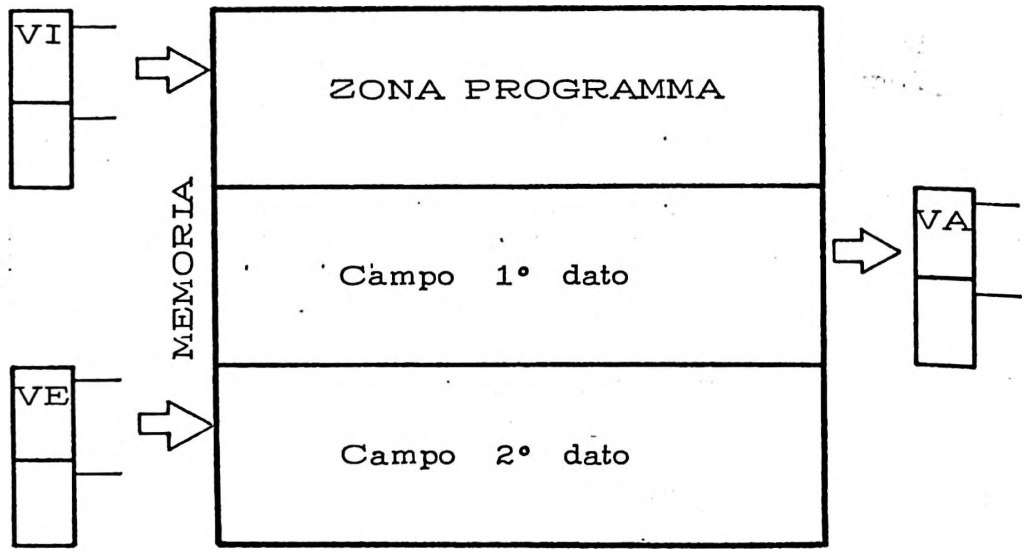


Fig. 5-1-2

Gli organi ausiliari dell'indirizzamento, cioè gli organi addetti a ricordare le zone di lavoro devono essere tanti quanti sono queste ultime. Nel GE - 115 si considerano due zone dati chiamate CAMPO E e CAMPO A.

Da quanto detto si può quindi desumere che gli indirizzatori ausiliari sono tre così distinti per funzione:

VI ricorda l'indirizzo di programma

VE ricorda l'indirizzo di una zona dati (CAMPO E)

VA ricorda l'indirizzo dell'altra zona dati (CAMPO A)

Si è parlato anche di una sola zona dati poichè non sempre è necessario averne due distinte.

Infatti quando l'elaboratore trasmette o riceve dati da una macchina periferica ad esso allacciata, uno solo è l'organo che stabilisce le posizioni di memoria nelle quali introdurre od estrarre il carattere.

In definitiva ci sono quattro indirizzatori :

- tre ausiliari
  VI (programma)
  VA (1ª zona dati campo E)
  VE (2ª zona dati campo A)
- ed uno, in diretto contatto con i circuiti di selezione della memoria, chiamato :
  VO (memoria)
  che riceve uno alla volta il contenuto degli indirizzatori ausiliari.

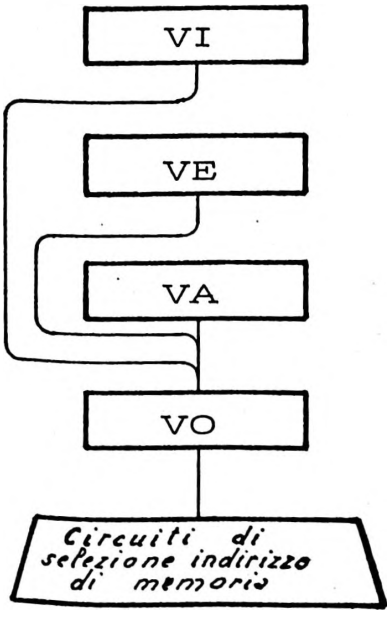


Fig. 5.1.3

IL REGISTRO VO, PER POTER INDIRIZZARE LA PARTE DI MEMORIA CONTENENTE IL PROGRAMMA O I DATI DA ELABORARE, RICEVE IN TEMPI DIVERSI IL CONTENUTO DEI REGISTRI SUPPLEMENTARI CHE SONO VI PER IL PROGRAMMA E VE O VA PER I DATI.

5.2. Il registro VO esprime solamente un indirizzo alla volta, sia esso un indirizzo corrispondente alla zona di memoria contenente il programma, sia quello corrispondente alla zona di memoria contenente i dati da elaborare.

In entrambi i casi però, poichè le zone comprendono più caratteri, una volta iniziato l'esame di una zona di memoria, normalmente, non si elabora soltanto un carattere, ma più caratteri registrati nelle posizioni adiacenti per una quantità stabilita dal programma stesso.

Occorre perciò tener conto di questo e far evolvere il contenuto dell'indirizzatore VO in maniera opportuna.

Per questa ragione il registro VO è direttamente collegato oltre che ai circuiti di selezione anche ad una rete di conta in grado di fornire all'uscita lo stesso contenuto di VO " aggiornato " cioè incrementato di una unità.

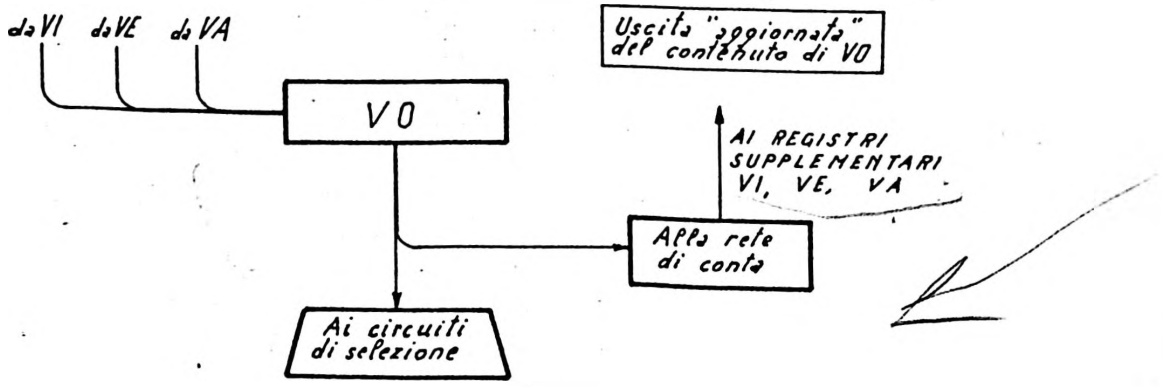


Fig. 5.2.1

Quindi, appena viene caricato in VO l'indirizzo che stabilisce la selezione della posizione di memoria interessata, ~~la rete di conta ha già sommato uno a questo indirizzo.~~

Ora è sufficiente trasferire il contenuto della rete di conta nel registro supplementare che in precedenza aveva trasferito il suo contenuto in VO, per avere nello stesso registro supplementare l'indirizzo della posizione di memoria " aggiornata ".

E' da notare che il registro supplementare deve essere rimesso a zero prima di ricevere il contenuto della rete di conta.

In un tempo successivo (quando l'elaboratore lo stabilirà) il contenuto del registro supplementare viene trasferito, in " ricopia ", in VO per indirizzare la posizione di memoria successiva alla precedente.

Contemporaneamente la rete di conta ha incrementato di uno il nuovo indirizzo e così via fino a quando le condizioni logiche del calcolatore non arresteranno questo processo.

Quanto sopra esposto può essere rappresentato nel grafico di Fig. 5.2.2 ove si è preso come registro supplementare il VI il quale inizia ad estrarre i caratteri dalla memoria, per indirizzi crescenti, a partire dall'indirizzo 1237.

Notare che il mastro " CT in VI " ha la funzione di trasferire il contenuto della rete di conta in VI e non quella di far contare VI.

Lo schema a blocchi completo dell'insieme rete di conta registri indirizzatori è riportato in Fig. 5.2.3.

Fin qui si è detto che la rete di conta incrementa di una unità il contenuto di VO. Quando si elaborano dati, e solo in questo caso, talvolta, si ha la necessità di indirizzare la memoria anche per indirizzi decrescenti. Per questa ragione la rete di conta oltre a fare +1 deve essere in grado di fare -1.

L'elaboratore, in base alle caratteristiche della istruzione che sta eseguendo in quel momento, stabilisce, per tutta la durata dell'istruzione, se la rete di conta deve fare PIU' UNO oppure MENO UNO fornendo il segnale CO104 a " 0 " nel primo caso, oppure il segnale CO105 a " 0 " nel secondo caso.

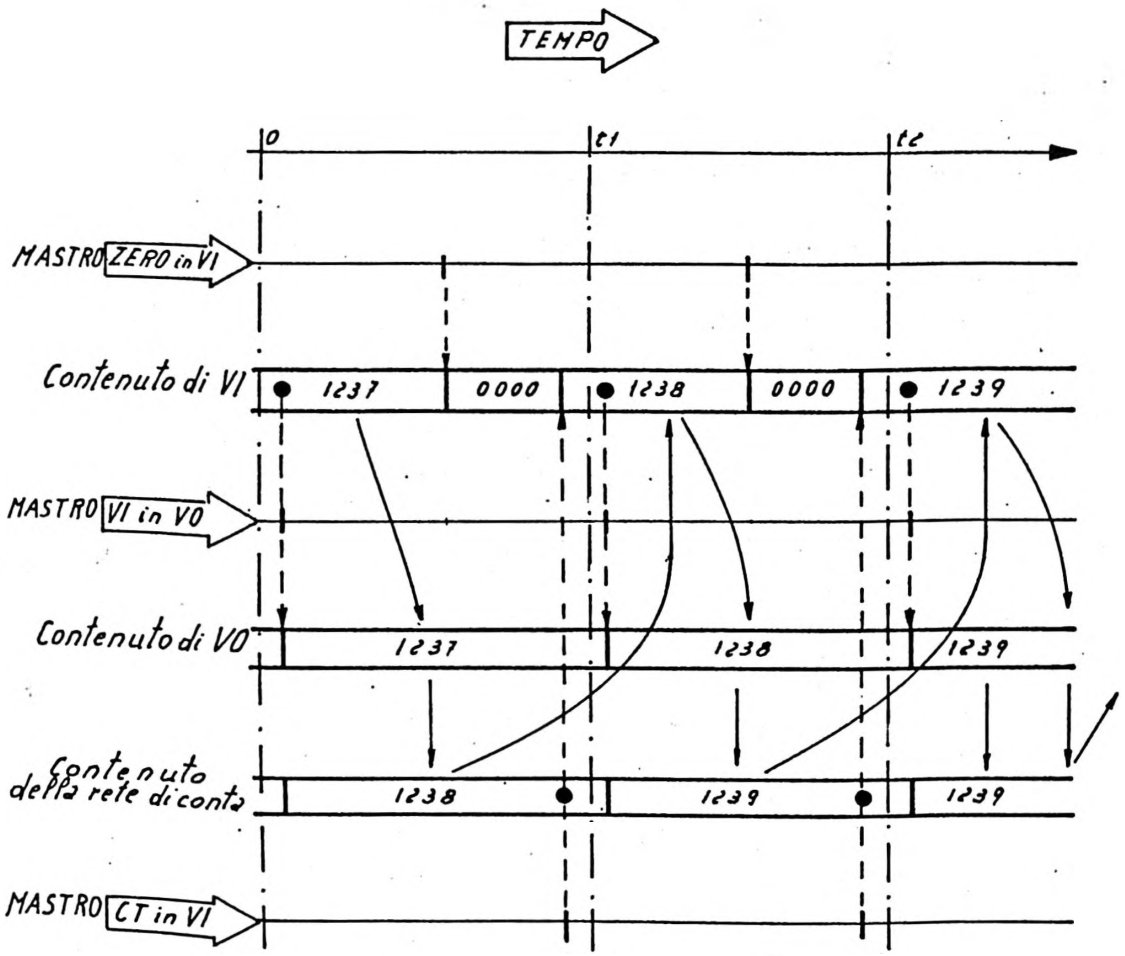


Fig. 5.2.2

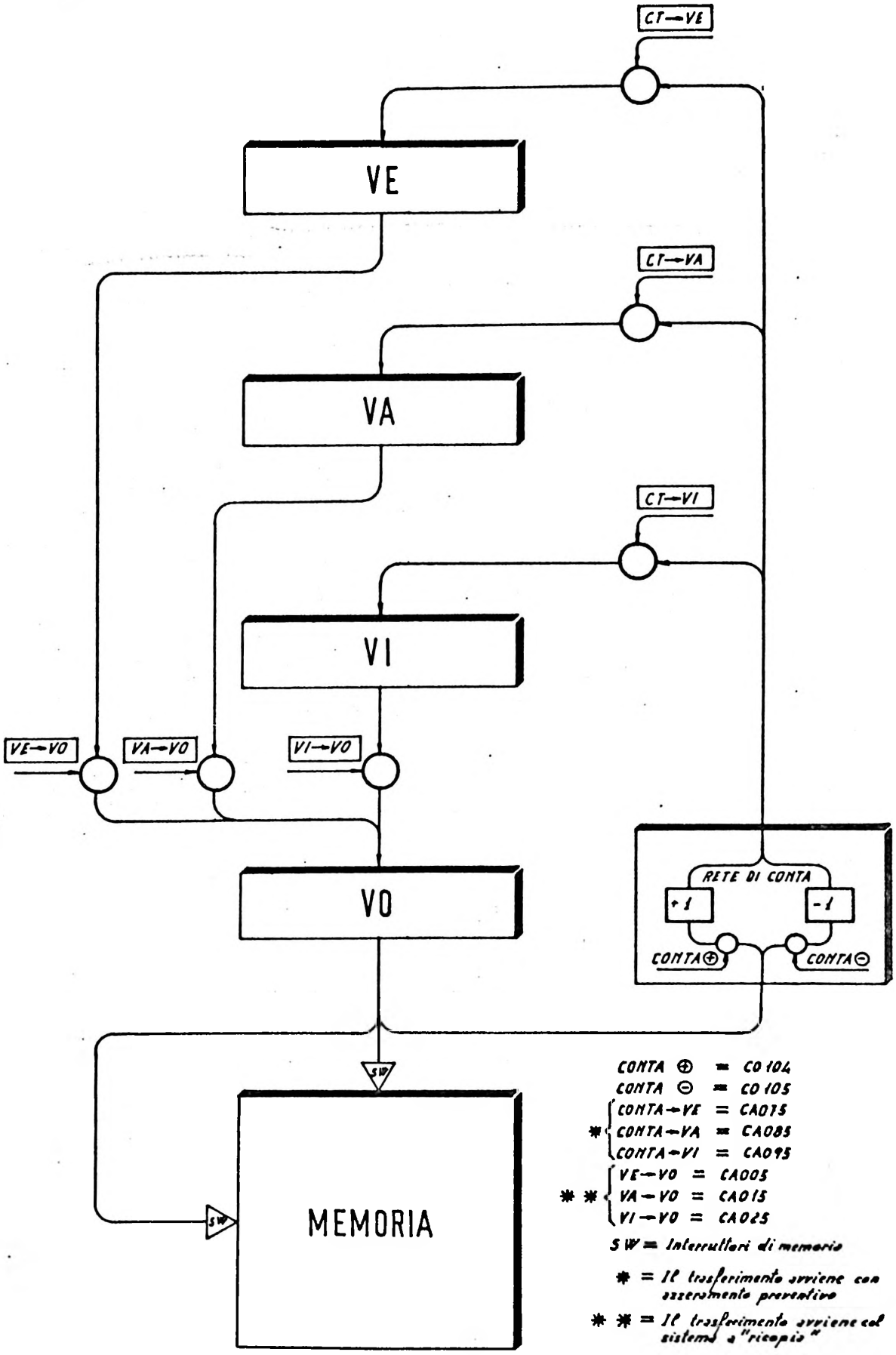

CT→VE
VE
CT→VA
VA
CT→VI
VI
VE→VO
VA→VO
VI→VO
VO
RETE DI CONTA
+1
-1
CONTA⊕
CONTA⊖
SW
SW
MEMORIA
CONTA ⊕ = CO104
CONTA ⊖ = CO105
CONTA→VE = CA015
CONTA→VA = CA085
CONTA→VI = CA095
VE→VO = CA005
VA→VO = CA015
VI→VO = CA025
SW = Interruttori di memoria
* = Il trasferimento avviene con azzeramento preventivo
** = Il trasferimento avviene col sistema a "ricopia"

Fig. 5.2.3

DOMANDE

a) - Qual'è la funzione del registro VO ?
...indirizzare la Memoria (posiz. della Vol'a)
.....

b) - Il registro VO può da solo indirizzare sia la zona di memoria contenente il programma che quella contenente i dati ?
No; ha bisogno di VA VE - VI -
.....

c) - Quali sono le funzioni assolte dai registri supplementari VI, VA e VE ?
.....Indirizzo corpo E
.....indir. prof. - indir. corpo A.....

d) - Qual'è la funzione della rete di conta ?
+ o - 1 a seconda dei casi su VO
.....
Ingressi A E I -

e) - Supponendo che per una determinata porzione di programma sia interessato il registro VA, descrivere, in sequenza, gli avvenimenti che interessano VA, VO e la rete di conta.
VA pone in VO - (indirizza la Memoria e della parola letta viene
effettuata l'analisi in V.A. e Cod. VIO
↓ inviata quanto richiesto

f) - Qual'è il significato logico del mastro "CT in VA"?
Autorizzare l'istruzione in VA nell'indirizzo corpo A
.....effettuato.....

g) - La conta + o -1 può essere fatta indistintamente sia se si sta interessando la zona di memoria contenente il programma che quella contenente i dati ?
.....NO - (Prof. + 1)
.....
oltre a funzioni + o - 1 a seconda dei casi

RISPOSTE

a) - E' quella di indirizzare una alla volta le posizioni di memoria.

b) - No.

c) - VI indirizza la zona di memoria contenente il programma, VA e VE indirizzano la zona di memoria contenente i dati da elaborare.

d) - E' quella di incrementare di 1 (o decrementare di 1) il contenuto di VO per poter estrarre il contenuto delle posizioni adiacenti di memoria.

e) - VA in VO e VO in RETE DI CONTA; ZERO in VA; RETE DI CONTA in VA; VA in VO ecc.

f) - Trasferimento del contenuto della RETE DI CONTA in VA.

g) - No, può essere fatta solo nel secondo caso in quanto per la interpretazione del programma si procede sempre e solo per indirizzi crescenti.

5.3. Da quanto esposto si può dedurre che la rete di conta non è un addizionatore/sottrattore binario, ma solamente una rete logica in grado di addizionare o sottrarre una sola unità alla volta.

I sistemi usati sono i seguenti :

- per sommare 1 ad un valore binario si aggiunge una unità al primo rango binario del valore da incrementare e 0 a tutti gli altri ranghi binari
- per sottrarre 1 ad un valore binario si aggiunge una unità a tutti i ranghi binari ~~del valore da decrementare~~.

In questo secondo caso si ha un riporto dall'ultimo rango binario che va però trascurato.

A titolo esemplificativo di quanto sopra esposto si osservino i seguenti esempi :

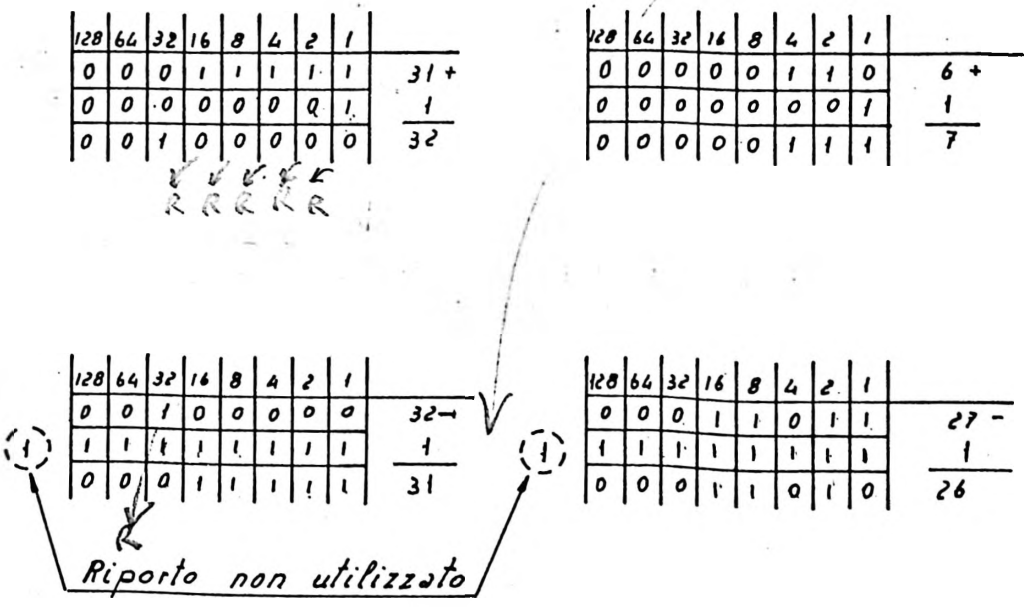


Fig. 5.3.1

Si noti che aggiungendo o sottraendo una unità ad un valore binario si ha sempre una INVERSIONE del primo rango binario, cioè se il peso 1 è a zero prima della somma o della sottrazione dell'unità tale peso diventa 0 dopo e viceversa. Sarà pertanto inutile elaborare il primo rango binario con la rete di conta mentre sarà sufficiente invertirlo.

Il GE - 115 ha come modulo base una memoria di 4096 posizioni, in una Unità Centrale possono essere montati moduli fino ad un massimo di 4 per un totale di 16.384 posizioni.

Il numero 16.384, in binario si esprime nel seguente modo :

16384	8192	4096	2048	1024	512	256	128	64	32	16	8	4	2	1
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Fig. 5.3.2

Cioè occorrono quindici pesi binari per esprimere l'indirizzo 16.384.

Nella realizzazione pratica di un registro si tiene conto anche della sua configurazione binaria 000.0000.0000.0000 alla quale si fa corrispondere la posizione iniziale della memoria, cioè, la posizione 1 si identifica con la configurazione tutti zero, la posizione 2 è identificata da tutti zero meno il peso 1 a "1", la posizione 8 da 000.0000.0000.0111 e così via. Questo artificio permette di risparmiare una posizione di registro, infatti con quattordici pesi binari si esprime l'indirizzo :

8192+4096+2048+1024+512+256+128+64+32+16+8+4+2+1 =16.383

il quale identifica la 16.384^{ma} posizione di memoria.

E' evidente che se l'Unità Centrale dispone di un solo modulo saranno montate solamente 12 posi - zioni di registro, 13 posizioni per 2 moduli, 14 posizioni per 3 o 4 moduli.

Come si é visto nel volume precedente per esprimere un indirizzo di memoria in modo semplice, si può usare il sistema esadecimale utilizzando un doppio carattere.

Per esempio l'indirizzo 1093 0000 · 0100 · 0100 · 0101 si esprime 0/4 4/5. Lo zero iniziale indica che i bit 12-13-14 e 15 sono tutti a zero.

E' evidente che se l'Unità Centrale dispone di un solo modulo saranno montate solamente 12 posizioni di registro, 13 posizioni per 2 moduli, 14 posizioni per 3 o 4 moduli.

Come si è visto nel volume precedente per esprimere un indirizzo di memoria in modo semplice, si può usare il sistema esadecimale utilizzando un doppio carattere.

Per esempio l'indirizzo 1093=0000.0100.0100.0101 si esprime 0/4 4/5. Lo zero iniziale indica che i bit 12-13-14 e 15 sono tutti a zero.

DOMANDE

Si esegua la conta e la deconta di una unità col sistema utilizzato nella rete di conta nei seguenti valori binari.

h) - 00.0000.0111.1111 + 1 =

i) - 00.0100.0001.0001 - 1 =

l) - Per quale ragione non è necessario elaborare attraverso la rete di conta il primo rango binario ?

.....

m) - Per indirizzare la 512ma posizione quale configurazione binaria deve avere VO ?

.....

n) - Si abbia una Unità Centrale munita di quattro moduli di memoria e dopo aver indirizzato l'ultima posizione (indirizzo 16.383) si voglia effettuare una conta +1, qual'è la nuova posizione indirizzata ?

.....

RISPOSTE

h) - 00.0000.0111.1111 + 127 +
00.0000.0000.0001 = 1 =

00.0000.1000.0000 128

i) - 00.0100.0001.0001 - 1041 -
11.1111.1111.1111 = 1 =

00.0100.0001.0000 1040

l) - Perchè sia aggiungendo che togliendo una unità il primo rango binario si inverte comunque, pertanto è sufficiente operare, ogni volta che si deve fare una conta o deconta, l'inversione di detto rango binario.

m) - 00.0001.1111.1111 , cioè l'indirizzo 511 .

n) - E' la prima posizione di memoria cioè la posizione che corrisponde all'indirizzo :

00.0000.0000.0000 .

in quanto il riporto che esce dall'ultimo rango binario viene trascurato.

LEZIONE 6

Tempo di studio
ore 1 e 30 minuti

6. RETE DI CONTA

6.1 Dopo le considerazioni di carattere generale fatte nella lezione precedente, si esamina ora la costituzione ed il funzionamento della rete di conta degli indirizzatori del GE - 115.

Si segua lo schema di principio di Fig. 6.1.1 ove è riportata la rete di conta al completo nella sua massima versione di 14 stadi.

Si notino i due segnali comuni a tutte le posizioni :

- conta + é conta -

la cui funzione logica è stata esposta nella lezione precedente.

I due segnali suddetti sono complementari fra loro, cioè se uno è a "0" l'altro è a "1" e viceversa.

Ogni posizione della rete è costituita da due parti fondamentali :

- un circuito dei risultati (RIS 01 + 13)
- un circuito dei riporti (RIP 00 + 12)

La costituzione di questi circuiti non è eguale per tutte le posizioni; si osservino le posizioni 02 + 12 : quelle pari (02, 04, 06, 08, 10, 12) sono realizzate in modo diverso da quelle dispari (03, 05, 07, 09, 11).

Le posizioni 00 e 13 sono diverse: la 00 non ha il circuito del risultato in quanto, come si è visto nella lezione precedente, si fa la sola inversione del contenuto di VO00, la posizione 13 non ha il circuito del riporto in quanto, come si è detto in precedenza, lo eventuale riporto uscente dall'ultima posizione della rete di conta viene trascurato.

Non si riporta qui di seguito la dimostrazione matematica della rete di conta, ma ci si limita a studiarne il funzionamento esaminando alcuni esempi di CONTA PIU' e di CONTA MENO.

Si esegue ora l'esempio di conta -1 riportato in Fig. 6.1.2.
Per semplicità di rappresentazione si riportano soltanto quattro posizioni della rete di conta (00 + 03).

Il caso esaminato è il seguente :

6 -	0110 -
1 =	0001 =
5	0101

Il valore 6 è contenuto nel registro VO. Essendo CO10N a " 0 " la rete di conta è abilitata ad eseguire una CONTA MENO quindi alle sue uscite è disponibile il risultato.

Tale risultato si trasferisce in VI al sopraggiungere del segnale temporizzatore CONTA IN VI dopo che lo stesso VI è stato rimesso a zero dal segnale ZERO in VI.

VA (E) (I)

Da VE, VA, VI 00÷13

VO

VO 13	VO 12	VO 11	VO 10	VO 09	VO 08	VO 07	VO 06	VO 05	VO 04	VO 03	VO 02	VO 01	VO 00

Conta +1
Conta -1

RIP 12	RIP 11	RIP 10	RIP 09	RIP 08	RIP 07	RIP 06	RIP 05	RIP 04	RIP 03	RIP 02	RIP 01	RIP 00

RETE DI CONTA

Rete Conte

RIS 13	RIS 12	RIS 11	RIS 10	RIS 09	RIS 08	RIS 07	RIS 06	RIS 05	RIS 04	RIS 03	RIS 02	RIS 01

VA (E) (I)

VE, VA, VI 13	VE, VA, VI 12	VE, VA, VI 11	VE, VA, VI 10	VE, VA, VI 09	VE, VA, VI 08	VE, VA, VI 07	VE, VA, VI 06	VE, VA, VI 05	VE, VA, VI 04	VE, VA, VI 03	VE, VA, VI 02	VE, VA, VI 01	VE, VA, VI 00

A VO 00÷VO 13

Fig. 6.1.1

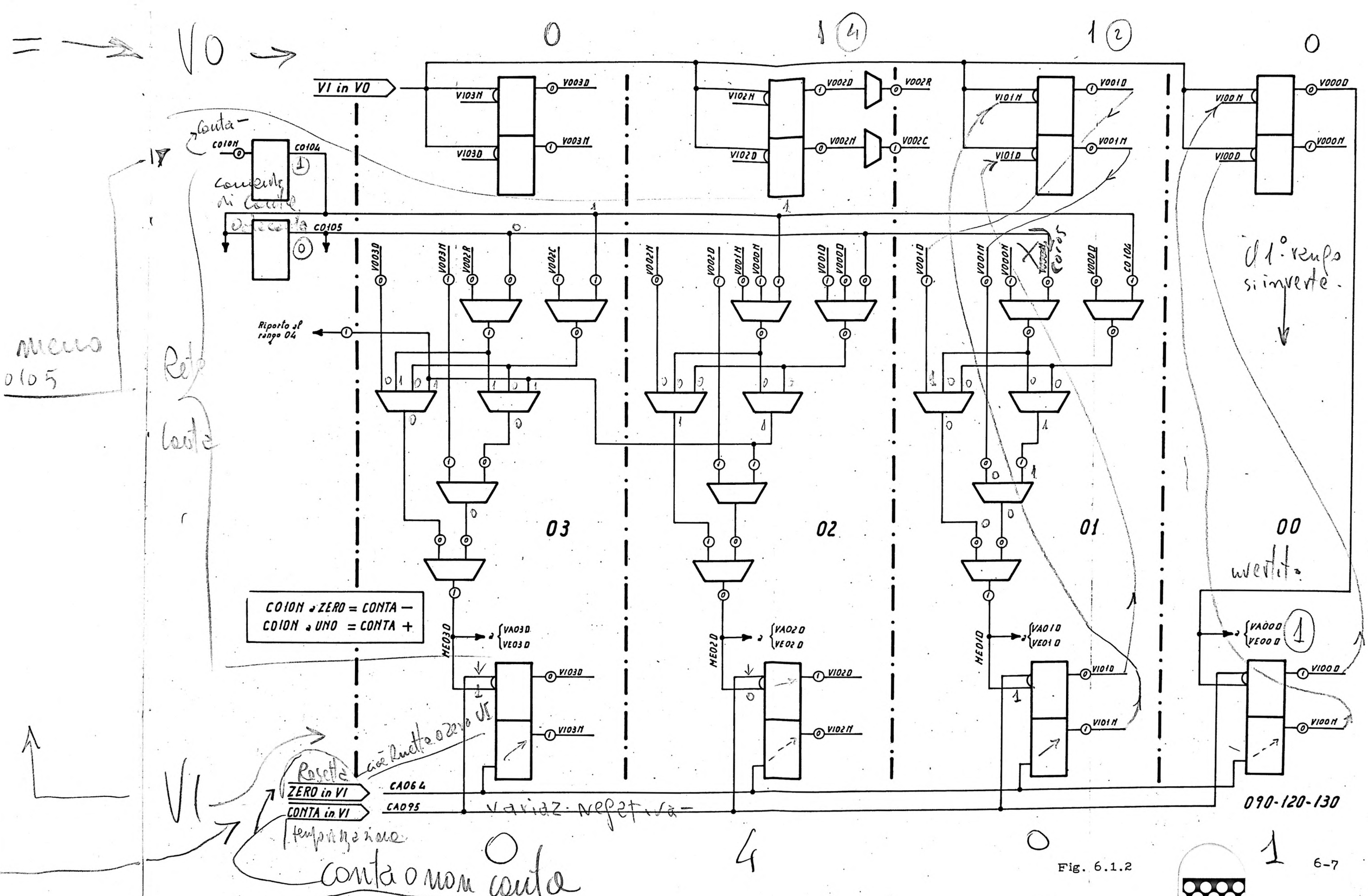

VI in VO
CO10N
CO104
CO105
Riporto al range 04
COION = ZERO = CONTA −
COION = UNO = CONTA +
ZERO in VI
CONTA in VI
CA064
CA095
03
02
01
00
090-120-130

Fig. 6.1.2

DOMANDE

a) - In Fig. 6.1.3 è impostato un valore in VO ed è dato il livello del CO10N.
Dire se la conta è + o - ed indicare qual'è il risultato che si registra in VI all'arrivo del segnale temporizzatore CONTA IN VI.

La conta è + ...
Il risultato registrato in VI è 5 .....

b) - In Fig. 6.1.4 è impostato un valore in VO ed è dato il livello del CO10N.
Dire se la conta è + o - ed indicare qual'è il risultato che si registra in VI all'arrivo del segnale temporizzatore CONTA IN VI.

La conta è - .....
Il risultato registrato in VI è 7 .....

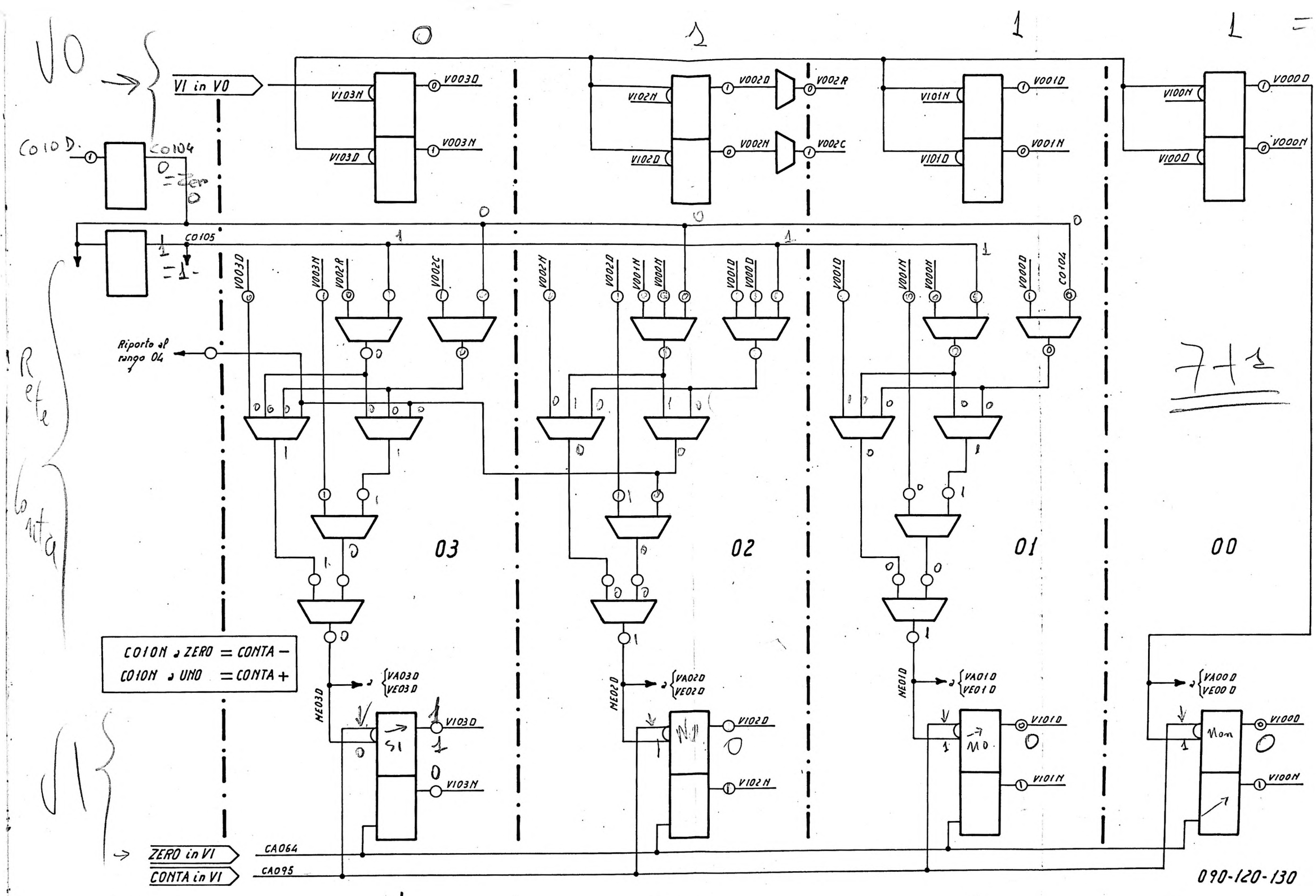

VI in VO
CO10D
CO104
CO105
VO03D
VO03N
VO02R
VO02C
VO02D
VO02N
VO01N
VO01D
VO00D
VO00N
CO104
Riporto al rango 04
03
02
01
00
CO10N . ZERO = CONTA −
CO10N . UNO = CONTA +
ME03D
ME02D
ME01D
VA03D
VE03D
VA02D
VE02D
VA01D
VE01D
VA00D
VE00D
VI03D
VI03N
VI02D
VI02N
VI01D
VI01N
VI00D
VI00N
S1
M1
M0
Non
ZERO in VI
CONTA in VI
CA064
CA095
090-120-130

Fig. 6.1.3

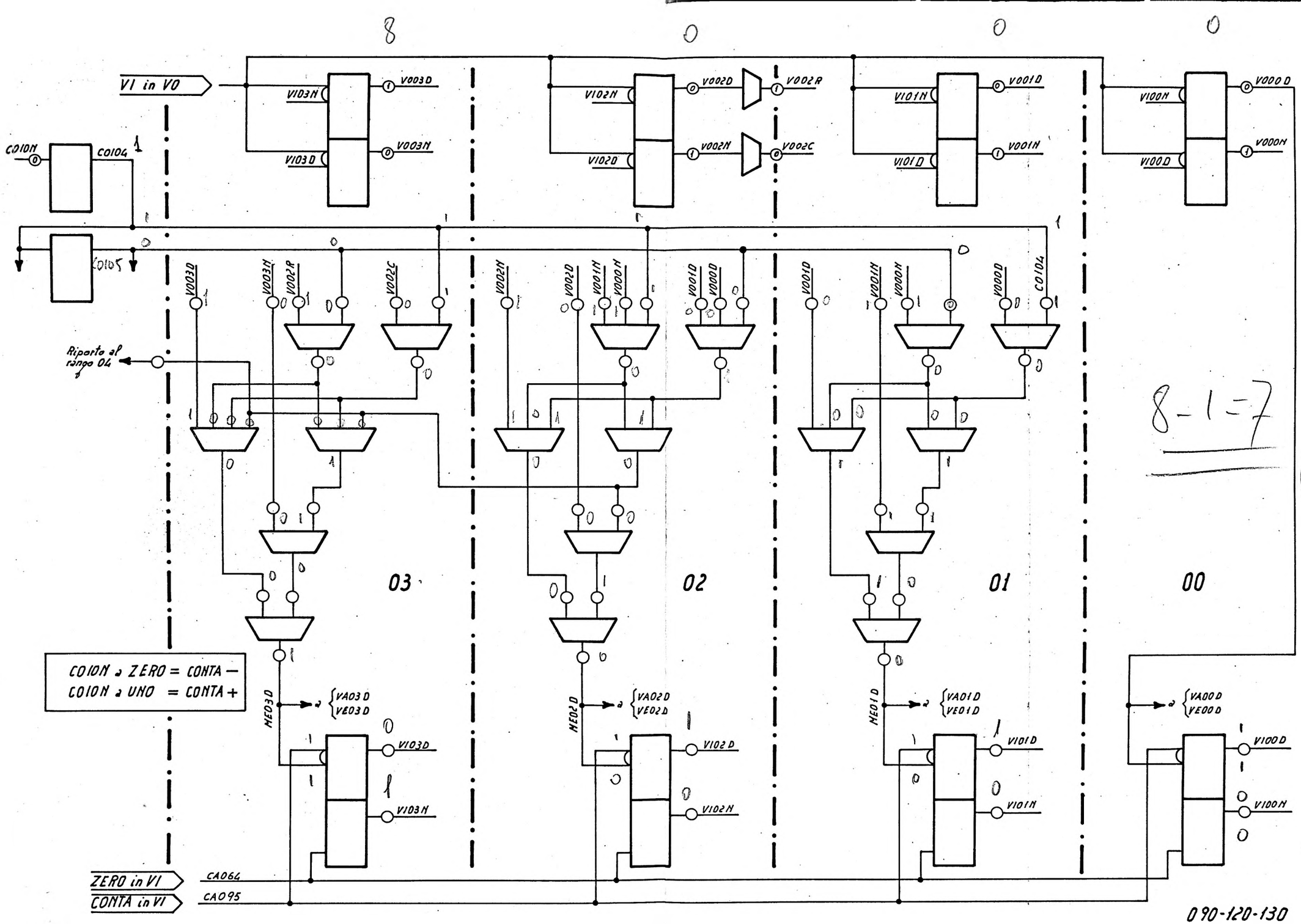

VI in VO
COION
COIO4
COIO5
Riporta al rango 04
COION = ZERO = CONTA —
COION = UNO = CONTA +
ZERO in VI
CONTA in VI
CA064
CA095
03
02
01
00
090-120-130

Fig. 6.1.4

RISPOSTE

Gli schemi delle Figg. 6.1.5 e 6.1.6 sono uguali a quelli delle Figg. 6.1.3 e 6.1.4 . In queste ultime sono riportati i livelli di tutti i segnali richiesti.

a) - La conta é PIU', il risultato registrato in VI é 1 0 0 0 = 8.

b) - La conta é MENO, il risultato registrato in VI é 0 1 1 1 = 7.

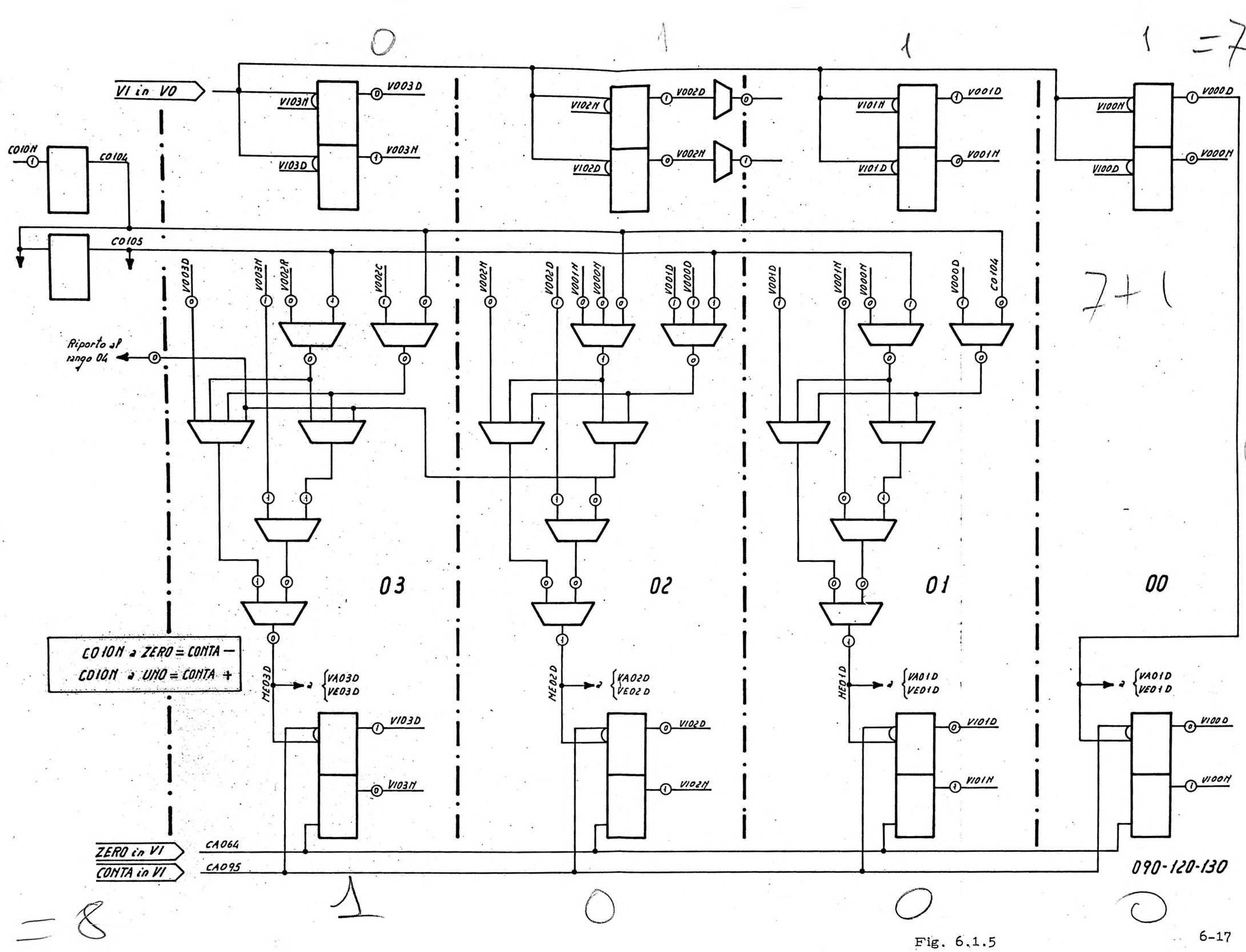

VI in VO
CO10N
CO10A
CO105
VI03N
VI03D
VO03D
VO03N
VI02N
VI02D
VO02D
VO02N
VI01N
VI01D
VO01D
VO01N
VI00N
VI00D
VO00D
VO00N
Riporto al rango 04
03
02
01
00
CO10N = ZERO = CONTA —
CO10N = UNO = CONTA +
ME03D
ME02D
ME01D
VA03D
VE03D
VA02D
VE02D
VA01D
VE01D
VA00D
VE00D
ZERO in VI
CONTA in VI
CA064
CA095
090-120-130

Fig. 6.1.5

VI in VO

CO10N
CO104
CO105

VI03N
VI03D
VO03D
VO03N

VI02N
VI02D
VO02D
VO02R
VO02N
VO02C

VI01N
VI01D
VO01D
VO01N

VI00N
VI00D
VO00D
VO00N

VO03D
VO03N
VO02R
VO02C
VO02H
VO02D
VO01H
VO00H
VO01D
VO00D
VO01D
VO01H
VO00H
VO00D
CO104

Riporto al rango 04

03
02
01
00

CO10N = ZERO = CONTA −
CO10N = UNO = CONTA +

ME03D → VA03D, VE03D
ME02D → VA02D, VE02D
ME01D → VA01D, VE01D
VA00D, VE00D

VI03D
VI03N
VI02D
VI02N
VI01D
VI01N
VI00D
VI00N

ZERO in VI
CONTA in VI
CA064
CA095

090-120-130

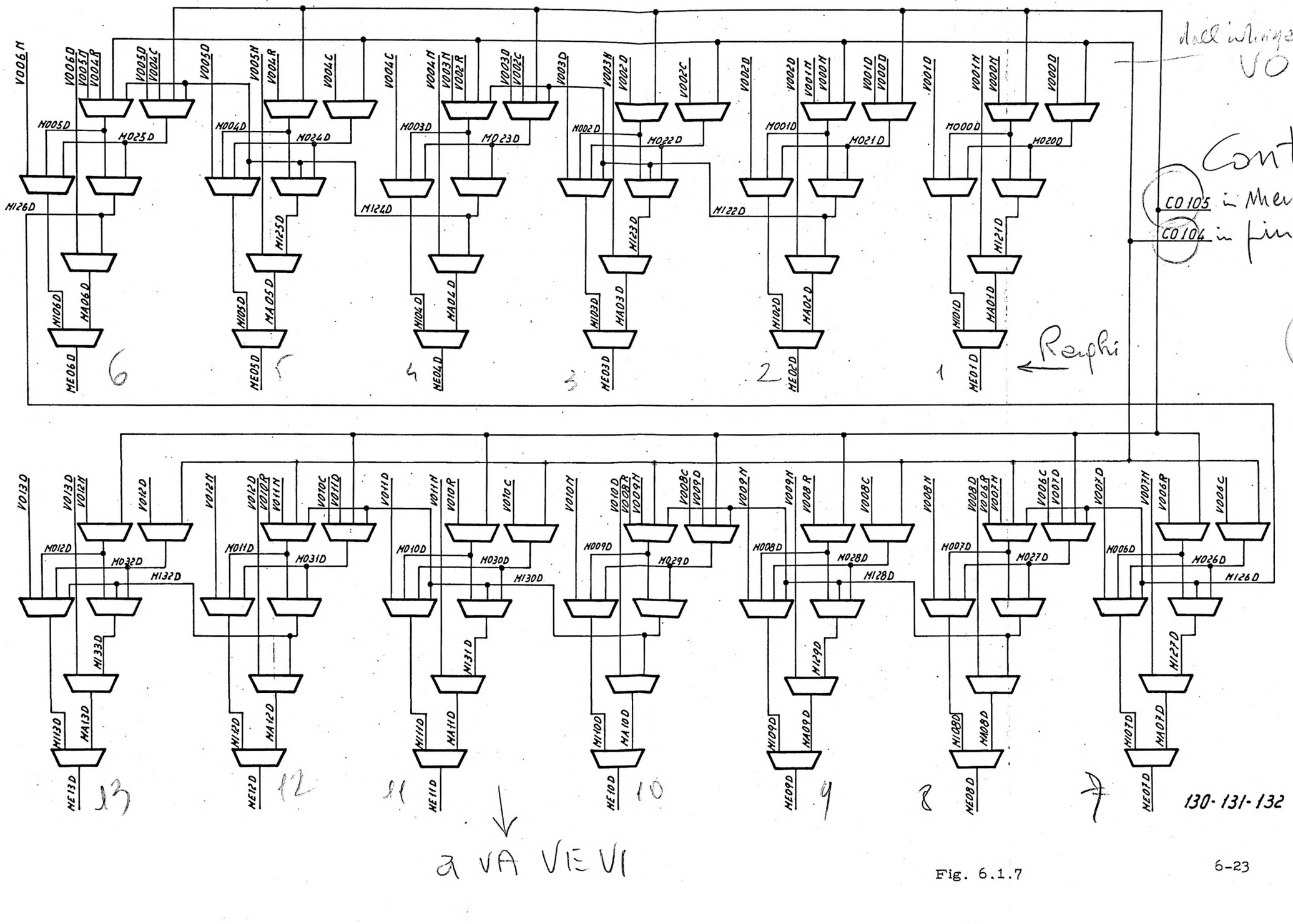
Fig. 5.1.5

In Fig. 6.1.7 si riporta la rete di conta dei registri indirizzatori al completo.

Gli ingressi sono costituiti dalle uscite dirette e negate dei flip-flop di VO, e le uscite dai segnali ME01 + ME13 che andranno agli ingressi in maschera di set dei corrispondenti flip-flop di VA, VE, VI.

Non esiste l'uscita ME00, perchè come si è visto per il primo rango viene effettuata l'inversione del contenuto nel flip-flop VO00.

Rete di Conta completa



a VA VE VI

Fig. 6.1.7

LEZIONE 7

Tempo di studio
ore 1 e 30 minuti

7. REGISTRI INDIRIZZATORI

7.1 Nelle due lezioni precedenti si è visto il funzionamento della rete di conta, dei registri indirizzatori, si passa ora allo studio di questi ultimi esaminando la loro costituzione, il loro uso ed il loro funzionamento.

Come si è già visto, l'indirizzatore di memoria è condizionato al contenuto del registro VO che abilita gli switches di selezione.

Tale registro può ricevere un indirizzo proveniente :

- IN FASE ALFA DAL REGISTRO VI (indirizzo programma)
- IN FASE BETA DAL REGISTRO VA (indirizzo campo A) o dal REGISTRO VE (indirizzo campo E).

Non appena è stata iniziata la fase di scrittura in memoria all'indirizzo stabilito, VO restituisce il suo contenuto e cancella il precedente, al registro d'origine attraverso la rete di conta nel modo già visto.

In alcuni casi il contenuto di ogni registro indirizzatore può rimanere INALTERATO quando il registro VO non lo modifica attraverso la rete di conta. A tal proposito esiste un particolare comando, chiamato INIBIZIONE CONTA, che non consente quando è presente, alla rete di conta di caricare i registri, e nello stesso tempo evita la loro rimessa a zero.

CO 11 N

V. pp. 7-16 / 7-17

DOMANDE

a) - Perchè durante la fase alfa il VO riceve da VI?
(la variazione è attiva in memoria dei contatori
.....
..nell'istruzione.....

b) - ~~Quale~~ o quali registri indirizzatori possono essere trasferiti in VO durante la fase beta ?
..VA - VE.....
.....
VI - VA - VE

c) - Una volta che un registro indirizzatore è stato trasferito in VO quest'ultimo, attraverso la rete di conta, lo restituisce sempre al registro di origine o ci sono dei casi nei quali non lo fa ?
.....
.....

non restituisce e non riceve finché
c'è il comando Inibizione Conto.

RISPOSTE

a) - Perchè VI è l'indirizzatore che segue il programma e trattandosi di fase alfa non si può parlare che di programma.

b) - VA e VE che seguono rispettivamente il campo A ed il campo E durante la fase beta.

c) - Lo restituisce sempre al registro di origine tramite la rete di conta tranne nei casi in cui compare il comando INIBIZIONE CONTA. In questi casi il registro di origine non riceve il contenuto della rete di conta, non viene rimesso a zero e quindi rimane con il valore che aveva all'inizio.

7.2 IL REGISTRO VO

Nella versione base di memoria (4096) VO è composto da 12 flip-flop (VO00 ÷ VO11) indipendenti, che permettono così di selezionare le 4096 posizioni di memoria (2^{12}).

Nel caso di estensione della memoria a 8192 posizioni (2^{13}) il registro viene aumentato di un flip-flop (VO12), per l'estensione a 12288 e 16384 posizioni il registro VO viene portato ad un totale di 14 flip-flop.
Il registro VO può ricevere

1°) - IL CONTENUTO DEL REGISTRO VI in tutti gli STATI della fase alfa.
Il trasferimento è ottenuto validando le maschere di set o di reset di VO con le corrispondenti uscite dritte e negate di VI, ed attivando tali maschere con il 1° mastro che viene spillato dalla L.d.R. (NA00)

Lo stesso risultato si ottiene mediante predisposizione dell'apposito commutatore sulla console di manutensione e successiva pressione sul tasto START.

2°) - IL CONTENUTO DEL REGISTRO VA nella fase beta, con le stesse modalità di VI→VO.

3°) - IL CONTENUTO DEL REGISTRO VE nella fase beta, con le stesse modalità di VI→VO.
Tale funzionamento può essere schematizzato come nel disegno di Fig. 7.2.1.

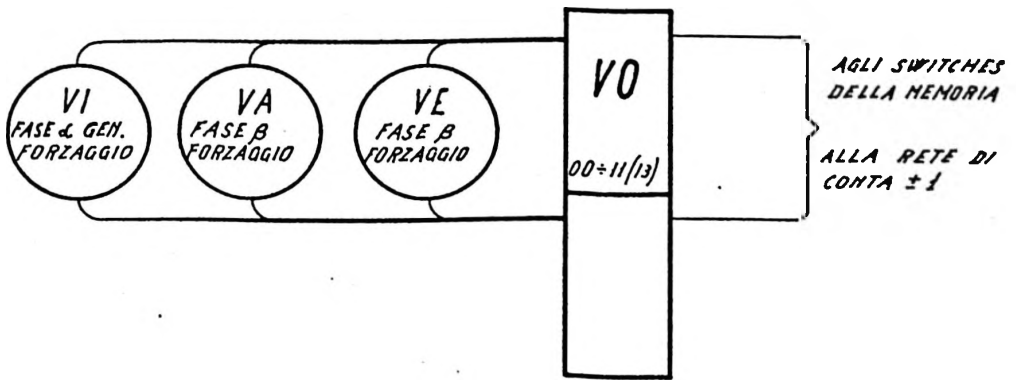
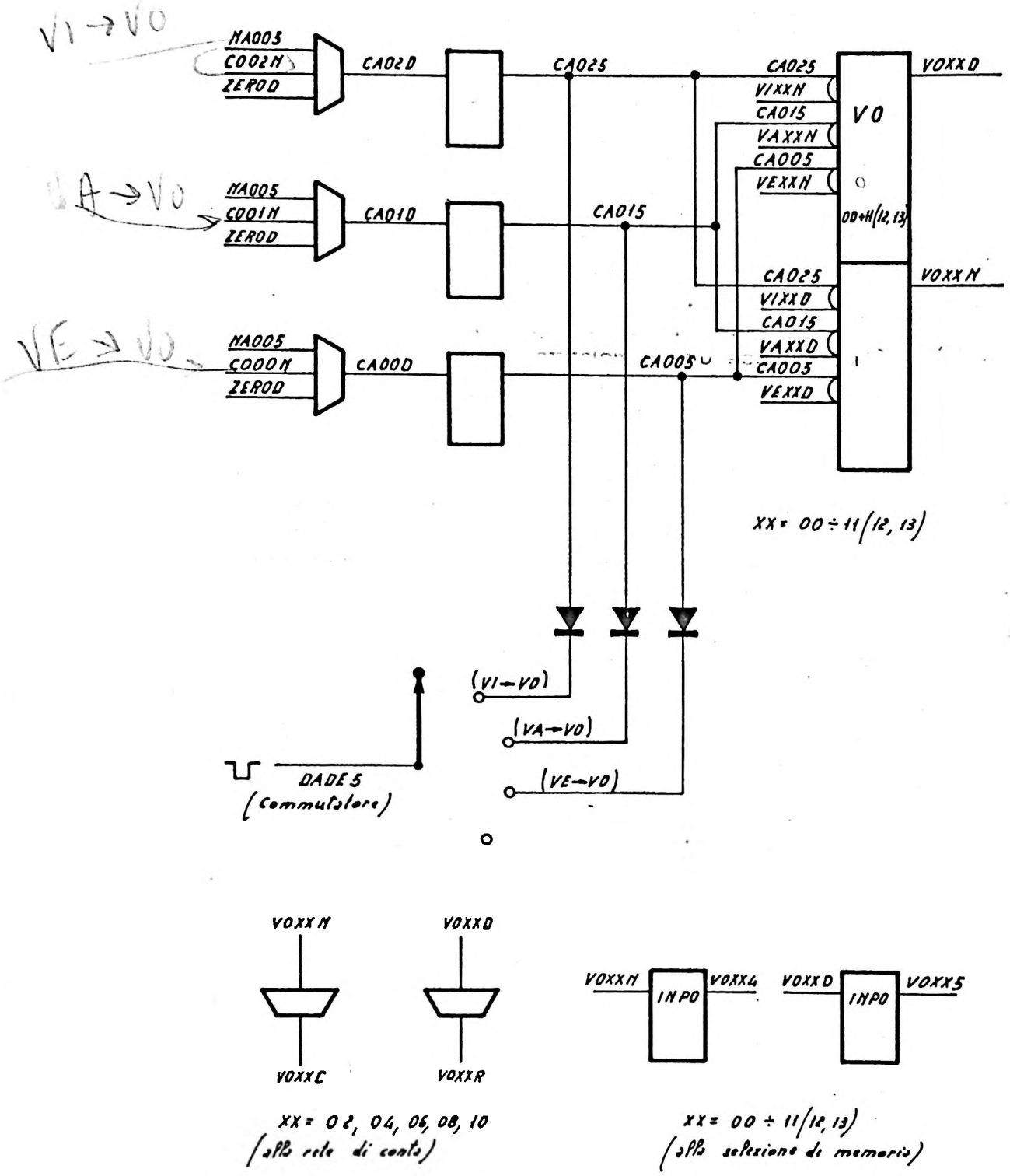


Fig. 7.2.1



120 - 121 - 122

Fig. 7.2.2

In Fig. 7.2.2 è riportato lo schema reale corrispondente allo schema di principio di Fig. 7.2.1 . Analizzare lo schema di Fig. 7.2.2 e rispondere alle seguenti :

DOMANDE

a) - Quali sono le condizioni di set del registro VO relative al contenuto di VI ?
.....CA025 e VIXXN ..... DADES per 3 fili
.....

b) - Quali invece quelle relative al contenuto di VA ?
.....CA015 e VAXXN
.....

c) - E quelle relative al contenuto di VE ?
.....CA005 e VEXXN
.....

d) - Qual'è quindi l'equazione generale per il set di VO?
CA025·VIXXN + CA015·VAXXN + CA005·VEXXN
.....

e) - Quale sarà l'equazione generale di reset ?
CA025·VIXXD + CA015·VAXXD + CA005·VEXXD
.....

f) - Analizzando la tabella dei comandi posta in appendice stabilire per quali comandi si avrà VI←VO, VA→VO, VE→VO.
.....C002 / C001 / C000
.....

g) - A quale mastro si trasferisce il contenuto di un indirizzatore in VO ? 1° Mastro sifletto RLAR.
.....
.....

h) - Come si agisce per caricare VO con il contenuto di un altro indirizzatore da console di manutenzione ? Forzando col commutatore (posizione manut.)
..... e + START = + Pulsante VIA .....

i) - Come si comportano i circuiti relativi ?
.... Non selezionate DADES ... si fa
.....
il forzato -

RISPOSTE

a) - Per il set di VO relativamente a VI la condizione è:
VOXXD = CA025 · VIXXN

b) - Per VA :
VOXXD = CA015 · VAXXN

c) - Per VE :
VOXXD = CA005 · VEXXN

d) - Set di VO generale :
VOXXD = CA025 · VIXXN + CA015 · VAXXN +
+ CA005 · VEXXN

e) - Per il reset generale di VO si avrà :
VOXXN= CA025 · VIXXD + CA015 : VAXXD +
+ CA005 · VEXXD

f) - Per VE → VO = CO00N
VA → VO = CO01N
VI → VO = CO02N

g) - Al mastro NA005 cioè il 1° della L.d.R.

h) - Si pone il commutatore nella posizione corrispondente all'operazione che si vuole eseguire (VI → VO, VA → VO, VE → VO) e si preme il pulsante VIA.

i) - Il commutatore chiude una delle tre vie indicate dallo schema ed all'arrivo dell'impulso DADE5 si generano i segnali d'interrogazione delle mschere relative.

7.3 REGISTRO VI

Viene Resettato preventivamente

Ha la stessa composizione di VO. Viene azzerato nei seguenti casi :

- sistematicamente ed incondizionatamente all'inizio di ogni STATO della fase alfa (per ottenere il mezzo indirizzo aggiornato + 1
- in fase di preparazione al caricamento di un programma (pressione sul tasto LOAD con LOAD1 o LOAD2)
- all'inizio di un'elaborazione (pressione sul tasto CLEAR)
- prima di ricevere un forzaggio dalla console di manutenzione.

Il registro VI può caricarsi tramite :

- LE USCITE DELLA RETE DI CONTA in tutti gli STATI della fase alfa in cui non esiste l'inibizione conta. Il trasferimento avviene settando i flip-flop di VI attraverso delle maschere validate dalle uscite corrispondenti della rete di conta ed attivate con un mastro che si presenta quando è in pieno svolgimento la fase di scrittura memoria (NA04)
- IL CONTENUTO DEI REGISTRI RO e RA (rispettivamente negli 8 flip-flop meno significativi e nei 4 o 5 o 6 più significativi di VI) nello STATO 105 della fase alfa se esiste l'inibizione conta. Questo caso si presenta, se è stata verificata la condizione di salto. VI riceve quindi l'indirizzo di programma specificato dai caratteri IA^+ e IA^- dell'istruzione e precedentemente caricato in RO, RA
- IL CONTENUTO DEI REGISTRI RO e RA mediante predisposizione dell'apposito commutatore sulla console di manutenzione e successiva pressione sul tasto START.

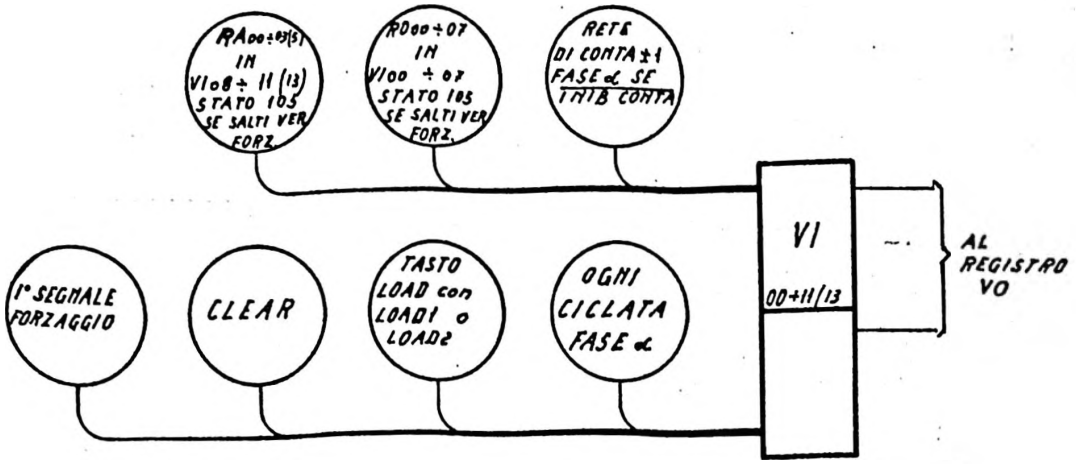


Fig. 7.3.1

In Fig. 7.3.2. è riportato lo schema reale corrispondente allo schema di principio di Fig. 7.3.1. Analizzare lo schema di Fig. 7.3.2. e rispondere alle seguenti : (consultare Tab. Comandi dell'ALU

DOMANDE

a) - A che evento corrisponde il comando CO02N ?
.....VI = VO.....
.....

b) - A che evento corrisponde CO11N ?
.....INIBIZIONE (mismatch)
.....

c) - Durante lo svolgimento di una fase alfa da quali segnali vengono interessate le maschere di VI ?
No Rete di Conta e No RA-RA (selez.)
MEXY + (stop e cont)

d) - Quali sono i segnali che pervengono dalla rete di conta ?
.....MEOXD - MEYYD.....
.....

e) - Perchè VI00 non è interessato dalla rete di conta ma da VO00D ? perché non viene elaborato, ma inviato

f) - In quale caso bisogna inibire la conta di VI ? quando vengono caricati RO e RA inibisco conto

g) - Nel caso di inibizione conta con che cosa viene caricato VI ? un nuovo numero che viene preso da RO RA

h) - In quale altro caso VI è interessato da RO, RA ? nei formati numerici console

i) - Nel caso di inibizione conta a che valore logico si porta CO11N ? 1 e rimane a 1

l) - Come si comporta normalmente, il circuito del caricamento di VI ? se COP2N e VI→VO→VI viene caricato dal numero NA0:15 e dal registro MAGN si setta VI = RC e Rete conta che deve tornare in VI ripristinato

Riferirsi a VI

m) - Come si comporta il circuito in caso di inibizione conta ? Viene abilitato CA155 e valido le uscite RO RA

n) - Quando si prémono i pulsanti di console CLEAR LOAD (con LOAD1 o LOAD2) con quale valore si carica VI ? (LOAD1 ≡ INPID e LOAD2 ≡ INPED) se CA064 ... Reset = 0

o) - Quando si carica da manuale VI come vengono interessati i circuiti ?
se DADE5=0 → CA155=0 → si forza
RO → VI RA → VI

RISPOSTE

a) - Corrisponde all'evento VI→VO.

b) - Inibizione conta indirizzatori.

c) - Possono venire interessate delle uscite della rete di conta (MEXX) oppure in caso di salto verificato (S105 e COVE), dalle uscite di RO e RA.

d) - MEOXD e MEYYD.

e) - VI00 riceve il segnale " dritto " di VO00. Se è interessata la rete di conta (± 1) si ha una variazione del contenuto di VO.
Per quanto riguarda il primo flip-flop tale variazione è opposta a quella precedente cioè se VO00 era a " 0 " dovrà portarsi a " 1 ".
Ciò coincide esattamente con il condizionare la maschera di VI00 con VO00D.

f) - Nelle istruzioni di salto che presentano la condizione verificata.

g) - Viene caricato con RO→VI^{-}, RA→VI^{+}.

h) - Nel caso in cui si carichi VI con operazioni manuali.

i) - A valore logico "1".

l) - Negli stati in cui compare CO02N al mastro NA015 si resettano tutti i flip-flop. (CA064).
Al mastro NA04N, poichè si presume l'inesistenza del comando inibizione conta (CO11N=1), si genera il segnale CA095 che carica VI con il contenuto trasmesso dalla rete di conta.

m) - In caso di inibizione conta, CO11N = 0 e quindi viene abilitato il circuito del segnale CA155 ed inibito (CO11D=" 1 ") il normale circuito.
Ciò consente di interrogare le maschere abilitate da RO a RA.

n) - Si genera il segnale CA064 e tutti i flip-flop si pongono in reset.
Ciò determina il caricamento di VI con tutti zero.

o) - Quando si preme il pulsante START (VIMAD) nasce TEVI4 il quale azzera tutti i flip-flop (CA064).
Lasciando il pulsante START (VIMED) si genera DADE5 che va ad interrogare le maschere interessate da RO, RA.

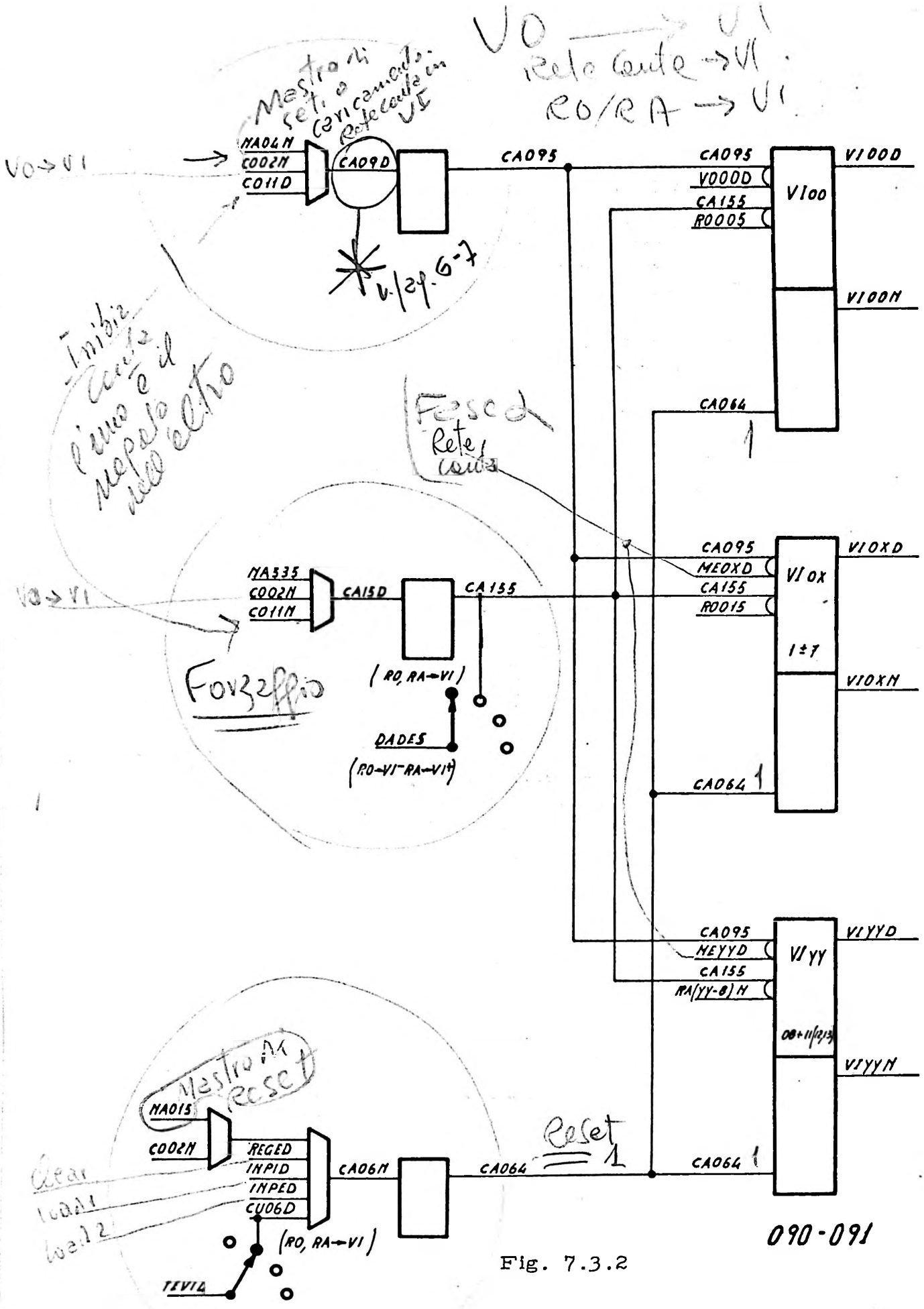

V0 → V1
Relè cade → V1
R0/RA → V1
Mastro di set, o caricamento Relè cade in VE
V0→V1
NA04N
C002N
C011D
CA09D
CA095
V. 1/29. 6-7
CA095
V000D
CA155
R0005
V100
V100D
V100N
CA064
1
Inibiz. cade il suo e il reset è il solo altro
Reset Relè cade
CA095
MEOXD
CA155
R0015
V10x
V10XD
V10XN
1÷7
CA064
1
V0→V1
NA535
C002N
C011N
CA15D
CA155
(R0, RA→V1)
DADES
(R0→V1-RA→V1)
Forzaffio
CA095
MEYYD
CA155
RA(YY-8)N
VYY
VIYYD
VIYYN
08÷11/2/13
Mastro di reset
NA015
C002N
REGED
INPID
INPED
CU06D
CA06N
CA064
Reset
1
CA064
1
Clear
Load1
Load2
(R0, RA→V1)
TEV14
090-091

Fig. 7.3.2

7.4. REGISTRO VE

Ha la stessa composizione di VO. Viene azzerato nei seguenti casi :

- alla preparazione del caricamento di un programma mediante pressione sul tasto LOAD con LOAD1 o LOAD2
- prima di ricevere il contenuto di VO attraverso la rete di conta
- prima di ricevere il contenuto di RO, RA
- prima di ricevere il forzaggio dalla console di manutenzione.

Il registro VE può ricevere :

- L'USCITA DELLA RETE DI CONTA. Negli STATI della fase beta in cui non esiste l'inibizione conta, VE riceve l'indirizzo del campo E in evoluzione. Nell'istruzione JRT, con condizione verificata VE riceve l'indirizzo del carattere di funzione della istruzione seguente che verrà poi scaricato, per memorizzarlo, nelle posizioni 254-255
- IL CONTENUTO DI RO E RA nella fase alfa e nelle istruzioni esterne
- IL CONTENUTO DI RO E RA nelle operazioni da console.

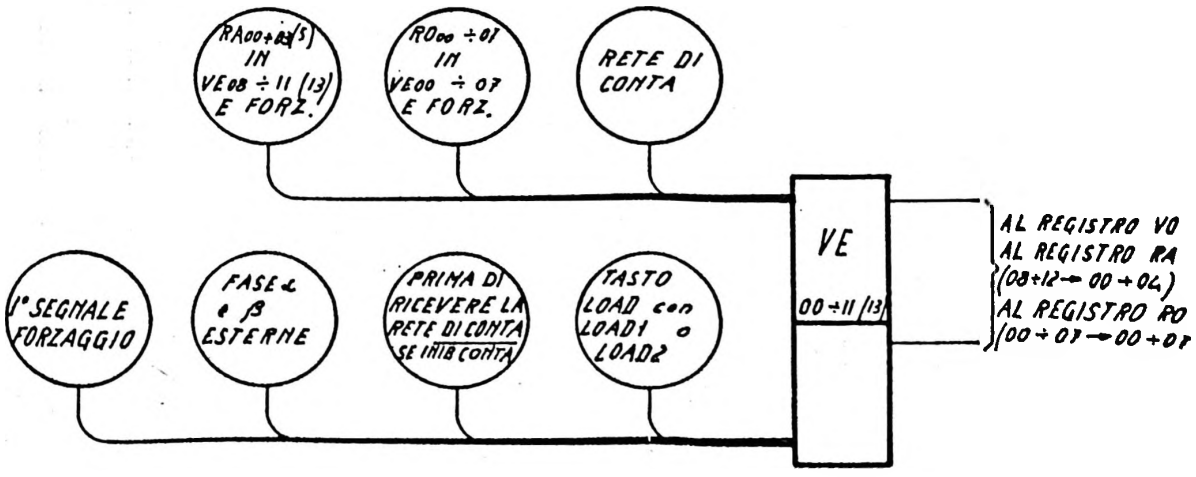


Fig. 7.4.1

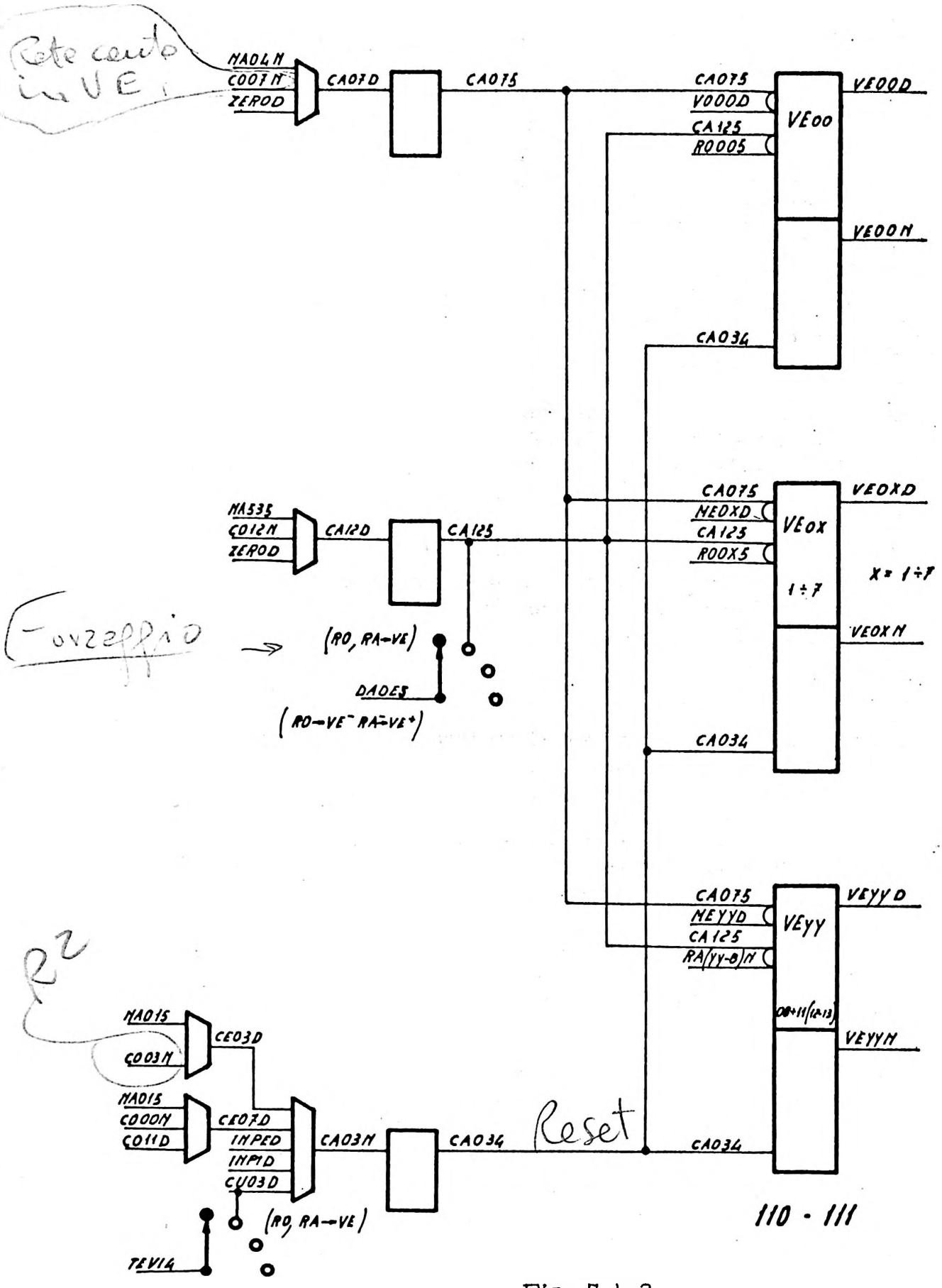

Rete conto in VE
MA04M
C007M
ZERO0
CA07D
CA075
CA075
V000D
CA125
R0005
VE00
VE00D
VE00M
CA034
MA535
C012M
ZERO0
CA12D
CA125
CA075
MEOXD
CA125
R00X5
VEOX
1÷7
VEOXD
X = 1÷7
VEOXM
Fonzeppio
(RO, RA-VE)
DA0E5
(RO-VE⁻ RA-VE⁺)
CA034
CA075
MEYYD
CA125
RA(YY-8)M
VEYY
VEYYD
VEYYM
R2
MA015
C003M
MA015
C000M
C011D
CE03D
CE07D
INPED
INPID
CU03D
CA03M
CA034
Reset
CA034
(RO, RA-VE)
TEV14
110 - 111

Fig. 7.4.2

In Fig. 7.4.2 è riportato lo schema reale corrispondente allo schema di principio di Fig. 7.4.1. Analizzare lo schema di Fig. 7.4.2 e rispondere alle seguenti :

DOMANDE

a) - Quali sono le operazioni elementari che determinano i comandi CO00N, CO03N, CO07N, CO11N, CO12N ?(vedi elenco dei comandi posto in appendice). VE→Ro/0→VE/CT→VE
.....
INB-CT/Ro-RA→VE.....

b) - Durante la fase beta di una istruzione inerente al campo E da cosa viene interessato l'indirizzatore VE ? dal Reg. di Conto.
.....
.....

c) - Con quale comando si inibisce la conta ?
Inib CT ..... CO11N e Zero -

d) - Con quale segnale si azzera VE e quali comandi lo condizionano ? CO03N | NA015 | CO00N | CO11D
CA034.....
.....

e) - Quali maschere interrogano i segnali CA075 ?
..Nella Reg. Condiz. M.E.X.....
.....M.E.Y/0.....

f) - Quali maschere interrogano i segnali CA125 ?
.....
.....RO/RA.....

RISPOSTE

a) - CO00N = VE → VO
CO03N = 0 → VE
CO07N = CT → VE
CO11N = INIBIZIONE CONTA
CO12N = (RO, RA) → VE

b) - Dalle uscite della rete di conta (MEOXD, MEYYD).

c) - Con il comando CO11N a " 0 ".

d) - Il segnale di azzeramento è CA034 e viene condizionato da CA03N (0 → VE) e da trasferimento di VE in VO se non c'è inibizione conta.
$(\overline{CO00N + CO11D + NA015})$.

e) - VO00D-MEOXD - MEYYD (segnali della rete di conta).

f) - Le maschere predisposte da RO, RA.

7.5. REGISTRO VA

Ha la stessa composizione di VO. Viene azzerato nei seguenti casi :

- prima di ricevere il contenuto di VO attraverso la rete di conta
- prima di ricevere il forzaggio dell'indirizzo fisso di memoria 255
- prima di ricevere il contenuto di RO,RA
- prima di ricevere il contenuto di RO, in un'istruzione particolare, la TR (trascodifica), che si vedrà in seguito; in questo caso si azzerano solo i primi otto flip-flop
- prima di ricevere un forzaggio dalla console di manutenzione.

Il registro VA può ricevere :

- L'USCITA DELLA RETE DI CONTA
- IL CONTENUTO DEI REGISTRI RO, RA
- IL CONTENUTO DEL REGISTRO RA (nei 4 o 6 flip-flo più significativi di VA) nelle istruzioni esterne verso MZ. (Si vedranno in seguito)
- IL CONTENUTO DI RO (nella TR,trascodifica)
- IL FORZAGGIO DELL'INDIRIZZO FISSO 255
- IL CONTENUTO DI RO, RA tramite il forzaggio da console di manutenzione.

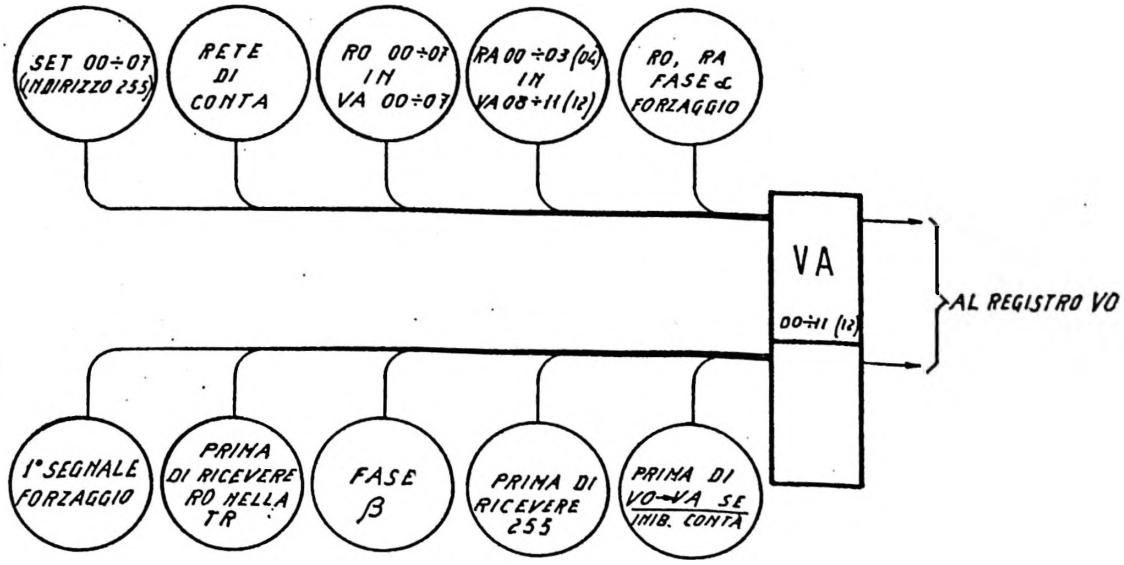


Fig. 7.5.1

VA

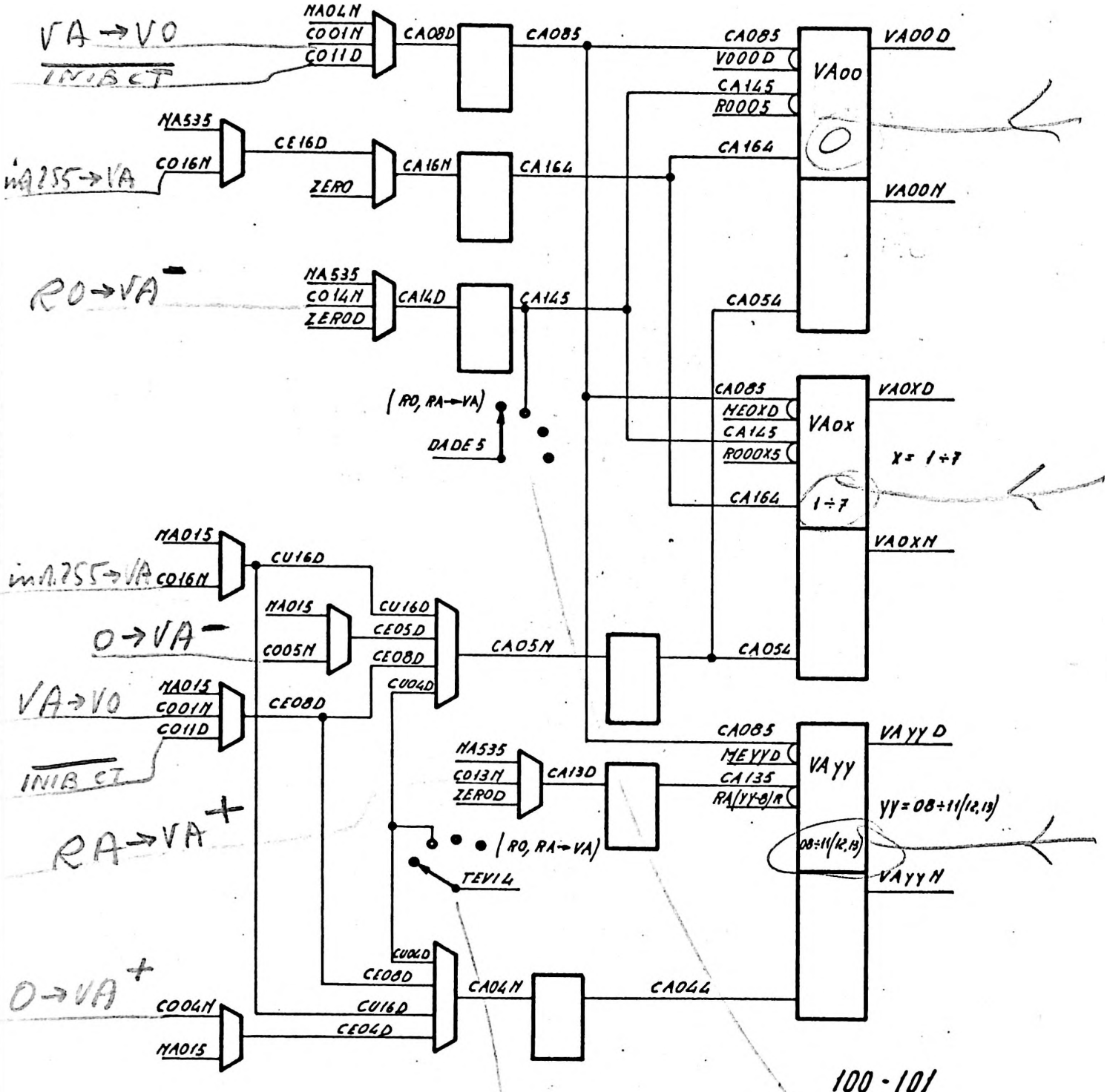


Fig. 7.5.2

Registr.
R2 Mantle Porzelli

In Fig. 7.5.2 è riportato lo schema reale corrispondente allo schema di principio di Fig. 7.5.1. Analizzare lo schema di Fig. 7.5.2 e rispondere alle seguenti :

DOMANDE

a) - Quali sono i comandi che intervengono nella rete dell'indirizzatore VA e quali le operazioni elementari che generano ? COOIN - vedi Mascherine Rete conto

b) - Con l'uscita di quali comandi si ha l'azzeramento totale di VA ? COOSN e T.E.V.I.4 — COOGN

c) - Con quali comandi si azzerano solo i primi 8 flip-flop e con quali gli ultimi 6 flip-flop di VA? COOSN (primi 8 f.f.) COOGN (ultimi 6 f.f.)

d) - I segnali della rete di conta da quale altro segna le sono condizionati ? Nr. A85

e) - Qual'è il segnale che interroga le maschere condizionate da RA e quale quello che interroga le maschere condizionate da RO ? CA.136 (RA) CA.145 (RO)

RISPOSTE

a) - CO01N = VA→VO
CO04N = 0→VA^{+}
CO05N = 0→VA^{-}
CO11N = INIBIZIONE CONTA
CO13N = RA→VA^{+}
CO14N = RO→VA^{-}
CO16N = 255→VA

b) - Con il CO16N= 0, CO01N= 0, CU04D (comando manuale).

c) - I primi 8 flip-flop, si azzerano con i comandi :
CO05N= " 0 "
Gli ultimi sei con :
CO04N= " 0 "

d) - CA085.

e) - Il segnale per RA è CA135 per RO è CA145.

LEZIONE 8

Tempo di studio
1 ora

8. REGISTRI : RO-RA-RE

8.1. REGISTRO RO

E' composto da 9 flip-flop. Oltre che come registro di memoria é impiegato come registro ausiliario della console di manutenzione.

Infatti tutte le volte che si vuole introdurre un valore qualsiasi in un registro qualsiasi, da console di manutenzione, prima si forza manualmente il valore in RO poi lo si trasferisce nel registro desiderato.

Viene rimesso a zero sistematicamente con il 1° mastro di ogni ciclata (NA00) se non é posizionato a lavoro il pulsante SIME (scrittura in memoria) della console di manutenzione.

Il registro RO può memorizzare :

- LA LETTURA DI UN CARATTERE DI MEMORIA, ricevendo sul set diretto le uscite dei nove amplificatori di lettura memoria.
- IL VALORE DI UN RISULTATO ARITMETICO proveniente dall'unità aritmetica ed ottenuto operando i due termini contenuti rispettivamente in RO o in RA. La registrazione del risultato é ottenuta validando la maschera di set o di reset di RO a seconda della posizione delle corrispondenti uscite dell'unità aritmetica (NA08). In questo caso vengono interessati solo i primi otto flip-flop poiché il check viene creato dall'apposita rete di calcolo della "disparità"
- IL CONTENUTO MENO SIGNIFICATIVO DEL REGISTRO VE, in tutti i casi in cui serve ricordare in memoria l'indirizzo del campo E (SR, SL ecc.)

Ricerche Smistr
" Destin

- IL CONTENUTO DI UN REGISTRO particolare RE (vedi istruzioni esterne)

  1° - per forzaggio mediante predisposizione dell'apposito commutatore della console di manutenzione e successiva pressione sul tasto START

  2° - nel caso in cui interessi sostituire il carattere precedentemente letto da memoria con quello posto in RE.

- IL VALORE DI UNO DEI 64 CARATTERI trasmessi dal fotodisco di sincronismo della stampante (vedi istruzioni esterne)

- IL VALORE DEI CARATTERI FORNITI DALLA LETTURA DI UNA SCHEDA (VEDI ISTRUZIONI ESTERNE)

- IL CONTENUTO DEL REGISTRO RA

  1° - per forzaggio tramite commutatore di console

  2° - in tutti i casi in cui le istruzioni stabiliscono il trasferimento totale o parziale di RA in RO.

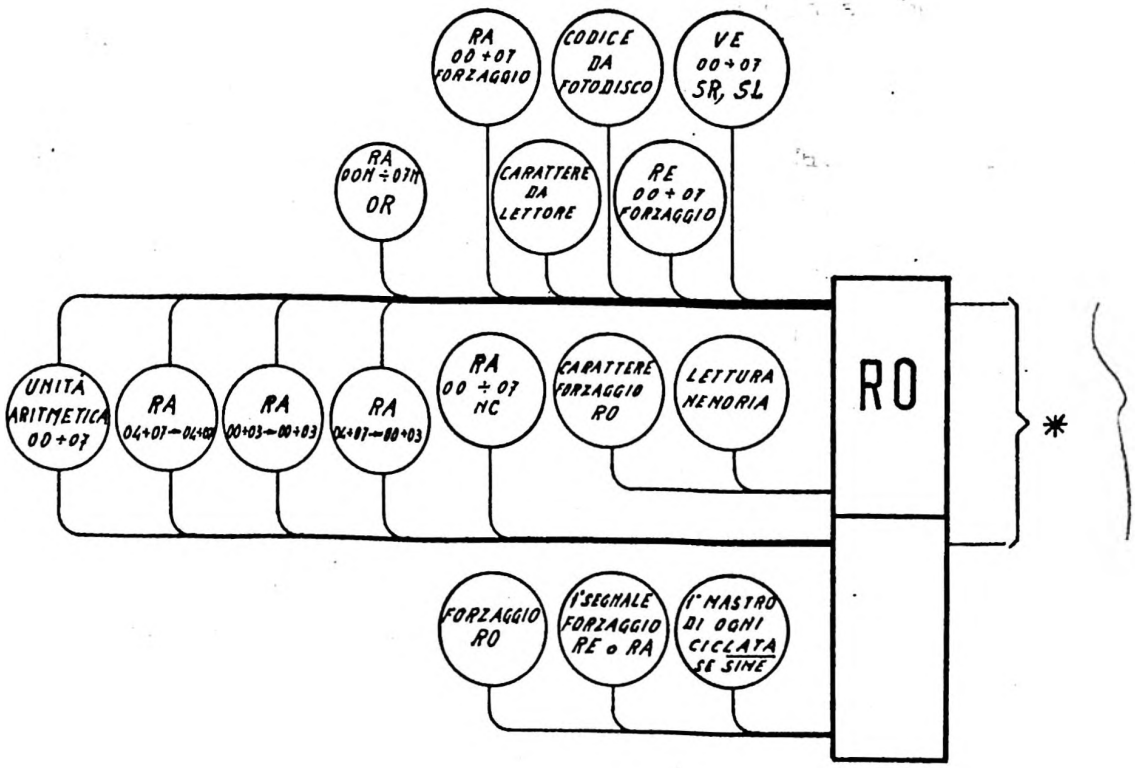


Fig. 8.1.1

* Verso :

- la memoria
- la rete di disparità
- l'unità aritmetica
- i registri FO, LO, RA e RE -
- i registri indirizzatori VA, VE, VI -
- la matrice logica -
- il registro SO tramite la console di manutenzione

In Fig. 8.1.2 é riportato lo schema reale corrispondente allo schema di principio di Fig. 8.1.1. Analizzare lo schema di Fig. 8.1.2 e completarlo con l'ausilio dell'elenco comandi posto in appendice indi ri spondere alle seguenti :

DOMANDE

a) - Quando si azzera RO ?
.....Sistematicamente..N.A.00.5.....1°.Mastro
.....

b) - Che nome prendono i segnali di lettura di memo rie che interessano RO ? CA755
.....
.....

c) - Il secondo ingresso diretto lato set dei flip-flop di RO da quali segnali é interessato ?
.....
~~D00X0~~ ~~D00Y0~~ ~~D00S0~~
N00X N00Y N00S

RISPOSTE

a) - Ogni ciclo di L.d.R. con NA005 se non è posizionata a lavoro il pulsante SIME.
Quando si crea CE99D (prima di RA→RO e RE→RO) durante le operazioni manuali.
Quando si crea CE99D (prima di FORZ.→RO)

b) - NU0X, NU0Y, NU08.

c) - Il secondo ingresso diretto lato set da flip-flop di RO, è interessato dal commutatore di console e dai pulsanti che servono per caricare RO manualmente.

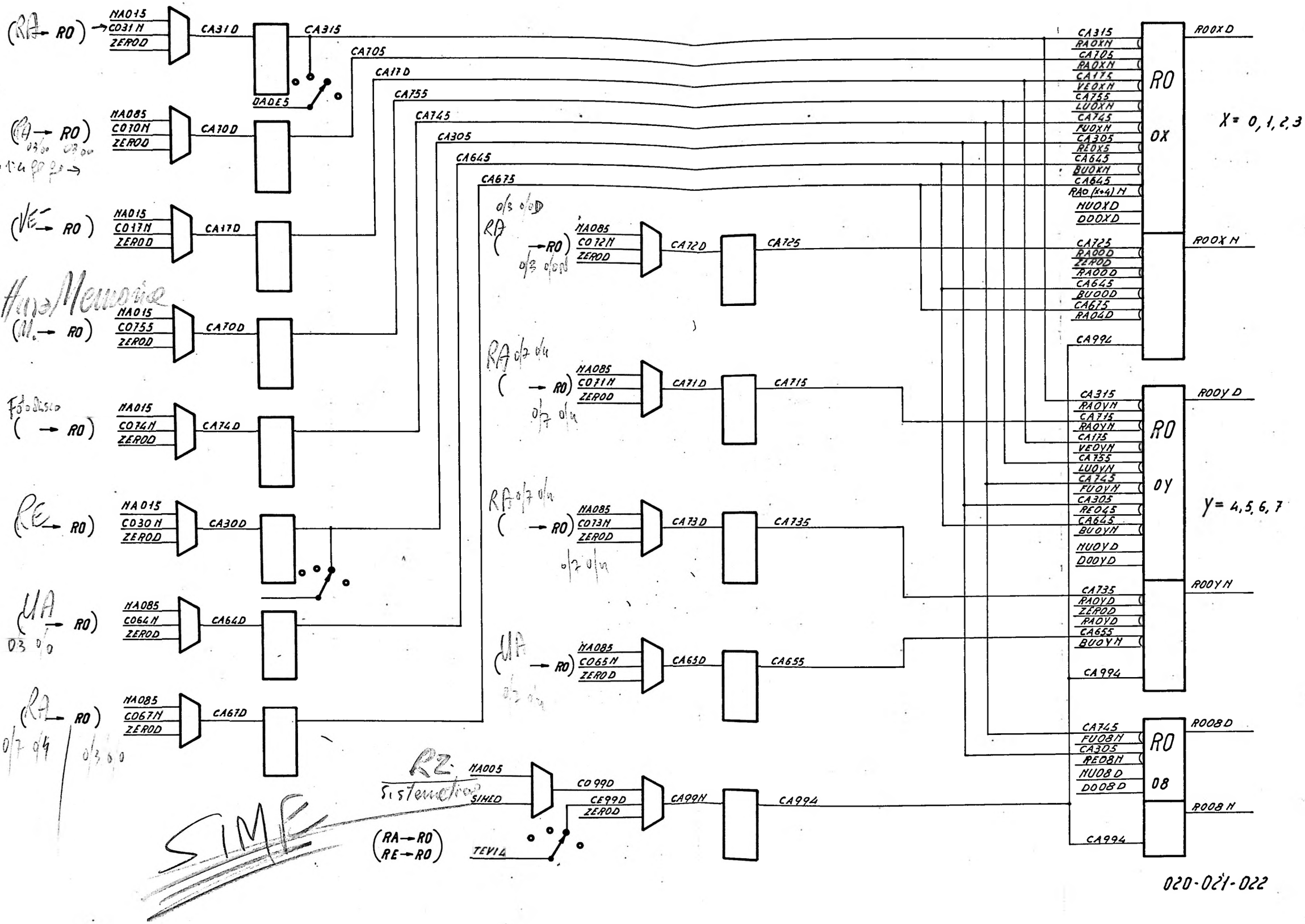

(RA → RO)
NA015
CO31N
ZEROD
CA31D
CA315
DADE5
CA705
CA17D
CA755
CA745
CA305
CA645
CA675
(RA → RO)
NA085
CO10N
ZEROD
CA10D
(VE → RO)
NA015
CO17N
ZEROD
CA17D
(M → RO)
NA015
CO75S
ZEROD
CA70D
(→ RO)
NA015
CO74N
ZEROD
CA74D
(RE → RO)
NA015
CO30N
ZEROD
CA30D
(UA → RO)
NA085
CO64N
ZEROD
CA64D
(RA → RO)
NA085
CO67N
ZEROD
CA67D
(RA → RO)
NA085
CO72N
ZEROD
CA72D
CA725
(→ RO)
NA085
CO71N
ZEROD
CA71D
CA715
(RA → RO)
NA085
CO73N
ZEROD
CA73D
CA735
(UA → RO)
NA085
CO65N
ZEROD
CA65D
CA655
RZ
NA005
SIMED
CO99D
CE99D
ZEROD
CA99N
CA994
(RA → RO)
(RE → RO)
TEV14
CA315
RA0XN
CA705
RA0XN
CA175
VE0XN
CA755
LU0XN
CA745
FU0XN
CA305
RE0X5
CA645
BU0XN
CA645
RA0(x+4)N
NU0XD
D00XD
CA725
RA00D
ZERPD
RA00D
CA645
BU00D
CA675
RA04D
CA994
RO
OX
R00XD
R00XN
X = 0, 1, 2, 3
CA315
RA0YN
CA715
RA0YN
CA175
VE0YN
CA755
LU0YN
CA745
FU0YN
CA305
RE04S
CA645
BU0YN
NU0YD
D00YD
CA735
RA0YD
ZERPD
RA0YD
CA655
BU0YN
CA994
RO
OY
R00YD
R00YN
Y = 4, 5, 6, 7
CA745
FU08N
CA305
RE08N
NU08D
D008D
CA994
RO
08
R008D
R008N
020-021-022

Fig. 8.1.2.

8.2. REGISTRO RA

E' composto da 8 flip-flop. Nella maggior parte dei casi è destinato a memorizzare il carattere A+ del campo A che deve essere operato (fase beta).

Serve anche come registro ausiliario (fase alfa).

Il registro RA viene azzerato :

- prima di ricevere il contenuto di RO sia nel corso di un'istruzione sia con forzaggio manuale
- prima di ricevere il contenuto di RE
- prima di ricevere il contenuto di VE
- nelle istruzioni SD, SB, CMQ, MVQ (completamento campo A con zeri se LA<LE).

Il registro può memorizzare :

- LA CONFIGURAZIONE " TUTTI UNO " ottenuta settando tutti i flip-flop nelle istruzioni AD e AB. Questa configurazione non è altro che il completamento binario del carattere zero che va trattato con il carattere del campo E (in RO). Nel capitolo dedicato all'unità aritmetica, il motivo di questo forzaggio verrà chiarito meglio
- IL COMPLEMENTO BINARIO DEL CARATTERE CONTENUTO IN RO, ottenuto validando la maschera di set di RA con le uscite dirette di RO (operazione AD e AB)
- IL CONTENUTO DI RO, ottenuto validando le maschere di set di RA con le uscite negate di RO in casi che si vedranno in seguito
- IL CONTENUTO DEL REGISTRO RE nell'istruzione CMI, durante la quale RA riceve il carattere da confrontare con quello scritto all'indirizzo IE
- IL CONTENUTO DEL REGISTRO VE. I primi 4 (6) flip-flop di RA ricevono il contenuto dei flip-flop 08 + 11 (13) di VE quando si deve scaricare l'indirizzo del campo E nelle posizioni 254 e 255 di memoria.

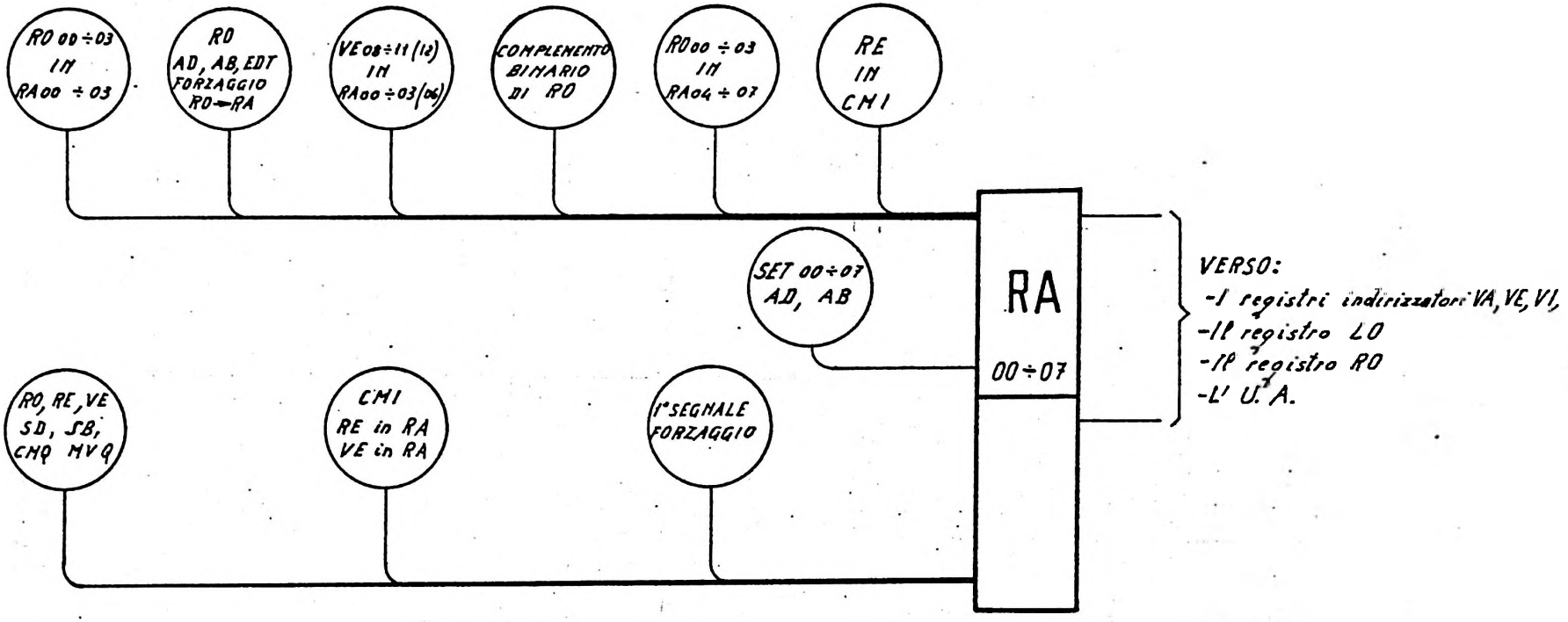

RO 00÷03 IN RA 00 ÷ 03
RO AD, AB, EDT FORZAGGIO RO→RA
VE 08÷11 (12) IN RA 00÷03 (06)
COMPLEMENTO BINARIO DI RO
RO 00 ÷ 03 IN RA 04 ÷ 07
RE IN CMI
SET 00÷07 AD, AB
RA
00÷07
VERSO:
-I registri indirizzatori VA, VE, VI,
-Il registro LO
-Il registro RO
-L' U. A.
RO, RE, VE SD, SB, CMQ MVQ
CMI RE in RA VE in RA
1° SEGNALE FORZAGGIO

Fig. 8.2.1

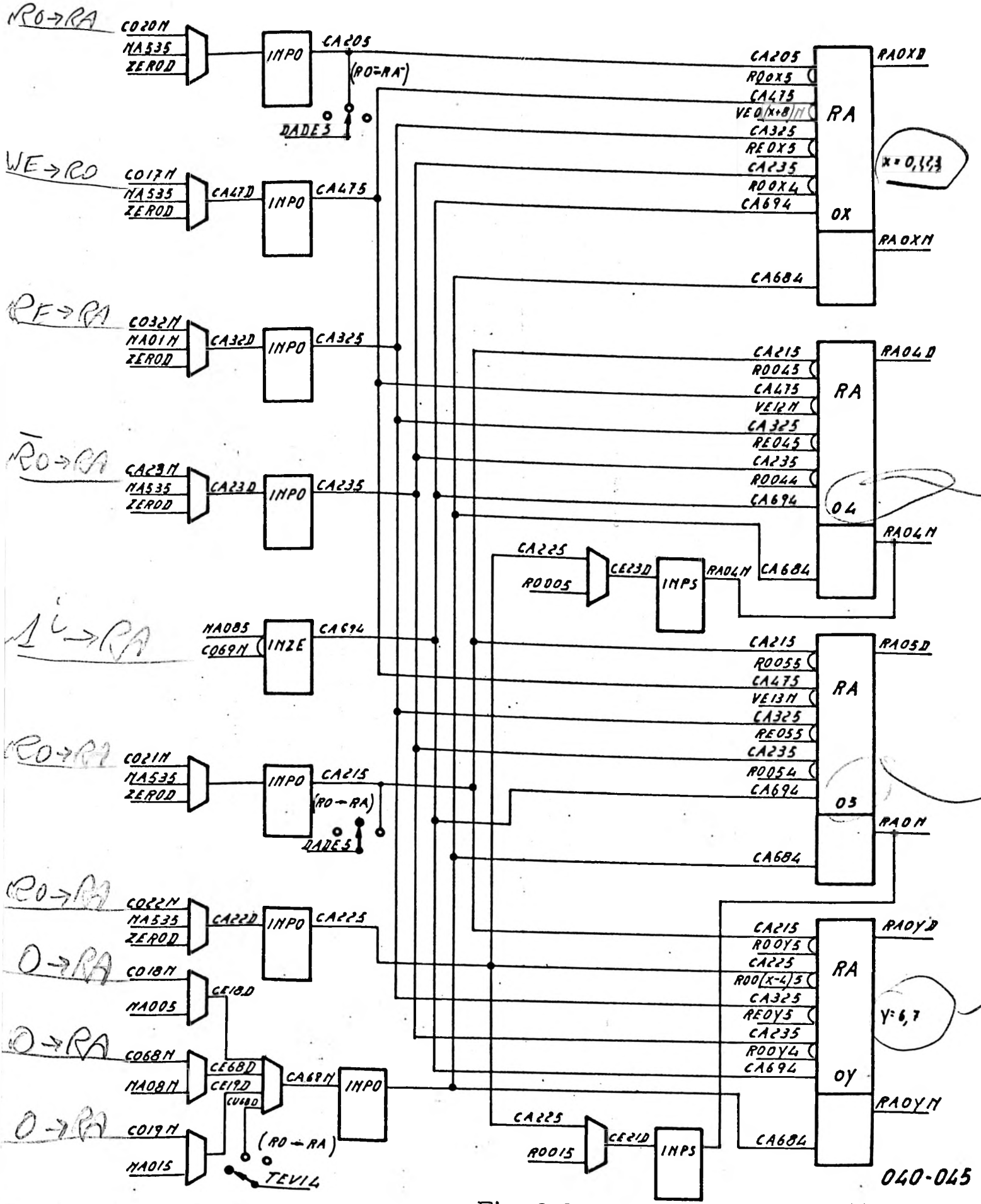

RO→RA
CO20M
MA535
ZEROD
INPO
CA205
(RO=RA)
DADES
WE→RO
CO17M
MA535
ZEROD
CA47D
INPO
CA475
RF→RA
CO32M
MA01M
ZEROD
CA32D
INPO
CA325
RO→RA
CA23M
MA535
ZEROD
CA23D
INPO
CA235
1→RA
MA08S
CO69M
INZE
CA694
RO→RA
CO21M
MA535
ZEROD
INPO
CA215
(RO→RA)
DADES
RO→RA
CO22M
MA535
ZEROD
CA22D
INPO
CA225
0→RA
CO18M
MA00S
CE18D
0→RA
CO68M
MA08M
CE68D
CE19D
CU68D
CA68M
INPO
0→RA
CO19M
MA01S
(RO→RA)
TEVIL
CA205
RO0X5
CA475
VE0(X+8)M
CA325
RE0X5
CA235
RO0X4
CA694
RA
0X
RA0XD
RA0XM
x = 0,1,2,3
CA684
CA215
RO045
CA475
VE12M
CA325
RE045
CA235
RO044
CA694
RA
04
RA04D
RA04M
CA225
RO005
CE23D
INPS
RA04M
CA684
CA215
RO055
CA475
VE13M
CA325
RE055
CA235
RO054
CA694
RA
05
RA05D
RA0M
CA684
CA215
RO0Y5
CA225
RO0(X-4)5
CA325
REOY5
CA235
RO0Y4
CA694
RA
0Y
RAOYD
RAOYM
Y=6,7
CA225
RO015
CE21D
INPS
CA684
040-045

Fig. 8.2.2

8.3. REGISTRO RE

Il registro RE è un organo ausiliario utilizzato sia nelle istruzioni esterne che in alcune istruzioni interne (JC, CMC, CMI, CMQ).

Esso viene rimesso a zero :

- alla preparazione del caricamento di un programma mediante pressione sul tasto LOAD con LOAD1 o LOAD2 della console operativa
- prima di ricevere il contenuto di RO (Istruzioni Esterne), nel caso in cui serve come registro ausiliario e nel caso di forzaggio dalla console di manutenzione.
  RE può registrare :
  - IL CONTENUTO DI RO. Questo trasferimento è ottenuto validando le maschere di SET di RE con le uscite negate di RO, ed interessa tutti i 9 flip-flop che lo compongono
  - I CARATTERI PROVENIENTI DALL'ESTERNO (bocchettoni STANDARD 1 e 2)
  - IL FORZAGGIO AD 1 DEL FLIP-FLOP RE06, mediante set diretto del flip-flop corrispondente (segnale TEMID)

Questo forzaggio avviene solo se si è in fase di preparazione del caricamento di un programma per predisporre l'elaboratore e ricevere i dati dagli organi esterni.

Il funzionamento di RE si può schematizzare come in Fig. 8.3.1.
La Fig. 8.3.2. riporta lo schema reale corrispondente allo schema di principio della Fig. 8.3.1.

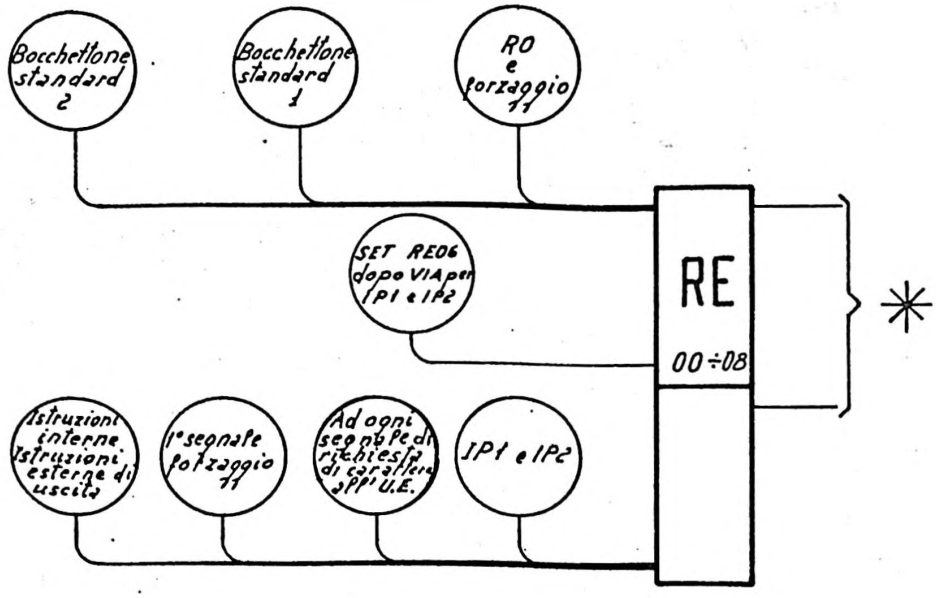


Fig. 8.3.1

* - Ai registri RO e RA
- Ai bocchettoni standard 1 e 2
- Ai circuiti di selezione unità esterna.

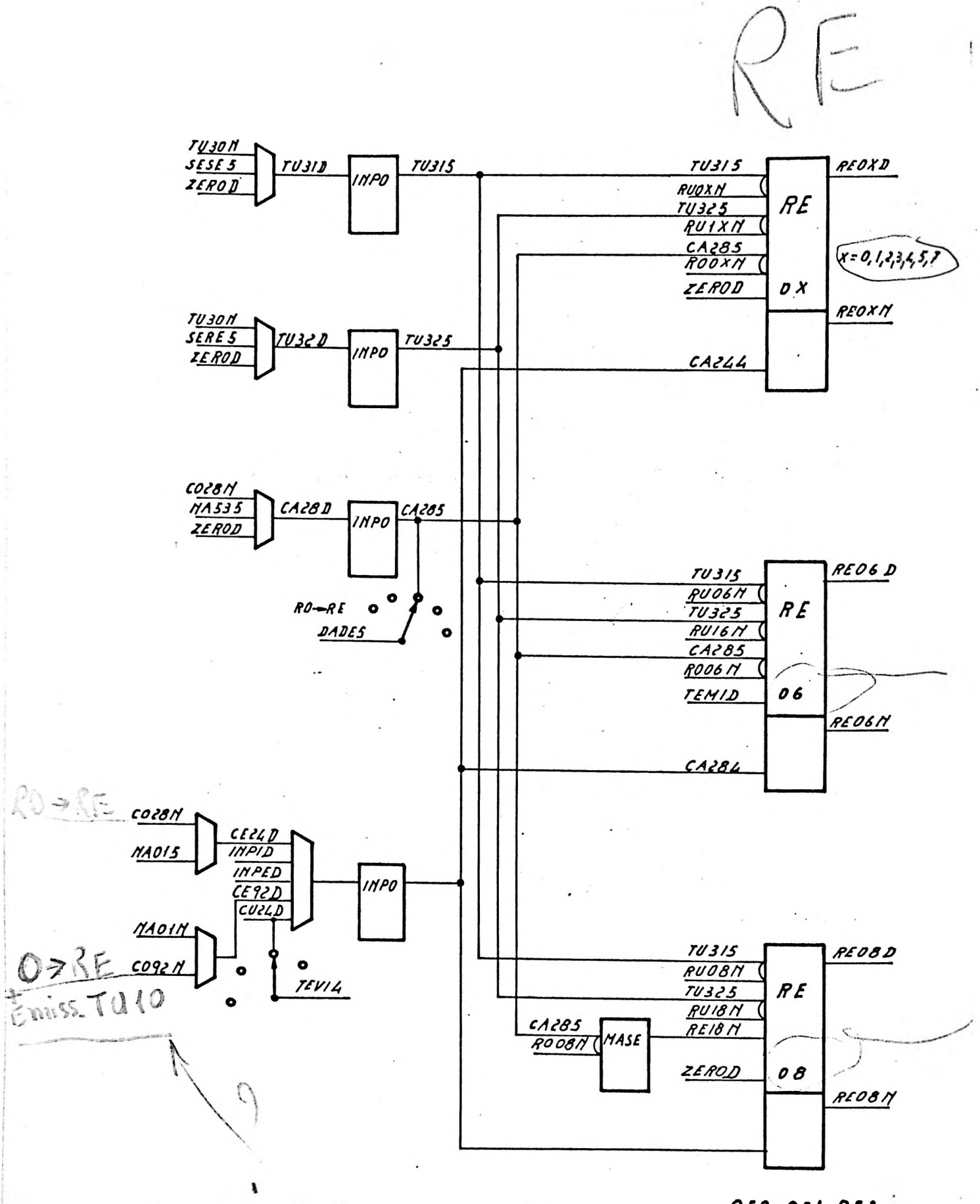

RE
TU30M
SESE5
ZEROD
TU31D
INPO
TU315
TU315
RU0XM
TU325
RU1XM
CA285
R00XM
ZEROD
RE
DX
REOXD
X=0,1,2,3,4,5,7
REOXM
TU30M
SERE5
ZEROD
TU32D
INPO
TU325
CA244
CO28M
MA535
ZEROD
CA28D
INPO
CA285
RO→RE
DADE5
TU315
RU06M
TU325
RU16M
CA285
R006M
TEMID
RE
06
REO6D
REO6M
CA284
RO→RE
CO28M
MA015
CE24D
INPID
INPED
CE92D
CU2LD
INPO
MA01M
CO92M
O→RE
TEVI4
+ Emiss. TU10
TU315
RU08M
TU325
RU18M
RE18M
CA285
R008M
MASE
ZEROD
RE
08
REO8D
REO8M
050-051-052

Fig. 8.3.2

Esercizi

DOMANDE

a) - Quando si azzera RA ? Tutti 8-11

Co.CO1BN ..... Co.CO5BN / CO19N

... CU62D (Nessuno) .....

b) - Da quali altri registri può ricevere RA ?

...NoRO...NoRE-VE.....

.....

c) - Il registro RO si può trasferire in RA solamente in vera grandezza ?

..... Da ... Archivio (=To (scorrimento tipo Rio)

.....

d) - Quando si azzera RE ?

CO28N (Mastro NA CO15) / CO32N / M.NA001N)

..... (NoID - IMPED. CU24D (Nessuno))

e) - Da quali altri registri può ricevere RE ?

oltre che NoRO ? = ... RA ? .....

..... Nove è stato letto o Nuovo letto ?

RISPOSTE

a) - Quando si ha :

- CO18N al mastro NA05N (RE → RA)
- CO68N al mastro NA08N (operazioni U.A.)
- CO19N al mastro NA015 (RO → RA)
- CU68D (azzeramento per caricamento manuale di RA da console)

b) - RO - VE - RE

c) - No, si può trasferire anche in complemento binario.

d) - Quando si ha :

- CO28N al mastro NA015 (RO → RE)
- CO92N al mastro NA01N (0 → RE per istruzioni esterne)
- CU2AD (azzeramento per caricamento manuale di RE da console)
- IMPID (LOAD1 . LOAD per caricamento programma)
- IMPED (LOAD2 . LOAD per caricamento programma)

e) - Da RO e RA.

LEZIONE 9

Tempo di studio
1 ora

9. RETE DI DISPARITA'

9.1 Quando si è presentato il codice usato nel sistema GE - 115 si è detto che esso è composto di 8 bit più 1.

Il nono bit (nono piano di memoria) non ha una funzione significativa ai fini della configurazione del carattere. Esso svolge invece una funzione di controllo di disparità relativamente ai bit che compongono ogni singolo carattere.

Il concetto base è il seguente :

IN MEMORIA OGNI CARATTERE DEVE ESSERE SEMPRE RAPPRESENTATO DA UN NUMERO DISPARI DI BIT A VALORE LOGICO " 1 ".

Un esempio potrà chiarire il concetto. In memoria sia registrato il valore 0/7 che corrisponde alla seguente configurazione di bit :

Configurazione corretta	check	CARATTERE								
	08	07	06	05	04	03	02	01	00	bit
	0	0	0	0	0	0	1	1	1	peso binario
		128	64	32	16	8	4	2	1	peso decimale
		0				7				valore esadecimale

Come si può notare il numero di bit a valore logico " 1 " sono tre (00 - 01 - 02) cioè sono in numero dispari.

Questa configurazione è considerata CORRETTA e non ha necessità di essere modificata.

Se si considera il valore registrato in memoria uguale a 0/9 si avrà :

Configurazione non corretta

check	CARATTERE								
08	07	06	05	04	03	02	01	00	bit
0	0	0	0	0	1	0	0	1	peso binario
	128	64	32	16	8	4	2	1	peso decimale
	0				9				valore esadec.

Il numero di bit di valore logico " 1 " sono due (00 - 03); questa configurazione non è ritenuta corretta poichè composta da un numero pari di bit; prima di registrarla in memoria si rende " dispari " il numero dei bit aggiungendo il bit 08 a " 1 ".

In tal caso la configurazione in memoria assumerà il seguente aspetto :

Configurazione corretta

check	CARATTERE								
08	07	06	05	04	03	02	01	00	bit
1	0	0	0	0	1	0	0	1	peso
	128	64	32	16	8	4	2	1	peso decimale
	0				9				valore esadec.

Si può concludere nel seguente modo :

OGNI CARATTERE PRIMA DI ESSERE SCRITTO IN MEMORIA VIENE CONTROLLATO; SE E' COMPOSTO DA UN NUMERO DISPARI DI BIT VIENE SCRITTO COSI' COME SI PRESENTA, SE E' INVECE COMPOSTO DA UN NUMERO PARI DI BIT NE VIENE AGGIUNTO UNO SUL PIANO DEL CHECK (08). IL BIT HA LA FUNZIONE LOGICA DI CONTROLLO DELLA DISPARITA'.

DOMANDE

a) - Nel GE - 115 ogni carattere scritto in memoria, deve avere un numero pari o dispari di bit ?

Dispari

b) - Se un carattere, prima di essere scritto in memoria, ha una configurazione pari di bit, come viene modificata tale configurazione ?

Viene alterato il bit sul piano check = disperi -

c) - Il bit 08 é utilizzato per stabilire la configurazione di un carattere ?

No - (solo in controllo

d) - Di quanti piani é composta la memoria ?

9

RISPOSTE

a) - Deve avere un numero dispari di bit.

b) - Viene modificata portando il nono bit (08) a "1".

c) - No. Ha solo funzione di controllo.

d) - Di nove.

9.2 CONTROLLO DEI CARATTERI

Partendo dal presupposto che in memoria ogni carattere è composto da una configurazione dispari di bit si può ora analizzare il modo di controllare tale configurazione.

Quando si estrae un carattere da memoria può succedere che lo stesso risulti modificato in quanto può perdere o acquistare uno o più bit che lo componevano.

La perdita o l'acquisto di un numero pari di bit (cosa abbastanza improbabile) non viene rilevata.

La perdita o l'acquisto di un numero dispari di bit viene invece rilevata in quanto se da una configurazione considerata dispari si toglie o si aggiunge un numero di bit dispari, la configurazione risulta pari.

Un carattere in uscita da memoria viene sempre controllato.

Se esso risulta composto da un numero pari di bit si segnala " errore ", (MEM, CHECK) se è composto da un numero dispari di bit lo si considera corretto.

La perdita o l'acquisto dei bit in memoria può verificarsi normalmente :

- perchè i circuiti di lettura non funzionano integralmente
- perchè i circuiti di scrittura non funzione integralmente.

Riassumendo quanto finora si è esposto si può dire che :

OGNI CARATTERE PRIMA DI ESSERE SCRITTO IN MEMORIA VIENE CONTROLLATO E SE NECESSITA VIENE " AGGIUNTO IL BIT DI DISPARITA' ".

OGNI CARATTERE LETTO VIENE CONTROLLATO E SE NON PRESENTA UNA CONFIGURAZIONE DISPARI VIENE SEGNALATO " ERRORE " (MEM CHECK).

L'insieme degli organi destinati a svolgere i controlli e le funzioni sopra indicate formano la " rete di calcolo del check " o " rete di disparità ".

Il primo compito della rete, cioè quello di fornire il bit di disparità detto check (08) a tutti i caratteri che vengono scritti in memoria e che hanno un numero pari di bit 1, viene assolto in due modi diversi :

- il check viene " calcolato " in tutti i casi in cui si deve scrivere in memoria un carattere diverso da quello che è stato letto; cioè nelle istruzioni che interessano l'U.A. e nelle istruzioni in cui esiste inibizione lettura memoria. Il calcolo interessa i primi 8 flip-flop di RO
- in un ciclo normale di lettura il contenuto del nono flip-flop di RO va ad interessare una rete di confronto, la quale analizza il contenuto dei primi 8 flip-flop di RO e confronta il risultato con quello contenuto nel nono flip-flop di RO.
  L'eventuale discordanza provoca il set del flip-flop ERIR (MEM CHECK) errore interno, se la segnalazione è avvenuta durante la fase di lettura (NA02).
  Il set di ERIR è impedito in tutti gli stati in cui esiste l'inibizione lettura memoria, durante i quali viene letta una posizione di memoria il cui contenuto può essere un carattere indefinito, quindi può anche essere errato.

In ambedue i casi sopra esposti si agisce poi sul segnale d'ingresso del generatore d'inibizione del 9° piano di memoria per scrivere o non scrivere il bit di disparità. In Fig. 9.2.1 è riportato lo schema di principio della rete di check, mentre in Fig. 9.2.2 é riportato lo schema reale.

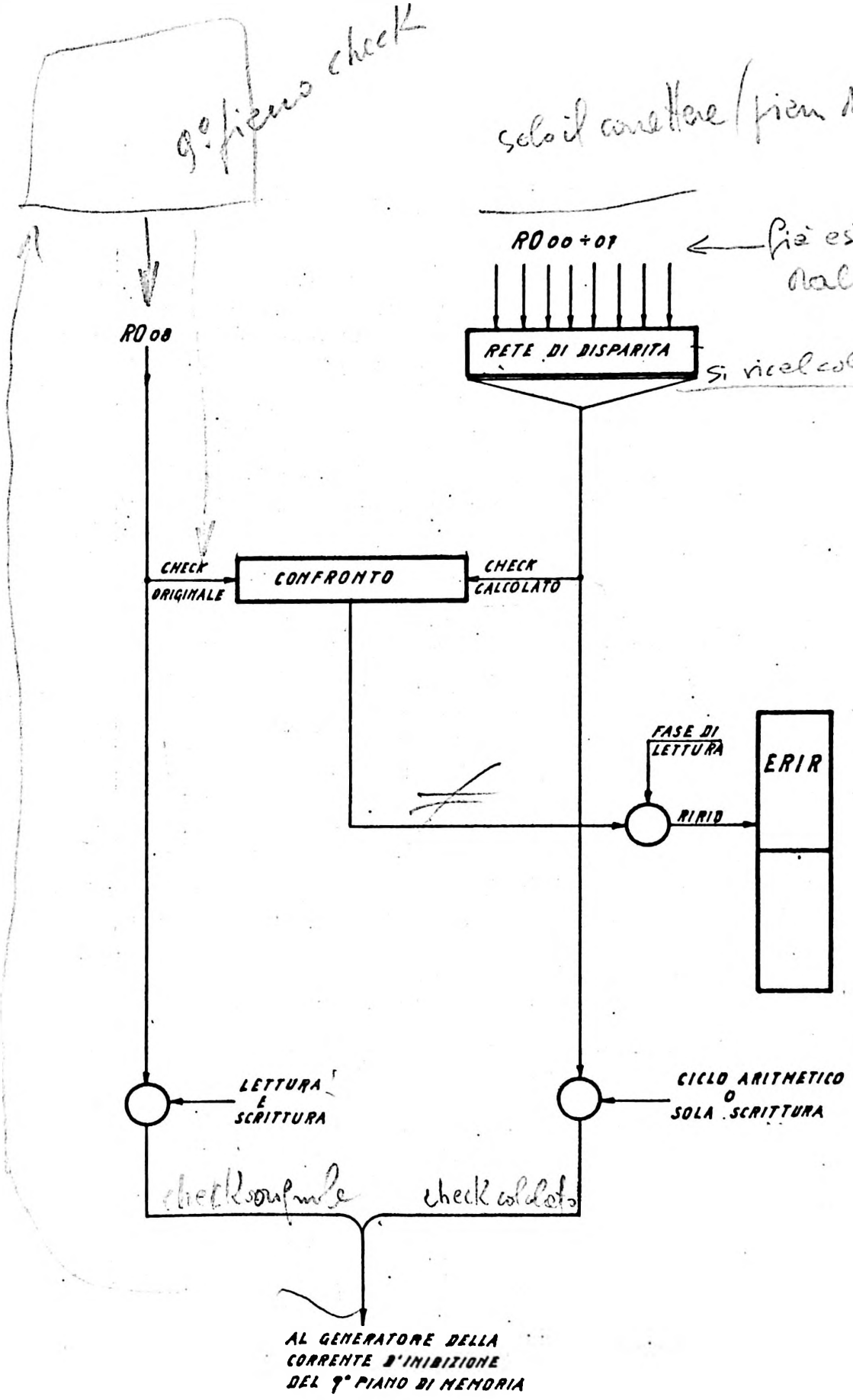

RO 00 ÷ 07
RETE DI DISPARITA
RO 08
CHECK ORIGINALE
CONFRONTO
CHECK CALCOLATO
FASE DI LETTURA
RIRIB
ERIR
LETTURA E SCRITTURA
CICLO ARITMETICO O SOLA SCRITTURA
AL GENERATORE DELLA CORRENTE D'INIBIZIONE DEL 9° PIANO DI MEMORIA

Fig. 9.2.1

Vedi R.11 domande 53) Cos'è lo sganc.o
SGANCIO=CLEAR
(V 3-15)

9.3 FLIP-FLOP ERRORE (ERIR) il CLEAR

La rete di disparità emana dei segnali di errore (RIRED, RIRAD, RIRID) qualora il carattere non sia corretto, in relazione della provenienza del carattere.

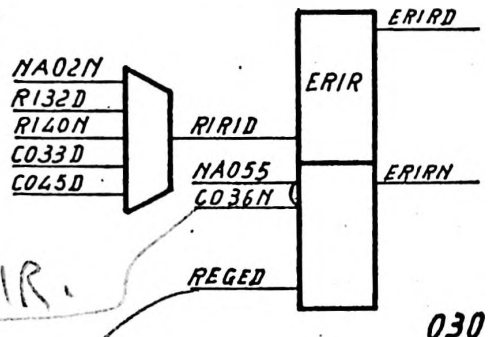
Se il carattere proviene da memoria l'errore si staticizza nel flip-flop ERIR durante la fase di lettura (NA02). Se il carattere interessa il canale A nel flip-flop ERAR, se interessa il canale E nel flip-flop ERER.

Il set del flip-flop ERIR provoca :

- l'arresto della ciclata della L.d.R. (CO37N =0)
- l'accensione di una segnalazione luminosa sulla console operativa (MEM CHECK). Inoltre fornisce una condizione di salto che può essere sfruttata mediante una JS (inserita nel programma).

Il reset di ERIR può avvenire :

- con lo SGANCIO
- alla fine della fase alfa dell'istruzione JS; L'arresto della L.d.R. può essere impedito, in fase di depannaggio, mediante posizionamento dell'apposito pulsante INAR sulla console di manutenzione
- il set dei flip-flop ERAR e ERER non provocano lo arresto dell'elaborazione ma forniscono soltanto delle segnalazioni che possono essere sfruttate da programma nelle istruzioni esterne.



Reset ERIR.

Fig. 9.3.1

CLEAR

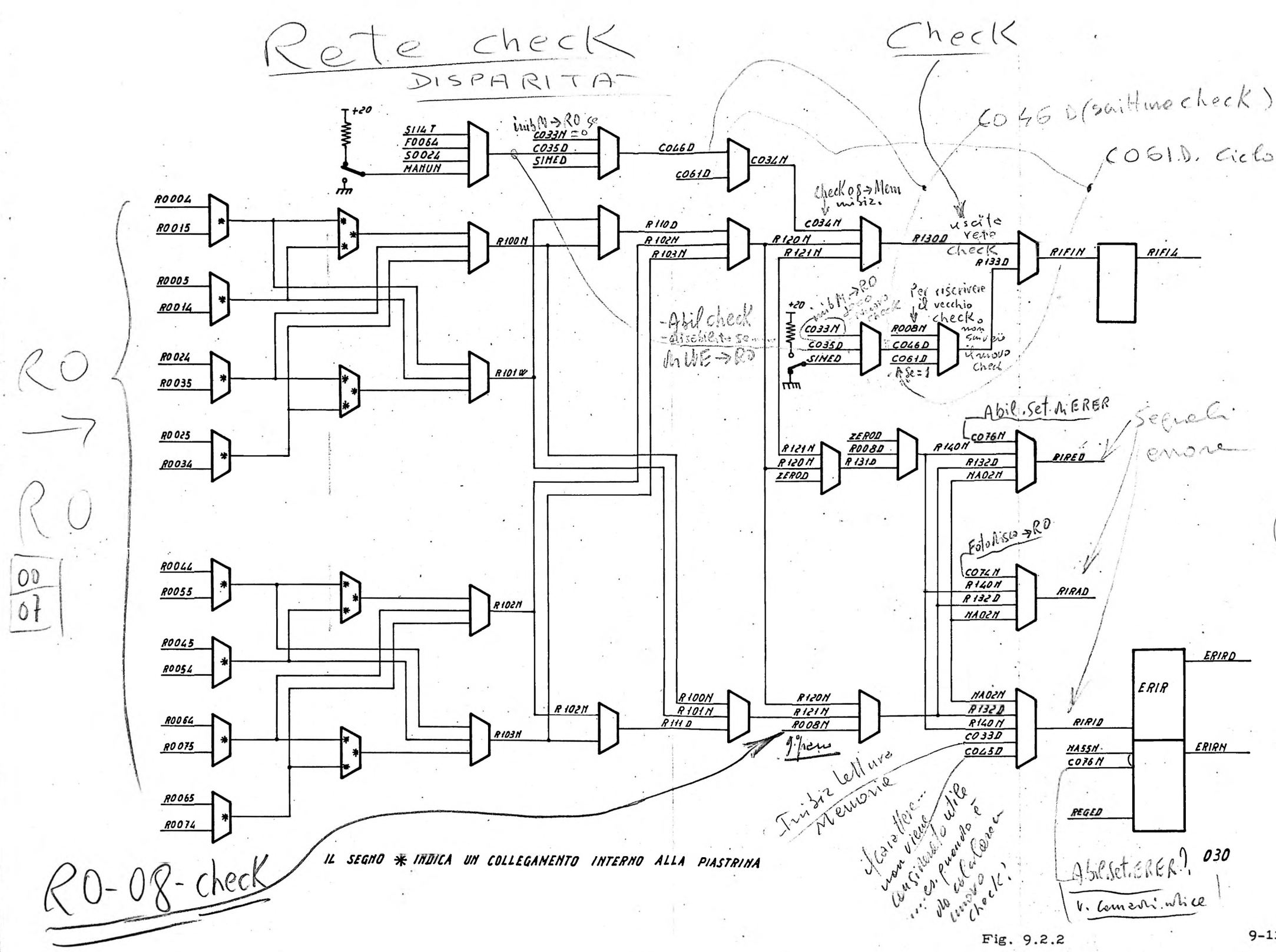

Rete check
DISPARITA'
Check
CO46D (scritture check)
CO61D. ciclo UA
+20
S114T
F0064
S0024
MAHUN
Init M → RO se
CO33N = 0
CO35D
SIMED
CO46D
CO61D
CO34N
Check o.s. → Mem mibiz.
uscite verso check
R130D
R133D
RIFIN
RIFIG
R110D
R102N
R103N
R100N
R101N
R120N
R121N
R0004
R0015
R0005
R0014
R0024
R0035
R0025
R0034
R101N
-Abil check
- disabilita se...
in WE → RO
+20
Init M → RO stesso indirizzo check
CO33N
CO35D
SIMED
R008N
CO46D
CO61D
ASe=1
Per riscrivere il vecchio check o non scrivo il nuovo check
Abil. Set. MERER
Seleziona errore
ZEROD
R008D
R131D
R140N
CO76N
R132D
NA02N
BIRED
Fotolisi → RO
CO74N
R140N
R132D
NA02N
RIRAD
R0044
R0055
R0045
R0054
R0064
R0075
R0065
R0074
R102N
R103N
R102N
R100N
R101N
R114D
R120N
R121N
R008N
9° piano
NA02N
R132D
R140N
CO33D
CO45D
RIRID
ERIR
ERIRD
ERIRN
NA55N
CO76N
REGED
Trigger letture Memorie
Scrittura non viene considerata utile ... e quando è da calcolare nuovo check!
Abil. Set. MERER? 030
V. commutatrice!
RO → RO
00
07
RO-08-check
IL SEGNO * INDICA UN COLLEGAMENTO INTERNO ALLA PIASTRINA

Fig. 9.2.2

letto-estratto nella Memoria

DOMANDE

a) - Quali funzioni assolve la rete del check ? calcola il check del carattere che è in RO, lo confronta col check del 9° fianco Mem. - calcola il check nuovo se in memoria bisogna scrivere un carattere nuovo che viene nella UA.

b) - In quali casi si controlla il check dopo la lettura?
Sempre in tutti i casi salvo quando c'è C033D = 1 = inibiz. lettura Memoria e quando c'è C045D = 1 = inib. SCR. ERIR —

c) - Come avviene il controllo della lettura ?
Calcolo il check sui primi 8 bit. letti e confronto con il 9° bit del fianco di check —

d) - Qual'é il segnale d'errore fornito dalla rete di di sparità ?
RIRED - RIRAD - RIRI → (ERIR)

e) - Analizzando lo schema di Fig. 9.2.2 stabilire gli eventi determinati dai comandi CO46D e CO61D
Dopo luogo al segnale RIFI - se c'è inserito la UA - e se c'è il check - serve per scrivere il nuovo check? RIFI

f) - Per quante vie si può generare il segnale RIFI4?
Due vie -
nel uscita della rete con segnale R130D
e nel segnale R133D } nuovo check nella UA.

RISPOSTE

a) - Assolve due funzioni :

- controlla se il carattere letto è costituito da un numero dispari di bit
- calcola il check per il carattere da scrivere in memoria, se necessita farlo.

b) - In tutti i casi, tranne quando c'è inibizione lettura memoria (CO33D = 1) e nel caso in cui il carattere che si andrebbe a controllare non viene considerato utile (CO45D = 1, INIB.SET ERIR)

c) - Il controllo della lettura avviene calcolando il check sui primi otto bit e confrontando il risultato con quello che perviene dal nono piano di memoria.

d) - RIRED, RIRAD, RIRID.

e) - $CO46D = \overline{CO33N + CO35D + SIMED}$
Cioè si abilita l'uscita della rete di check quando è presente CO33N = 0 (inib.Mem = RO) essendo CO35D = 0 e SIMED = 0, nei casi in cui si deve scrivere un nuovo carattere in memoria.
Si disabilita tale uscita quando SIMED=1 (pulsante di console che consente di scrivere in memoria il carattere posto in RO da manuale).
Si disabilita ancora con CO35D = 1 (ingresso da U.E. e se il pulsante INGE nella console di manutenzione è inserita, MANUN = 0).
In questo caso si vuol controllare se l'U.E. introduce un errore.
- CO61D = 1 è interessata l'U.A.
In questo caso si deve scrivere in memoria un carattere il cui " check " è calcolato dalla rete. Infatti, se è intervenuta l'U.A. vuole dire che il carattere estratto dalla memoria nella fase di lettura viene sostituito con il risultato fornito dalla U.A. durante l'Ansa Aritmetica. In questo caso, al nuovo carattere deve essere associato il bit di disparità che può essere diverso da quello estratto all'origine della ciclata.

f) - Per due vie :

- uscita della rete di calcolo del check
- rigenerazione del contenuto di RO08 quando si riscrive lo stesso carattere.

LEZIONE 10

Tempo di studio
4 ore

10. UNITA' ARITMETICA

10.1. INTRODUZIONE

L'unità di calcolo dell'elaboratore GE - 115 ha lo scopo di effettuare le operazioni aritmetiche di addizione e sottrazione, binarie e decimali, operando su due caratteri contenuti nei registri RO e RA.

Prima d'iniziare la descrizione dettagliata dell'unità aritmetica si fanno alcune considerazioni generali sulle operazioni aritmetiche tra due caratteri composti da 8 bit ciascuno.

10.2. OPERAZIONE DI SOMMA BINARIA

1° caso)

Dato A	1	0	0	0	0	0	1	1	+
Dato B	0	0	0	0	0	1	1	0	=
Risultato	1	0	0	0	1	0	0	1	

8/3 + 0/6 = 8/9

Fig.10.2.1

2° caso)

Dato A	1	1	0	1	1	1	1	0	+
Dato B	0	1	1	1	0	1	1	1	=
Risultato	0	1	0	1	0	1	0	1	

D/E + 7/7 = 5/5 + riporto

Fig.. 10.2.2

Nel secondo caso si ha il riporto che viene trasmesso all'eventuale carattere seguente.

10.3. OPERAZIONE DI SOTTRAZIONE BINARIA

1° caso)

Dato A	0	0	0	0	0	1	0	1	-
Dato B	0	0	0	0	0	0	1	0	=
Risultato	0	0	0	0	0	0	1	1	

0/5 - 0/2 = 0/3

Fig.10.3.1

2° caso)

Dato A	1	0	0	1	1	0	0	0	-
Dato B	1	0	0	1	0	1	1	1	=
Risultato	0	0	0	0	0	0	0	1	

9/8 - 9/7 = 0/1

Fig.10.3.2

3° caso)

Dato A	0	0	0	0	0	1	0	1	-
Dato B	0	0	0	0	1	0	0	1	=
Risultato	1	1	1	1	1	1	0	0	

0/5 - 0/9 = F/12

Fig.10.3.3

Nel caso della Fig. 10.3.3 il risultato non è corretto, si presenta quindi la necessità di eseguire delle istruzioni particolari per ottenere l'eventuale correzione.

Il metodo diretto di sottrazione esposto può anche non essere usato e può venire sostituito da un altro metodo che si addice di più agli elaboratori elettronici.

Tale metodo consente nel convertire la differenza in una SOMMA.

Ciò è possibile eseguendo la somma tra il minuendo ed il negato del sottraendo.

In tal caso considerando i caratteri del 1° caso Fig. 10.3.1 si eseguirà :

Dato A	0	0	0	0	0	1	0	1	+
Dato $\bar{B}$	1	1	1	1	1	1	0	1	=
Risultato	0	0	0	0	0	0	1	0	

riporto

$0/5 - \overline{0/2} = 0/5 + F/D = 0/2$ Errato perché 1 in meno

Fig. 10.3.4

Si può osservare in Fig. 10.3.4 che il risultato non è corretto infatti si dovrebbe ottenere 0/3.

A questo proposito si deve portare una semplice correzione cioè si deve aggiungere al primo peso binario il valore " 1 ".

Si otterrà così che :

Dato A	0	0	0	0	0	1	0	1	+
Dato $\bar{B}$	1	1	1	1	1	1	0	1	+
Riporto r								1	=
Risultato	0	0	0	0	0	0	1	1	

riporto utilizzato

$0/5 - \overline{0/2} = 0/5 + F/D + 1 = 0/3$

In questo caso il risultato é corretto.

Fig. 10.3.5

Si può concludere affermando che :

UNA SOTTRAZIONE BINARIA PUO' ESSERE ESEGUITA COME SOMMA DEL MINUENDO CON IL NEGATO DEL SOTTRAENDO PIU' 1.

Nel caso in cui il sottraendo sia maggiore del minuendo la regola precedente non è più valida infatti:

Dato A	0	0	0	0	0	1	0	1	+
Dato $\overline{B}$	1	1	1	1	0	1	1	0	+
Riporto r								1	=
Risultato	1	1	1	1	1	1	0	0	

$0/5 - \overline{0/9} = 0/5 + 15/6 = F/C$

Fig. 10.3.6

Il risultato non è corretto in quanto risulta in complemento a 256.

Ciò significa che il risultato non può essere corretto che mediante operazioni successive di programma.

DOMANDE

a) - L'istruzione di sottrazione come si può anche eseguire ? Addizionerò al minuendo il negato del sottraendo effettuerò 1 nella unità

b) - Tutti i casi di sottrazione sono convertibili in somma, secondo la relazione $A + \overline{B} + 1$?

No se B è > di A

c) - Per la somma binaria tra due caratteri ci sono considerazioni particolari da fare ?

il riporto se c'è viene trascurato al nibble superiore

Si eseguano secondo il metodo della somma le seguenti sottrazioni :

d) - 4/9 - 3/2 ..... 0001 0110 = 1/6

e) - 7/4 - 8/1 ..... 0111 0011 = 15/3 errato

f) - 4/8 - 4/3 → 0000 0100 = 0/5

g) - 4/8 - 4/2 .....

h) - F/0 - 0/1 → 1110 1110 = 14/15

i) - F/F - F/0 → 0000 1111 = 0/15

1011 1101
0000 0110 = 0/6

RISPOSTE

a) - Si può eseguire anche con il metodo della somma adottando l'accorgimento di sommare 1 al risultato.

b) - No, nel caso in cui il minuendo è minore del sottraendo (A<B) il risultato non risulta corretto.

c) - In genere se esiste riporto questo viene trasmesso al rango superiore.

d) -

Dato A	0	1	0	0	1	0	0	1	+
Dato $\overline{B}$	1	1	0	0	1	1	0	1	+
Riporto r								1	=
Risultato	0	0	0	1	0	1	1	1	

riporto

e) -

Dato A	0	1	1	1	0	1	0	0	+
Dato $\overline{B}$	0	1	1	1	1	1	1	0	+
Riporto r								1	=
Risultato	1	1	1	1	0	0	1	1	

riporto

f) -

Dato A	0	1	0	0	1	0	0	0	+
Dato $\overline{B}$	1	0	1	1	1	1	0	0	+
Riporto r								1	=
Risultato	0	0	0	0	0	1	0	1	

riporto

g) -

Dato A	0	1	0	0	1	0	0	0	+
Dato $\overline{\overline{B}}$	1	0	1	1	1	1	0	1	+
Riporto r								1	=
Risultato	0	0	0	0	0	1	1	0	

riporto

h) -

Dato A	1	1	1	1	0	0	0	0	+
Dato $\overline{\overline{B}}$	1	1	1	1	1	1	1	0	+
Riporto r								1	=
Risultato	1	1	1	0	1	1	1	1	

riporto

i) -

Dato A	1	1	1	1	1	1	1	1	+
Dato $\overline{\overline{B}}$	0	0	0	0	1	1	1	1	+
Riporto r								1	=
Risultato	0	0	0	0	1	1	1	1	

riporto

10.4. Da quanto visto nei paragrafi precedenti si può osservare che è possibile realizzare una unità di calcolo che esegua sia le somme che le sottrazioni binarie sempre sotto forma di SOMMA. Ciò è possibile se, quando si vuol eseguire la sottrazione, si introduce nell'unità di calcolo il NEGATO del sottraendo e si aggiunge 1 al primo stadio dell'unità stessa (come si vedrà meglio in seguito).

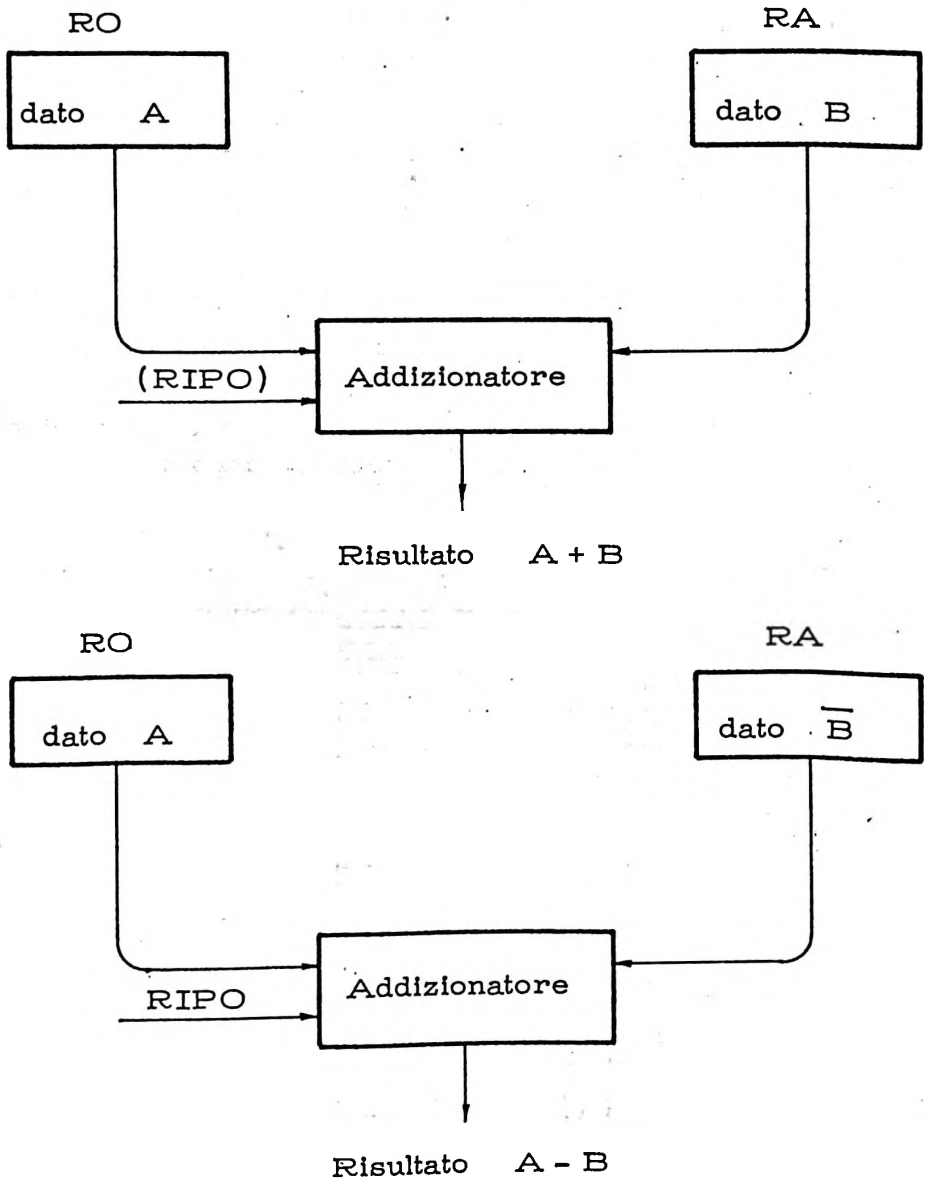


Fig. 10.4.1

10.5. UNITA' DI CALCOLO

Dopo le premesse fatte nei precedenti paragrafi, si esamina ora la costituzione e il principio di funzionamento dell'unità di calcolo del GE - 115. L'unità aritmetica dialoga con due registri, denominati RO e RA i quali sono sempre direttamente collegati all'U.A. stessa. L'uscita dell'U.A. é condizionato ad un segnale che abilita il caricamento dello stesso registro RO a ricevere il risultato.

Quanto é esposto é schematizzato in Fig. 10.5.1.

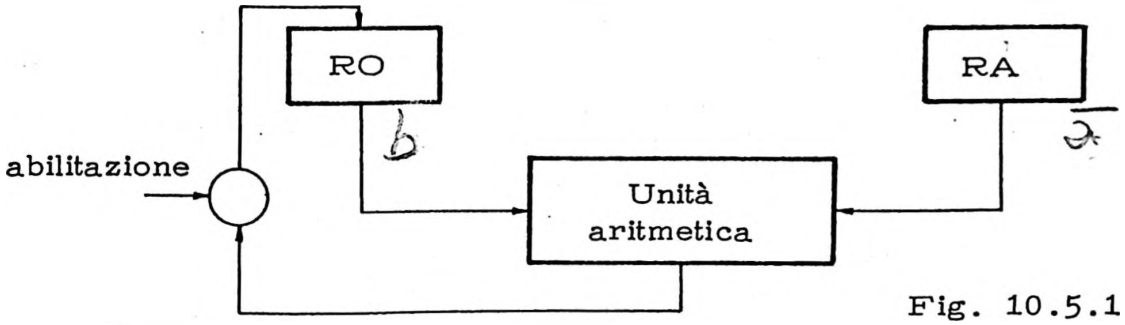


Fig. 10.5.1

Ciò significa che operando sui due caratteri di RO e RA l'unità aritmetica considera sempre il contenuto reale (dritto) di RO e sempre il contenuto negato di RA più l'eventuale riporto.

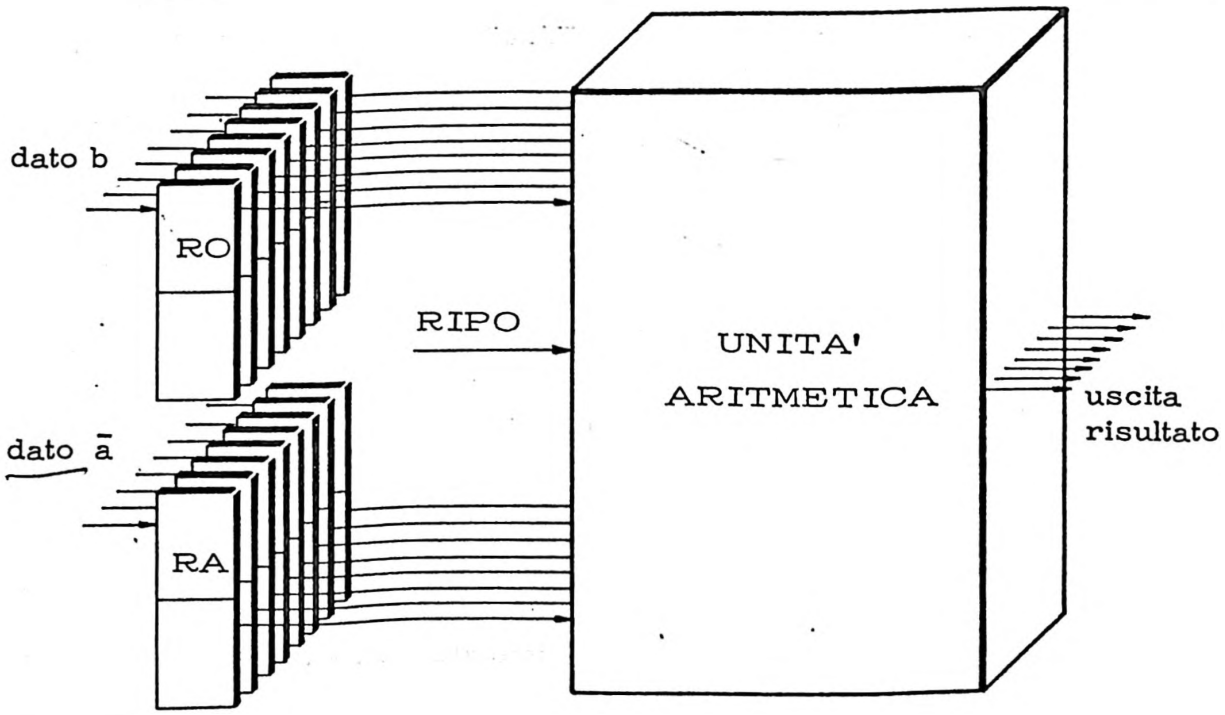


Fig. 10.5.2

Si può constatare che l'unità aritmetica è predisposta per eseguire sempre delle sottrazioni in forma di somma.

La vera somma tra due caratteri è facilmente ottenibile considerando che in questo caso si carica preventivamente RA con il negato del carattere. Si ottiene così all'interno dell'U.A. la seguente equazione:

$$\bar{a} + b + (RIPO)$$

ciò che conduce a :

$$a + b + (RIPO)$$

In definitiva si può concludere che gli organi logici dell'elaboratore provvedono a caricare il registro RA (a) con il valore reale di un carattere nei casi di sottrazione e con il valore negato del carattere stesso nei casi di somma.

Uno schema rappresentativo di quanto esposto è riportato in Fig. 10.5.3.

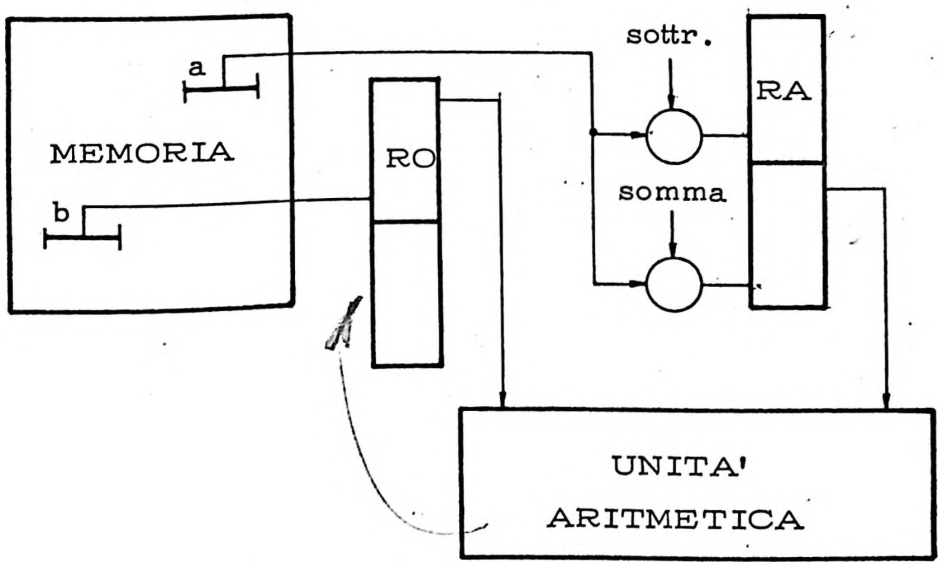


Fig. 10.5.3

Si cerca ora di ricavare l'espressione logica , e quindi il relativo circuito, che realizza $\bar{a}$ + b + riporto.

A tale scopo, si costruisce la tabella della verità relativa ai possibili valori che possono assumere i due bit corrispondenti di ogni carattere.

casi	1°	2°	3°	4°	5°	6°	7°	8°
$\bar{a}$	1	1	1	1	0	0	0	0
b	1	0	1	0	1	0	1	0
riporto	1	1	0	0	1	1	0	0
Somma	1	0	0	1	0	1	1	0
Riporto uscente	1	1	1	0	1	0	0	0

Fig. 10.5.4

Dalla tabella di Fig. 10.5.4 si ricava la seguente espressione della somma :

$$S = \bar{a}br + ab\bar{r} + \bar{a}\bar{b}\bar{r} + a\bar{b}r$$

Si semplifica ora questa equazione per realizzarla poi con un circuito a nor.

$$\bar{S} = \overline{\bar{a}br + ab\bar{r} + \bar{a}\bar{b}\bar{r} + a\bar{b}r}$$

$$\bar{S} = \overline{r(\bar{a}b + a\bar{b})} \;..\; \overline{\bar{r}(ab + \bar{a}\bar{b})}$$

$$\bar{S} = \left[\bar{r} + \overline{(\bar{a}b + a\bar{b})}\right] . \left[r + \underbrace{\overline{(ab + \bar{a}\bar{b})}}_{X}\right]$$

ove $X = \overline{(ab + \bar{a}\bar{b})} = \overline{ab} \,.\, \overline{\bar{a}\bar{b}} = (a + b) \,.\, (\bar{a} + \bar{b})$

$= a\bar{a} + a\bar{b} + \bar{a}b + b\bar{b} = a\bar{b} + \bar{a}b$

$$\overline{\overline{S}} = \overline{\left[\bar{r} + \overline{(\bar{a}b + a\bar{b})}\right] \cdot \left[r + (\bar{a}b + a\bar{b})\right]}$$

$$S = \bar{r} + \overline{(\bar{a}\bar{b} + a\bar{b})} + r + (\bar{a}b + a\bar{b})$$

a questo punto la formula risulta sufficientemente semplificata.

Si procede con un ulteriore passaggio, negando l'intera equazione, per ottenere il negato di S in quanto servirà nella costruzione logica dell'unità aritmetica.

$$\overline{S} = \bar{r} + \overline{(\bar{a}b + a\bar{b})} + r + (\bar{a}b + a\bar{b}) \qquad (1)$$

Dalla stessa tabella della verità dalla quale si è ricavata l'equazione logica della somma (1) si ricava l'equazione della somma negata :

$$\overline{S} = \bar{a}b\bar{r} + abr + \bar{a}\bar{b}r + a\bar{b}\bar{r}$$

$$\overline{\overline{S}} = \overline{\bar{a}b\bar{r} + abr + \bar{a}\bar{b}r + a\bar{b}\bar{r}}$$

$$S = \overline{r(ab + \bar{a}\bar{b}) + \bar{r}(\bar{a}b + a\bar{b})}$$

$$S = \overline{r(ab + \bar{a}\bar{b})} \cdot \overline{\bar{r}(\bar{a}b + a\bar{b})}$$

$$S = \bar{r} + \overline{(ab + \bar{a}\bar{b})} \cdot r + \overline{(\bar{a}b + a\bar{b})}$$

x

Semplificando come è stato fatto per l'equazione della somma, si ottiene :

$$S = \bar{r} + (\bar{a}b + a\bar{b}) \cdot r + \overline{(\bar{a}b + a\bar{b})}$$

$$\overline{S} = \overline{\bar{r} + (\bar{a}b + a\bar{b}) \cdot r + \overline{(\bar{a}b + a\bar{b})}}$$

$$\overline{S} = \overline{\bar{r} + (\bar{a}b + a\bar{b})} + \overline{r + \overline{(\bar{a}b + a\bar{b})}}$$

$$\overline{\overline{S}} = \overline{\overline{\bar{r} + (\bar{a}b + a\bar{b})} + \overline{r + \overline{(\bar{a}b + a\bar{b})}}}$$

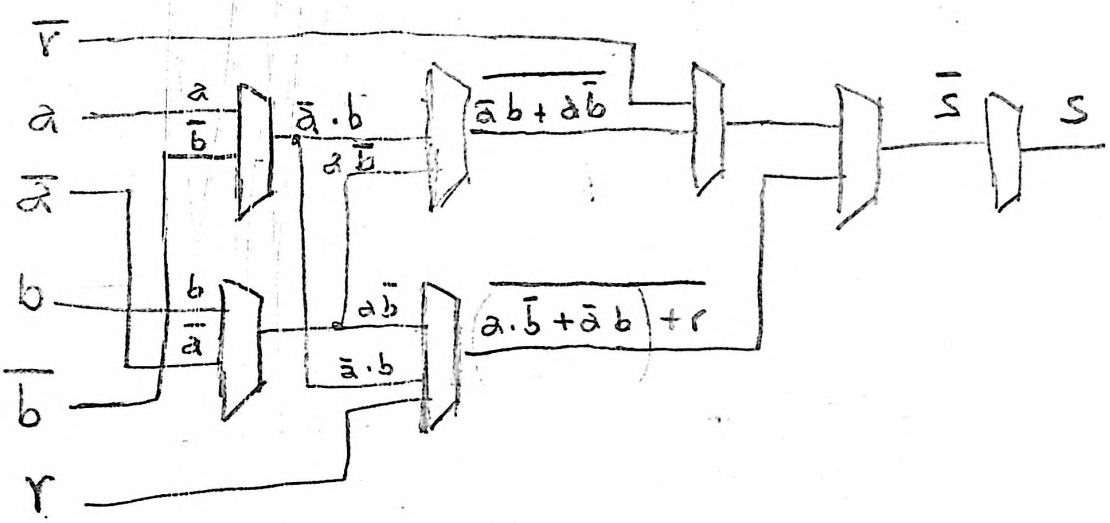
$$S = \bar{r} + (\bar{a}b + a\bar{b}) + r + \overline{(\bar{a}b + a\bar{b})} = S \qquad (2)$$

DOMANDE

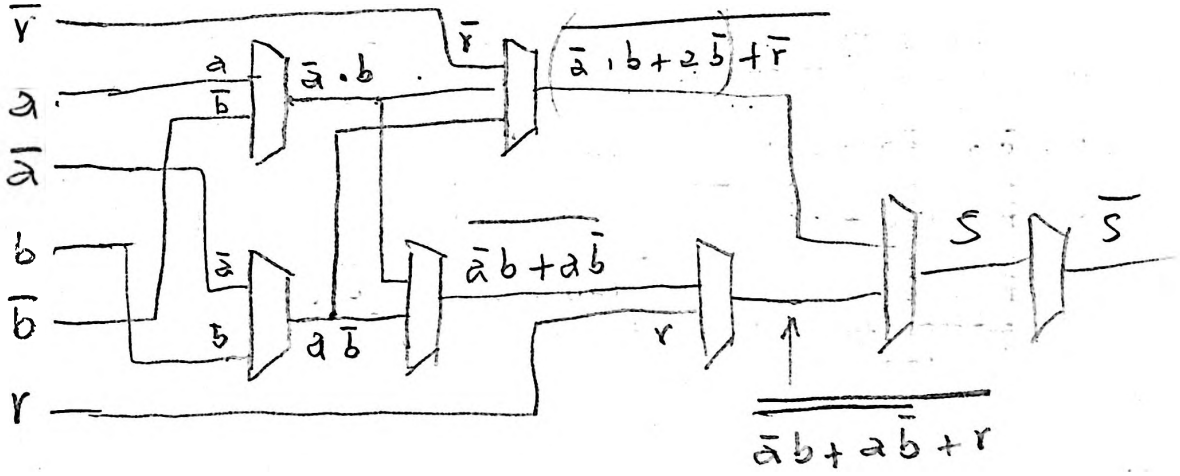
Si disegni ora il circuito, a NOR, che :

a) - Realizza l'equazione (1)

ricordare che: $\overline{\bar{a}+b} = a \cdot \bar{b}$

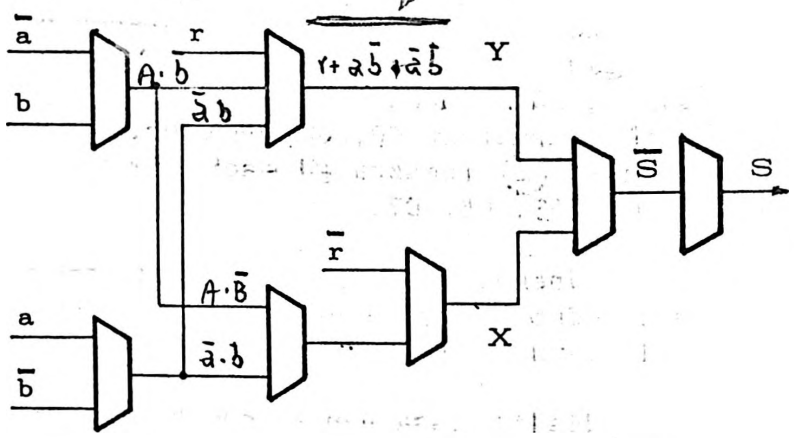


b) - Realizza l'equazione (2)

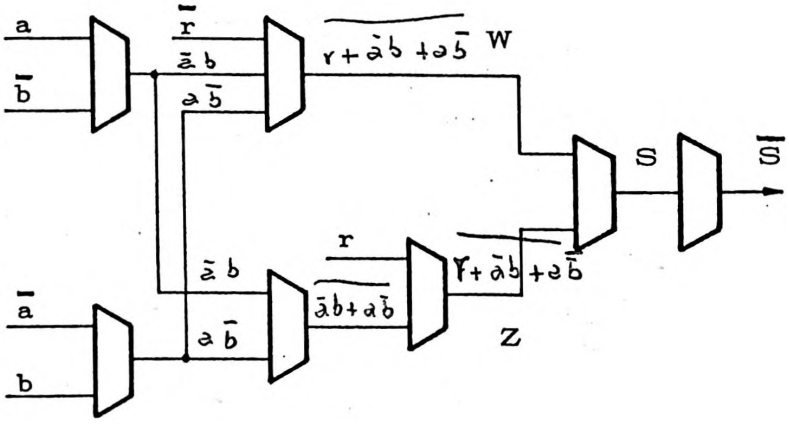


RISPOSTE

a) - $\bar{S} = \overline{\underbrace{\bar{r} + (\bar{a}b + a\bar{b})}_{X} + \underbrace{r + (\bar{a}b + a\bar{b})}_{Y}}$



b) - $S = \overline{\underbrace{\bar{r} + (\bar{a}b + a\bar{b})}_{W} + \underbrace{r + (\bar{a}b + a\bar{b})}_{Z}}$



10.6. OPERAZIONI BINARIE

Nel paragrafo 10.5. sono stati ricavati i circuiti della somma e della somma negata in quanto l'unità aritmetica del GE - 115 li usa entrambi per ragioni tecnologiche (risparmio di un livello).
La formula della somma (2) realizza gli stadi pari cioè le posizioni 00, 02, 04 e 06, quella della somma negata (1) realizza gli stadi dispari, cioè le posizioni 01, 03, 05, 07.

Unendo fra loro i circuiti che compongono gli stadi dispari e gli stadi pari, si ottiene l'insieme della unità aritmetica che è riportato nella Fig. 10.6.2.

Nella stessa figura sono indicati, per gli stadi 02 e 03, rispettivamente, l'uscita di R (riporto) e di $\overline{R}$ (riporto negato).

Le rispettive equazioni, per le quali non si riporta, in questo caso, il modo con il quale si sono ricavate, sono le seguenti :

- per i riporti in uscita dagli stadi pari, vedasi per esempio in Fig. 10.6.2 lo stadio 02,

$$R = \bar{a}b + \overline{\bar{r} + (a\bar{b} + \bar{a}\bar{b})}$$

- per i riporti in uscita dagli stadi dispari, vedasi per esempio in Fig. 10.6.2 lo stadio 03,

$$\overline{R} = a\bar{b} + \overline{r + (a\bar{b} + \bar{a}b)}$$

In uscita degli stadi 01, 02 e 03 è rappresentata la rete di correzione necessaria per i casi di operazioni decimali.

Prima di ricavare il circuito di questa rete si controlla se l'insieme dell'unità aritmetica, riportata in Fig. 10.6.1, soddisfa la realizzazione di somme e di sottrazioni binarie.

Si vede in seguito

Vedere 10-6-3

Si segue l'esempio riportato in Fig. 10.6.3 di una somma binaria i cui addendi sono i seguenti :

38= 0 0 1 0 0 1 1 0 (termine b registrato in memoria)

184= 1 0 1 1 1 0 0 0 (termine a registrato in memoria)

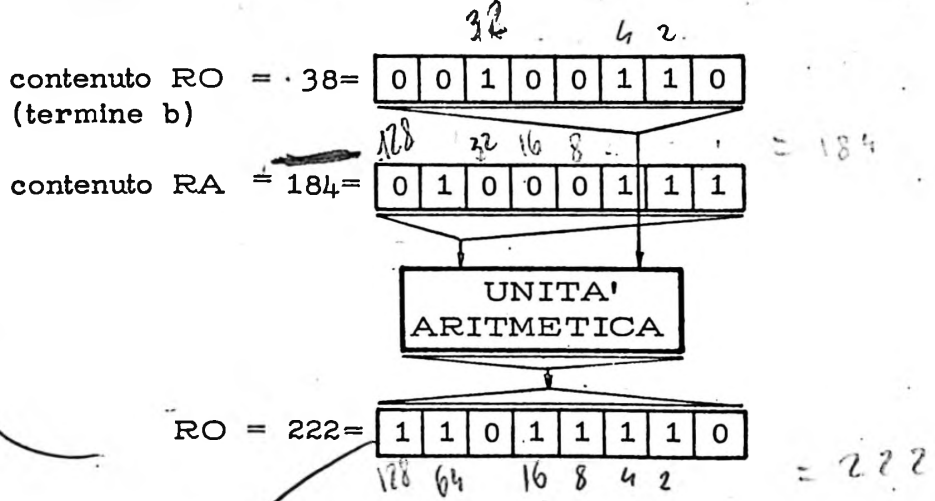
{ Registrarlo lui in negato = Reset

Si ricordi però che l'unità aritmetica del GE - 115 risolve la seguente equazione :

$\bar{a}$ + b + riporto

cioè una sottrazione; per ottenere la somma dei due termini è necessario perciò utilizzare il negato di $\bar{a}$. A questo scopo gli organi logici del calcolatore, nei casi di somma, provvedono a registrare in RA il negato del termine a.

Nell'esempio di Fig. 10.6.3, RA risulta già caricato con il negato del termine a, mentre RO contiene il termine b



risultato caricato in RO, con il mastro NA08, delle uscite dell'Unità Aritmetica.

Fig. 10.6.1

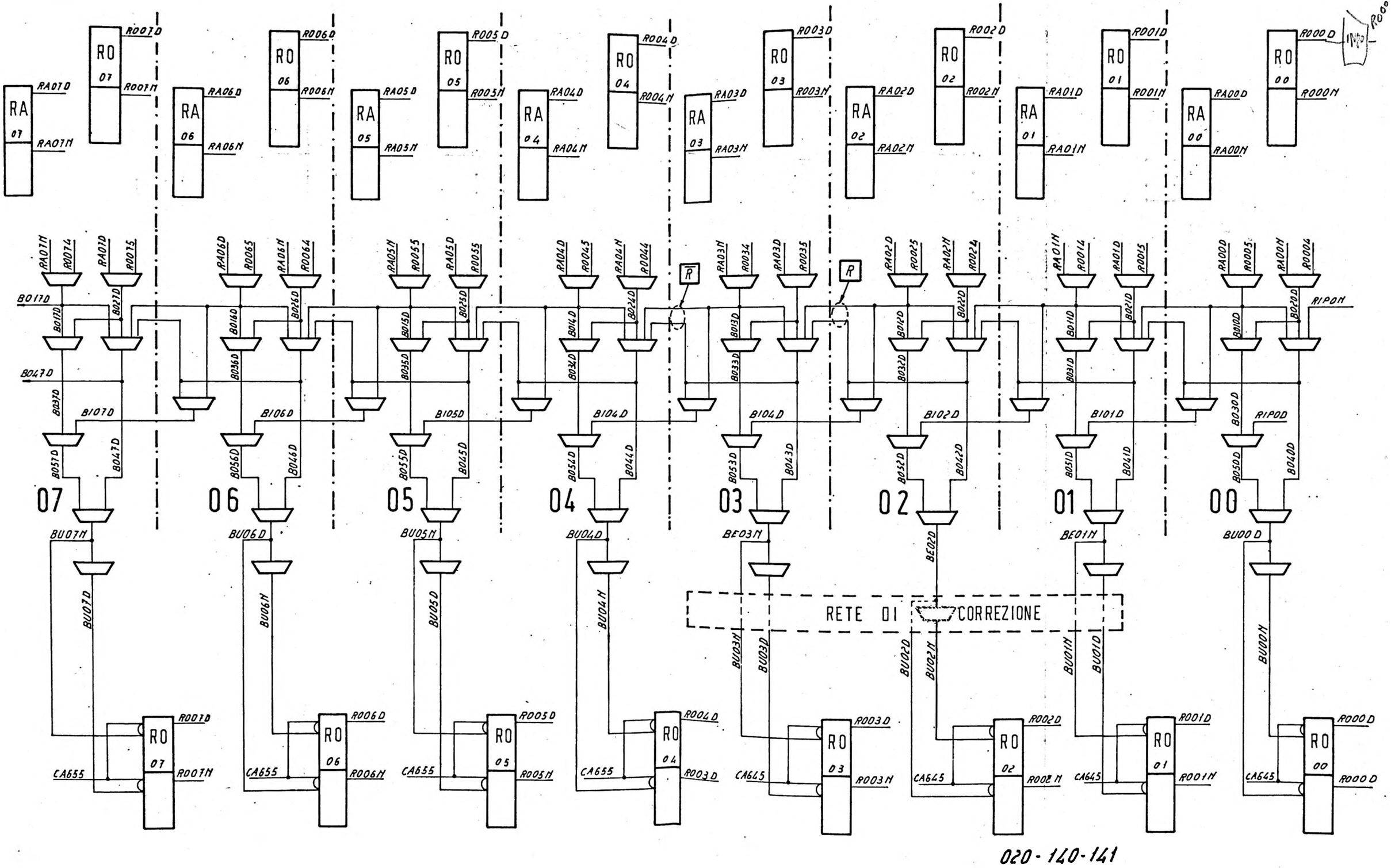
Vedere 10-6-3

In uscita dalla Unità Aritmetica il risultato viene caricato in RO con il mastro NA08.

Le uscite degli stadi 01 - 02 - 03 sono interessate dalla rete di correzione decimale: nelle operazioni binarie, tale rete non apporta nessuna variazione alle uscite della Unità Aritmetica. Solo per lo stadio 02 si deve considerare costituita da un NOR, come indicato nelle Figg. 10.6.2 e 10.6.3.

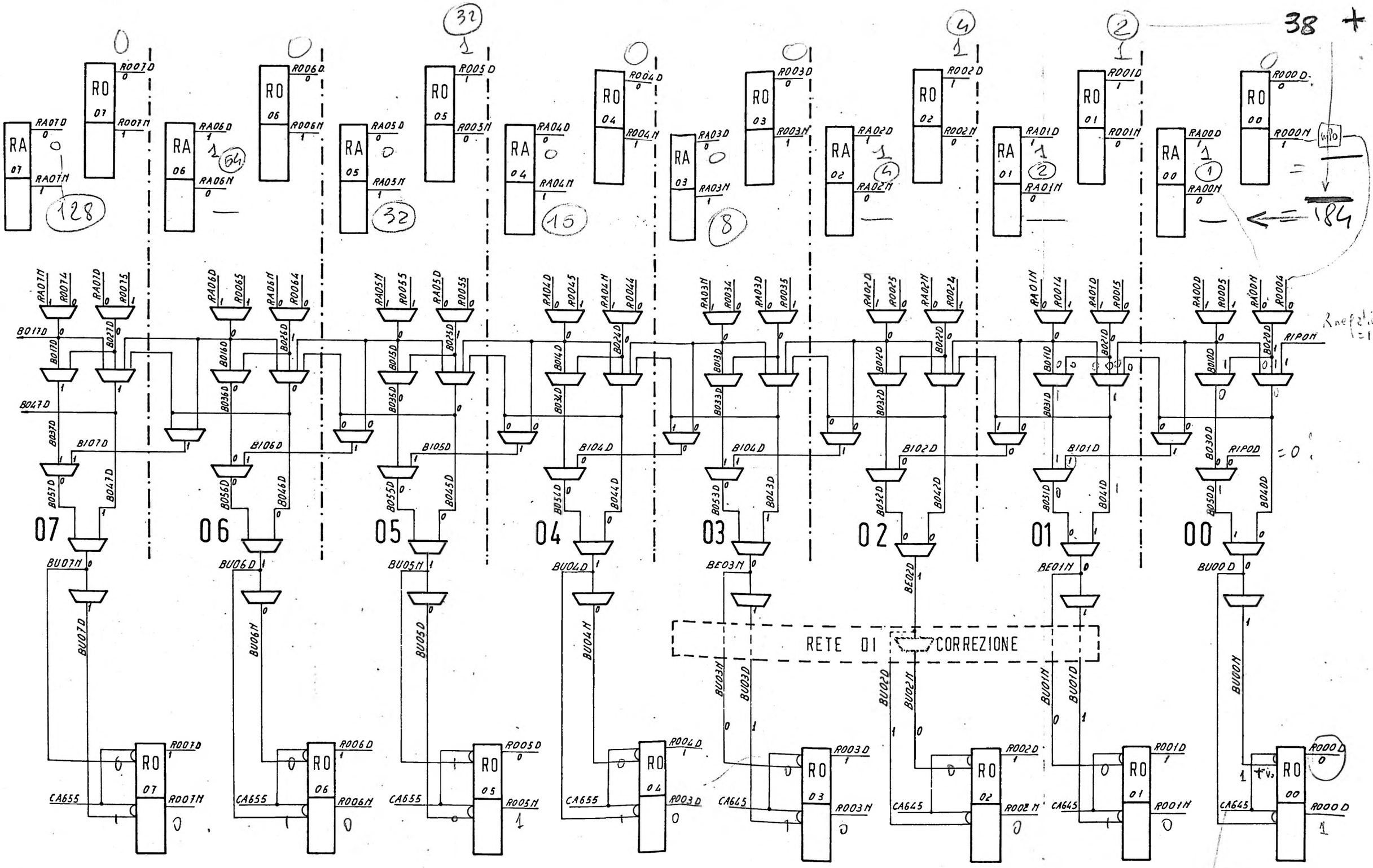
Si consideri RIPO = 0 e $\overline{\text{RIPO}}$ = 1 nei casi di somma.

Cioè ... rovescia il valore che entra :-NOR...



020-140-141

Fig. 10.6.2



020-140-141

Fig. 10.6.3

DOMANDE

Procedendo come nell'esempio di Fig. 10.6.3 e utilizzando le Figg. 10.6.4 e 10.6.5 si esegua :

a) - La somma fra i termini a + b

```
          64  16   4   1
a = 0  1  0  1  0  1  0  1
b = 0  1  1  0  0  1  1  0
```

b) - E la sottrazione b - a

```
          4   1
a = 0  0  0  0  0  1  0  1
b = 1  0  1  0  0  1  1  0
   128  32     4  2
```

I circuiti logici del GE - 115, nei casi di sottrazione, provvedono a settare un flip-flop denominato RIPO le cui uscite sono utilizzate nella Unità Aritmetica per fare la correzione a + 1.

Nel GE - 115 non é però prevista la possibilità di impedire la correzione a + 1 nei casi di saldi negativi, e d'interpretare correttamente il risultato dell'operazione facendone il negato del risultato ottenuto.

RISPOSTE

a) - a + b = 1 0 1 1 1 0 1 1
Si controlli la risposta data nella Fig. 10.6.4 con quella riportata in Fig. 10.6.6.

b) - b - a = 1 0 1 0 0 0 0 1
Si controlli la risposta data nella Fig. 10.6.5 con quella riportata in Fig. 10.6.7.

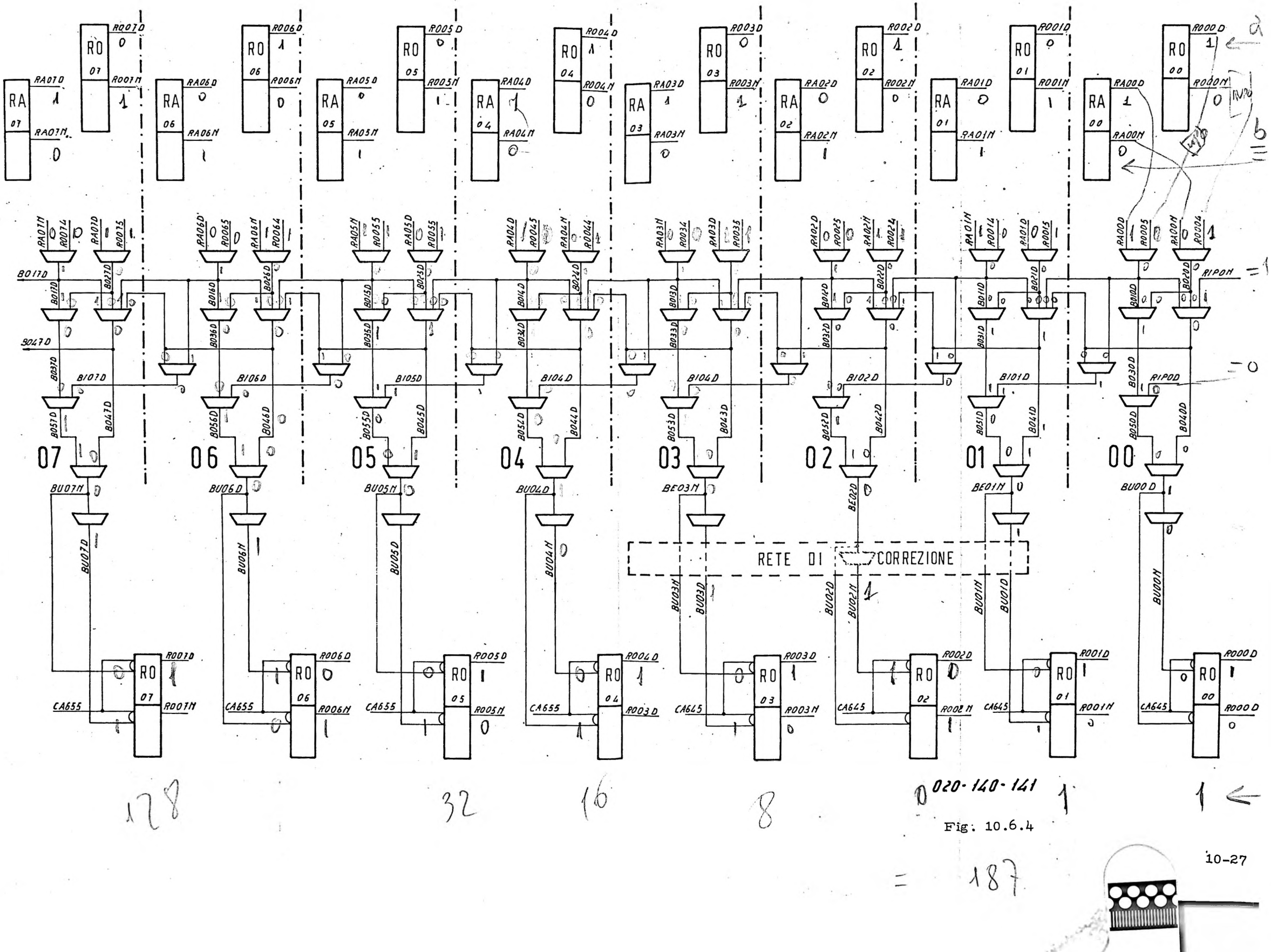
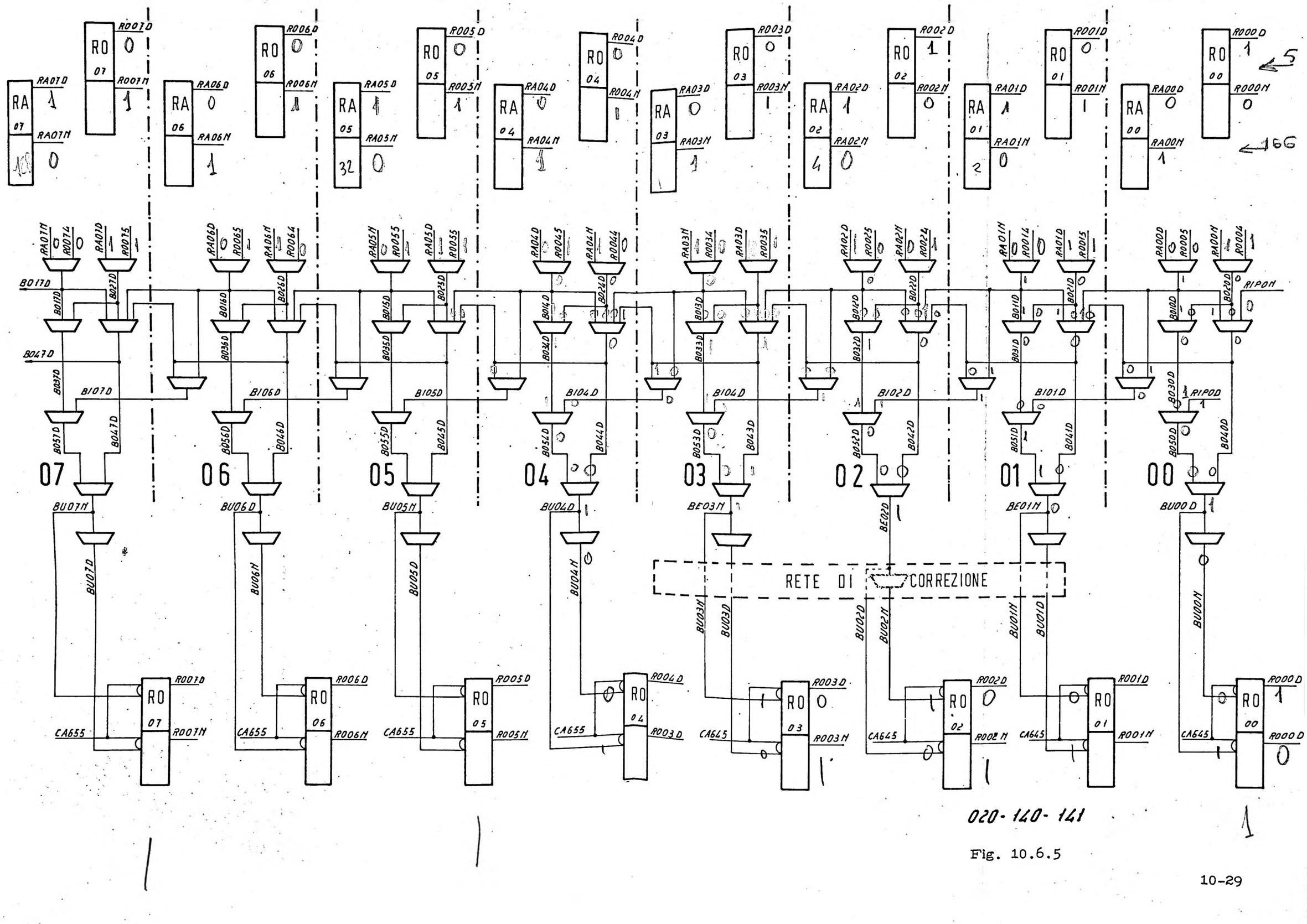

RETE DI CORREZIONE
07
06
05
04
03
02
01
00
128
32
16
8
1
020-140-141

Fig. 10.6.4



020-140-141

Fig. 10.6.5

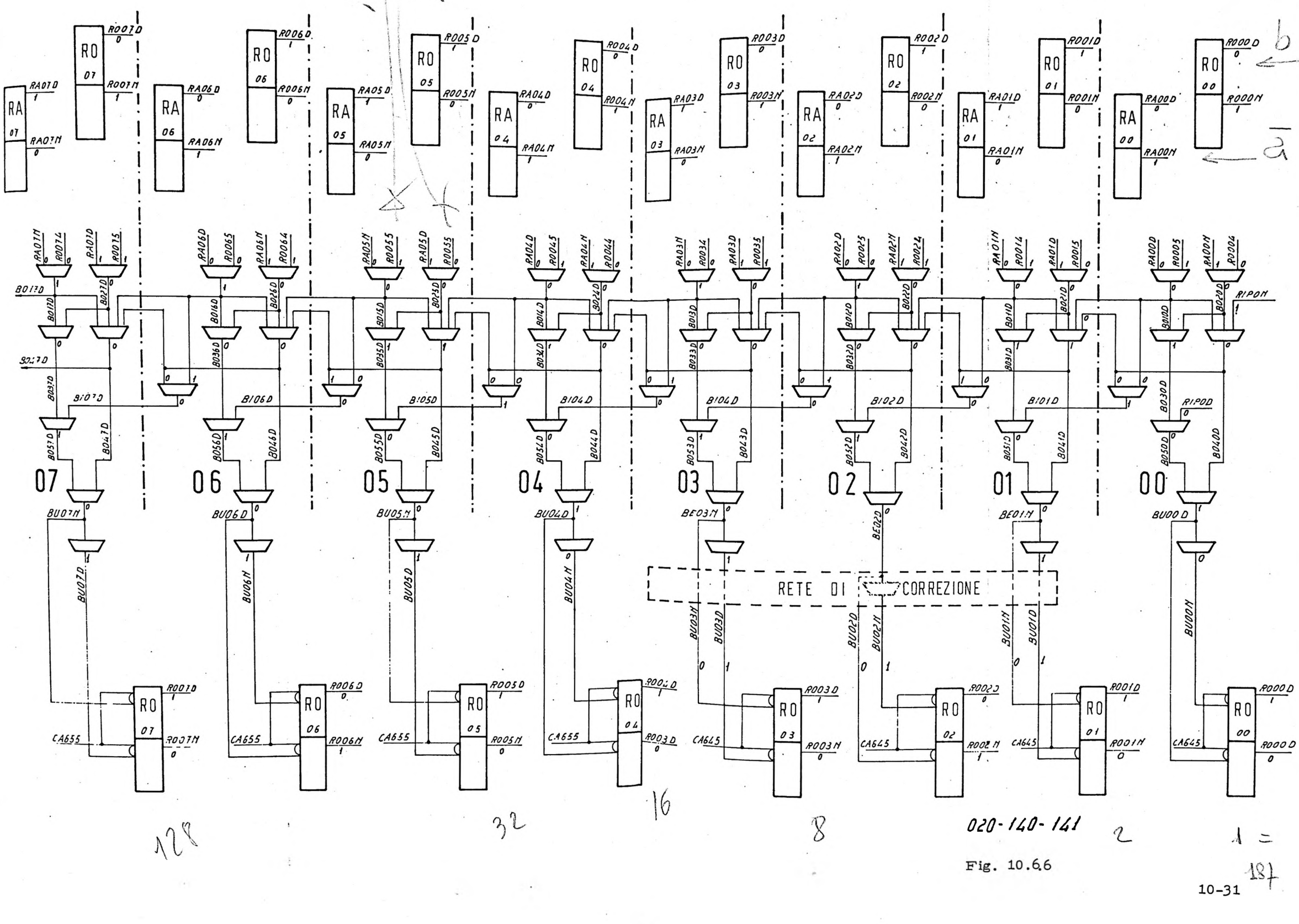

RETE DI CORREZIONE
07
06
05
04
03
02
01
00
RIPOD
RIPON
CA655
CA645

Fig. 10.6.6

RETE DI CORREZIONE

020-140-141

Fig. 10.6.7

10.7. OPERAZIONI DECIMALI

Le dieci diverse configurazioni decimali che un carattere può assumere, possono essere espresse in binario con soli quattro bit, per cui se il calcolatore in esame ha un codice a otto bit è necessario tener presente solo le configurazioni dei caratteri numerici.

Si supponga di eseguire delle operazioni aritmetiche decimali con dati espressi in codice GECD per esempio 47 + 85 = 132, come indicato in Fig. 10.7.1

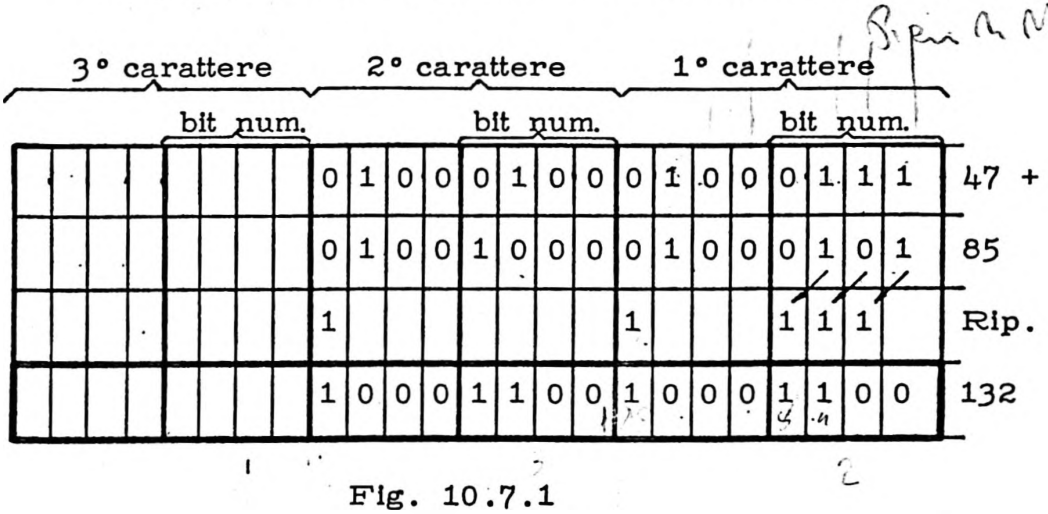


Fig. 10.7.1

Si dovrebbe ottenere come risultato tre caratteri così formati :

4/1, 4/3, 4/2 cioè 132

Si ottengono invece due caratteri: 8/12, 8/12, che rappresentano un risultato errato in valore decimale.

Si osservi che il semicarattere più significativo di un qualsiasi carattere numerico ha la configurazione 0100 = 4. Risulta quindi inutile introdurre nell'unità di calcolo questo semicarattere quando si eseguono delle operazioni decimali.

Nel GE - 115, sia per le operazioni aritmetiche binarie che per quelle decimali, il contenuto di RO è sempre usato interamente nella Unità Aritmetica.

Gli organi logici dell'elaboratore provvedono però per i casi di operazioni decimali, ad invalidare il caricamento in RO dei quattro bit più significativi (07, 06, 05, 04) forniti dalle unità della U.A., mantenendo così la configurazione esatta dei quattro bit più significativi del carattere numerico (0100).

E' necessario che l'eventuale riporto creato dal quarto bit di ogni carattere, sia trasmesso al primo bit del carattere immediatamente a sinistra, cioè al carattere numerico di valore decimale superiore. Negli esempi successivi si indicano i caratteri numerici con solo i quattro bit meno significativi.

Si esamini nuovamente l'esempio di somma 47+85 (Fig. 10.7.2) :

Semicaratteri meno significativi

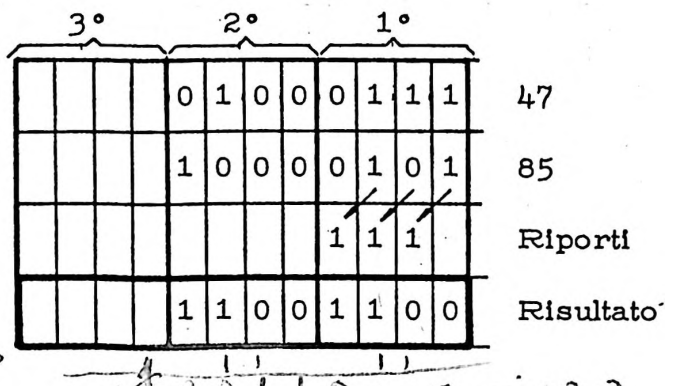


Fig. 10.7.2

E' necessario introdurre una correzione perchè nell'ambito di ogni rango decimale con quattro bit si possono esprimere 16 diverse configurazioni mentre ne sono sufficienti 10 (0 + 9) e, quando si ha una configurazione superiore a 9, occorre segnalare l'avvenuta formazione di un riporto al rango decimale superiore.

La correzione si ottiene con l'aggiunta di un 6 (0110) ad ogni rango decimale che, dopo la somma , supera il valore 9 (1001). Il riporto che eventualmente si forma, con la somma del 4° bit di ogni carattere, deve essere portato al 1° bit del carattere a sinistra (quello di valore decimale immediatamente superiore).

+ 0110 se > 9

+1 se riporto — ?

A+B (+6)
= A+B.

Correzione ←

+ 0110 se > 9

DOMANDE

Addizione Decimale

Si eseguano le seguenti somme con la correzione (+6) e tenendo conto di eventuali riporti fra caratteri.

a) 47 + 85 = 132

47					0	1	0	0	0	1	1	1
85					1	0	0	0	0	1	0	1
riporti									1	1	1	
ris. parz.(S)					1	1	0	0	1	1	0	0
Corr. +6						1	1			1	1	
riporti				1	1			1	1			
risultato				1	0	0	1	1	0	0	1	0

= 132

Fig. 10.7.3

b) 126 + 90 = 216

									8	4	2	1
126				1			1			1	1	0
90					1			1				
riporti												
ris. parz.(S)				1	1		1	1	0	1	1	0
Corr. +6						1	1					
riporti			1	1	1	1						
risultato			1	0	0	0	0	1	0	1	1	0

= 216

Fig. 10.7.4

$A - B = \overline{A} + B + 1$ (correzione nella unità)

Sottrazione Dec

Si eseguano ora le seguenti sottrazioni con la correzione : + 1 (riporto) :

(N. binario su 8 bit ma in decimale no?)

c) 97 - 45 = 52

97	1	0	0	1	0	1	1	1
45	1	0	1	1	1	0	1	0
riporti		1	1		1	1		
ris. parz.(S)	0	1	0	0	0	0	0	1
Corr. +1				1				1
riporti							1	
risultato	0	1	0	1	0	0	1	0

= 97 = 45 = 52

Riporto intermedio

no Rip. resp. sup.

Fig. 10.7.5

b) 45 - 97 = -52

45		1				1		1
97	·	1	1	·	1	·	·	·
riporti	1							
ris. parz.(S)	1	0	1	0	1	1	0	1
Corr.+1				1				1
riporti							1	
risultato	1	0	1	1	1	1	1	0

45 / 97

= 11/10 ? Errato

Fig. 10.7.6

Vedere risposta 10-41 ...

il riporto mancato serve... per utilizzare il ris parziale.

RISPOSTE

a) - 47 + 85 = 132

47					0	1	0	0	0	1	1	1
85					1	0	0	0	0	1	0	1
riporti									1	1	1	
ris. parz. (S)					1	1	0	0	1	1	0	0
corr. +6 (S 9)						1	1			1	1	
riporti				1	1			1	1			
risultato				1	0	0	1	1	0	0	1	0

Fig. 10.7.7

b) - 126 + 90 = 216

126	0	0	0	1	0	0	1	0	0	1	1	0
90					1	0	0	1	0	0	0	0
riporti												
ris. parz. (S)	0	0	0	1	1	0	1	1	0	1	1	0
corr. +6 (S 9)												
riporti			1	1	1	1						
risultato	0	0	1	0	0	0	0	1	0	1	1	0

Fig. 10.7.8

c) - 97 - 45 = 52 = 97 + $\overline{45}$

97	1	0	0	1	0	1	1	1
45	1	0	1	1	1	0	1	0
riporti	*	1	1		1	1		
ris. parz.	0	1	0	0	0	0	0	1
corr. +1				1				1
riporti								
risultato	0	1	0	1	0	0	1	0

* si crea un riporto che non viene utilizzato.

Fig. 10.7.9

d) - 45 - 97 = - 52 = 45 + $\overline{97}$

45	0	1	0	0	0	1	0	1
97	0	1	1	0	1	0	0	0
riporti	1							
ris. parz.	1	0	1	0	1	1	0	1
corr. +1				1				1
riporti							1	
risultato	1	0	1	1	1	1	1	0

Fig. 10.7.10

Per la risposta d) si ottiene un risultato errato. Si osservi che in tal caso il risultato parziale, prima della correzione + 1 é il negato del risultato esatto, quindi si potrebbe utilizzare l'assenza del riporto (vedasi risposta c) per non effettuare la correzione +1.

LEZIONE 11

Tempo di studio
4 ore

11. RETE DI CORREZIONE DELLA U.A.

11.1. Nella lezione precedente si é vista la necessità della correzione a + 6 nei casi di somma decimale. Si ricordi che la correzione a + 6 deve essere fatta in tutti i casi di somma nei quali, per ogni carattere, si supera il valore 9, cioé la configurazione binaria 1001 per i quattro bit meno significativi di un carattere in codice GECD.

Con quattro bit si possono esprimere 16 diverse configurazioni : si considerino le configurazioni 1001 = 10, 1011 = 11, 1100 = 12, 1101 = 13, 1110 = 14 e 1111 = 15 (9 <risultato> 15) cioé le configurazioni che in casi di somma decimale devono essere corrette (+6). In tutte é presente il peso 8, contemporaneamente al peso 4 o al peso 2, condizione che non é presente nelle configurazioni che esprimono i valori da 9 a 0.

Logicamente, la correzione a + 6 (9 <risultato >15) può essere così rappresentata :

corr. + 6 = peso 8. (peso 4 + peso 2).

Il risultato di una somma, in un organo decimale può essere superiore al valore 15, per esempio 8 + 8 = 16, 8 + 9 = 17, ecc.

Per questi casi le condizioni sopra ricavate non sono utilizzabili in quanto non c'é mai la presenza del peso 8 nel risultato della somma, si osservi però che per i valori superiori a 15 si forma un riporto in uscita dal quarto bit (03) che non deve interessare il quinto bit (04) ma il primo bit (00) del carattere di rango decimale immediatamente superiore, come é già stato descritto nella lezione 10.

La correzione a + 6 deve essere quindi eseguita, anche quando si ha un riporto dal bit 03 di un carattere (risultato > 15).

Riassumendo le due condizioni necessarie per effettuare la correzione a + 6 si ottiene la seguente espressione :

$$\text{corr. + 6} \quad S03\,(S02 + S01) + RIPO\ 3 \qquad (1)$$

dove : S03 = bit 03 (peso 8) = 1 (risultato somma)

S02 = bit 02 (peso 4) = 1 (risultato somma)

S01 = bit 01 (peso 2) = 1 (risultato somma)

RIPO 3 = riporto del bit 03 verso il carattere di rango decimale superiore (bit 00)

Nella rete di correzione dell'Unità Aritmetica del GE - 115 la correzione a + 6 non è ottenuta aggiungendo 6 al risultato (uscite dell'U.A., BE01, BE02, BE03) con una effettiva operazione di somma ma invertendo il valore (1 a 0 e 0 a 1) di alcuni bit del risultato ottenuto.

Aggiungere un 6, cioè 0110, a un risultato qualsiasi significa :

- non modificare il primo bit del risultato (bit 00 della correzione a + 6 = 0)
- invertire sempre il secondo bit (01) del risultato (bit 01 della correzione a + 6 = 1)
- invertire il terzo bit (02) del risultato se non si forma un riporto nel bit 02
- invertire il quarto bit (03) del risultato se si forma un riporto nel bit 03.

$C_{1\cdot01+} = S_{02}^{3} \cdot (S_{02}^{4} + S_{01}^{2}) + \text{Riporto}$

$C_{1\cdot02+} = (C_{101+}) \cdot \overline{S_{01}}$

$C_{1\cdot03+} = (C_{101+}) \cdot (S_{01} + S_{02})$

Tutti i possibili casi di inversione per i bit di un carattere (risultato parziale) al quale si aggiunge 6, sono riportati nella tabella di Fig. 11.1.1 :

BIT	03	02	01	00
RISULTATO PARZIALE	1	0	1	
CORREZIONE	0	1	1	
RISULTATO FINALE	0 ●	0	0 *	
RISULTATO PARZIALE	1	1	0	
CORREZIONE	0	1	1	
RISULTATO FINALE	0 ●	0 ▲	1 *	
RISULTATO PARZIALE	1	1	1	
CORREZIONE	0	1	1	
RISULTATO FINALE	0 ●	1	0 *	
RISULTATO PARZIALE	0	0	0	
CORREZIONE	0	1	1	
RISULTATO FINALE	0	1 ▲	1 *	
RISULTATO PARZIALE	0	0	1	
CORREZIONE	0	1	1	
RISULTATO FINALE	1 ●	0	0 *	

* Inversione del bit 01

▲ Inversione del bit 02

● Inversione del bit 03

Riporto fra bit dello stesso carattere

Riporto verso il rango decimale superiore

Fig. 11.1.1

CI 01 + ADDIZIONE

Se si denomina CI 01 + il comando che effettua l'inversione del bit 01 del risultato parziale nei casi di somma, si può stabilire l'equazione che lo esprime.

8 4 2 Cl. Rip.

$$CI\ 01 + = S03\ (S02 + S01) + RIPO\ 3 \quad (2)$$

che è la stessa equazione (1) ; infatti si ha sempre inversione del bit 01 quando si esegue la correzione + 6.

l'inversione del bit 02.....

RISPOSTE

a) - CI02 + = (CI01 +) · $\overline{S01}$ ②

b) - CI03 + = (CI01 +) · (S01 + S02) ③

DOMANDE

Si ricavi ora, dalle tabelle riportate all'inizio di questo paragrafo :

a) - l'espressione di CI02 + (comando d'inversione del bit 02) in funzione di CI01 + e di S01 :

$CI02+ = (CI01+) \cdot \overline{S01}$

($\overline{S01}$ è quello che inverte il bit 01 in caso di ris. parziale)

b) - l'espressione di CI03 + in funzione di CI01 + di S01 e S02 :

$CI03 = (CI01+) \cdot (S01 + S02)$

11.2. SOTTRAZIONE DECIMALE

Si procede ricavando i comandi di inversione necessari nelle sottrazioni decimali.

Si ricorda che non vi è alcun problema di correzione nei casi di saldo positivo.

Nei casi di sottrazione con saldo negativo, la rete di correzione dell'Unità Aritmetica del GE - 115 si comporta in modo diverso da quello esaminato in precedenza. Si ha sempre la somma del minuendo con il negato del sottraendo e sempre l'aggiunta di una unità che viene fatta automaticamente ponendo il segnale RIPO a 1 e quindi $\overline{RIPO} = 0$ (vedasi stadio 00 della Unità Aritmetica).

Il risultato di questa somma (in realtà della sottrazione) non dà luogo ad alcun riporto fra ranghi decimali se il saldo è negativo.

Si utilizza questa segnalazione (assenza di riporto, cioè RIPO 3 = 0) per effettuare una correzione a + 10 sul risultato ottenuto.

Così facendo il risultato che fornisce la rete di correzione non risulta ancora esatto come si può osservare dall'esempio di Fig. 11.2.1.

2 - 8 = - 6

	03	02	01	00	
2 →	0	0	1	0	2 + (contenuto in RO)
8 →	0	1	1	1	8 + (contenuto in RA)
	-	-		1	1 (RIPO)
	1	0	1	0	SALDO NEGATIVO (assenza di riporto dal bit 03) → verso 00.rd.sal.
+ 10 →	1	0	1	0	= Correzione + 10
	0	1	0	0	RISULTATO FINALE in complemento a 10 (uscita dalla rete di correzione dell'U.A.).

Fig. 11.2.1

Riporto non utilizzato

I bit numerici formano una configurazione binaria corrispondente al valore decimale 4 e non al valore 6 come dovrebbe essere per avere un risultato esatto.

Si osservi che 4 è il complemento a dieci di 6. In risultato può essere raddrizzato eseguendo una seconda istruzione di sottrazione, nella quale si sottrae a zero il risultato errato.

Continuando l'esempio: 2 - 8 = - 6 si ha :

	0	0	0	0	0 +
	1	0	1	1	4 +
				1	1 = (RIPO)
	1	1	0	0	SALDO NEGATIVO (assenza riporto dal bit 03)
	1	0	1	0	Correzione + 10
	0	1	1	0	RISULTATO FINALE ESATTO

(Riporto non utilizzato)

Fig. 11.2.2

Per quanto sinora esaminato risulta evidente che in tutti i casi di sottrazione con saldo negativo, il risultato è espresso in complemento a 10 ad eccezione del valore 5 che è uguale al suo complemento a 10.

Comunque, senza distinguere questo caso particolare del valore cinque che può essere considerato come tutti gli altri valori (0 + 9) è necessario fare una seconda operazione di sottrazione quando il sottraendo è maggiore del minuendo.

Nello studio del libro " Introduzione al GE - 115 " si è esaminato come è possibile valutare sia il sottraendo che il minuendo prima di eseguire una sottrazione decimale.

CI 01 – (SOTTRAZIONE)

DOMANDE

Dalle considerazioni fatte e con l'interpretazione delle tabelle di fig. 11.2.3, si ricavino i comandi di inversione per la sottrazione, in modo analogo a quanto fatto per la somma : correzione a -10

c) - CI 01 – – RIPO 3

.....

.....

d) - CI 02 - (in funzione di CI 01 e di S01)

..CI 02 – = (CI 01 –) : S 01

.....

e) - CI 03 - (in funzione di CI 01 e di S01 e S02)

....CI 03 – = (CI 01 –) : S01 : S02

BIT	03	02	01	00
RISULTATO PARZIALE	0	0	0	
CORREZIONE	1	0	1	
RISULTATO FINALE	1●	0	1*	
RISULTATO PARZIALE	0	0	1	
CORREZIONE	1	0	1	
RISULTATO FINALE	1●	1▲	0*	
RISULTATO PARZIALE	0	1	0	
CORREZIONE	1	0	1	
RISULTATO FINALE	1●	1	1*	
RISULTATO PARZIALE	0	1	1	
CORREZIONE	1	0	1	
RISULTATO FINALE	0	0▲	0*	
RISULTATO PARZIALE	1	0	0	
CORREZIONE	1	0	1	
RISULTATO FINALE	0●	0	1*	
RISULTATO PARZIALE	1	0	1	
CORREZIONE	1	0	1	
RISULTATO FINALE	0●	1▲	0*	
RISULTATO PARZIALE	1	1	0	
CORREZIONE	1	0	1	
RISULTATO FINALE	0●	1	1*	
RISULTATO PARZIALE	1	1	1	
CORREZIONE	1	0	1	
RISULTATO FINALE	1	0▲	0*	

* Inversione del bit 01

▲ Inversione del bit 02

● Inversione del bit 03

↙ Riporto fra bit dello stesso carattere

↙● Riporto (bit 03) verso rango decimale superiore

Fig. 11.2.3

RISPOSTE

c) - $CI\ 01^{-} = \overline{RIPO\ 3}$ (4)

Si ha sempre la correzione a + 10 quando non si ha emissione di riporto dal bit 03 (RIPO 3) e quindi si ha sempre inversione del bit 01.

d) - $CI\ 02^{-} = (CI\ 01\ -)\ .\ S01$ (5)

e) - $CI\ 03^{-} = (CI\ 01\ -)\ .\ (\overline{S01} + \overline{S02})$ (6)

11.3. COMANDI DELLA UNITA' ARITMETICA

E' ora necessario dotare l'U.A. di certi comandi che inseriscano o no gli stadi di correzione a seconda che si operi in decimale o in binario; e nel primo caso che inseriscano la correzione a + 6 o a + 10 a seconda che si esegua una addizione oppure una sottrazione.

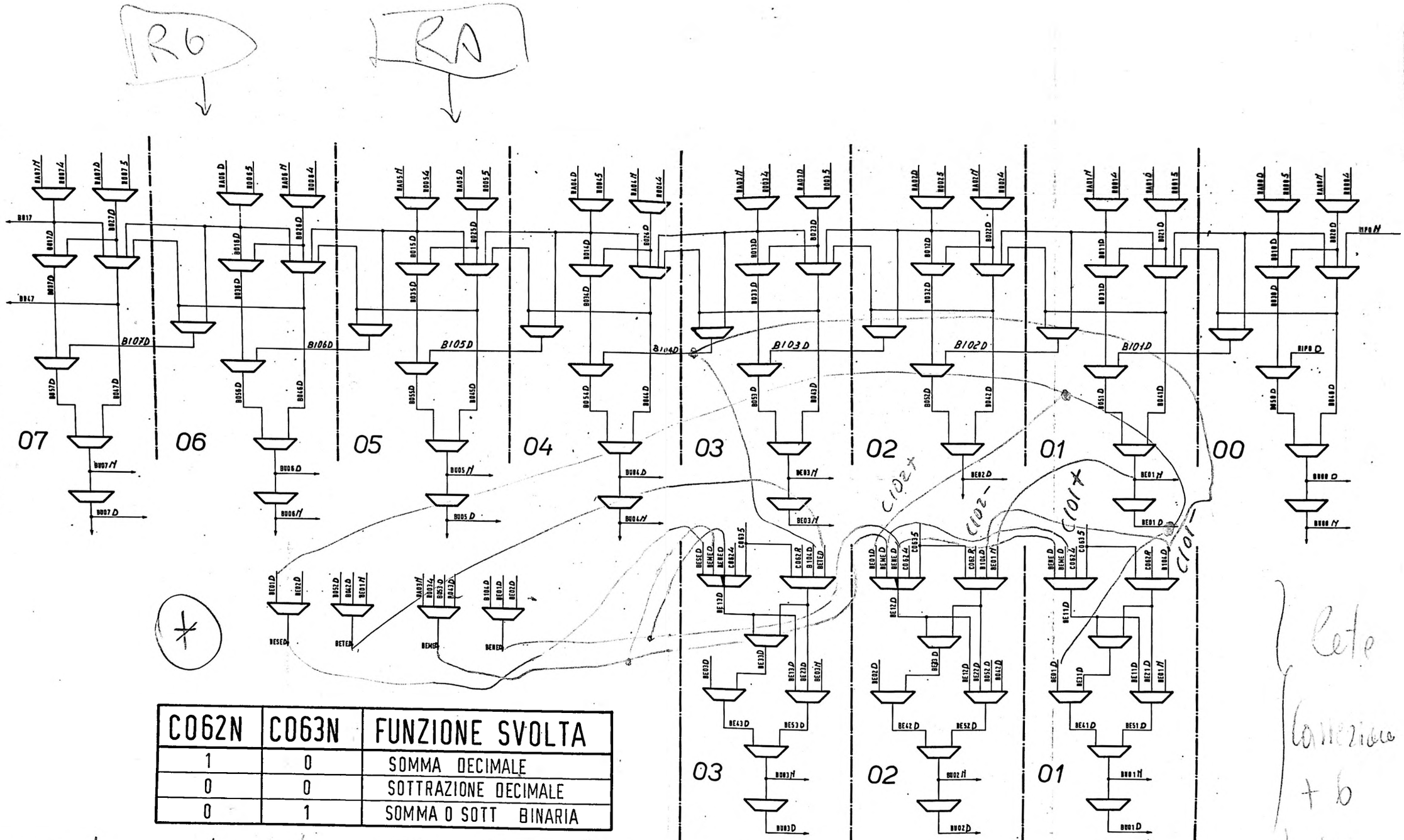
Tali comandi sono CO63 e CO62 che vengono così utilizzati :

COMANDI	OPERAZIONE
$\overline{CO62}$ - CO63	SOMMA DECIMALE
CO62 - CO63	SOTTRAZIONE DECIMALE
CO62 - $\overline{CO63}$	SOMMA o SOTTRAZIONE BINARIE.
$\overline{CO62}$ - $\overline{CO63}$	OR ESCLUSIVO

Fig. 11.3.1

Le correzioni saranno così effettuate a condizione che il risultato parziale dell'operazione lo richieda ed esista il relativo comando.

L'insieme dell'unità aritmetica e della rete di correzione è riportato nella Fig. 11.3.2 .



C062N	C063N	FUNZIONE SVOLTA
1	0	SOMMA DECIMALE
0	0	SOTTRAZIONE DECIMALE
0	1	SOMMA O SOTT BINARIA

1 = Ripeto

se $\overline{C062N} = 1$

1 1 OR esclusivo

= BARO.4

Cete

Correzione

+ 6

+ 10

140 - 141 - 142 - 143

Fig. 11.3.2

CI 01 + è così realizzato

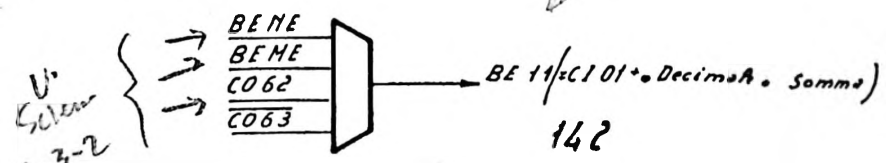


Fig. 11.3.3

dove BENE $\overline{B104 + BE01 + BE02}$

BEME $\overline{\overline{RA03} + RO03 + BO53 + BO43}$

infatti CI 01 + $\overline{BEME + BENE}$

Per la dimostrazione di questa espressione si veda la nota alla fine della lezione.

CI 01 - è realizzato dal seguente circuito

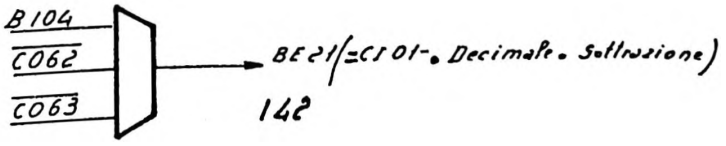


Fig. 11.3.4

dove B104 RIPO3 cioè il ripo dello stadio 03 (si veda la Fig. 11.3.2)

Infine, i seguenti circuiti realizzano :

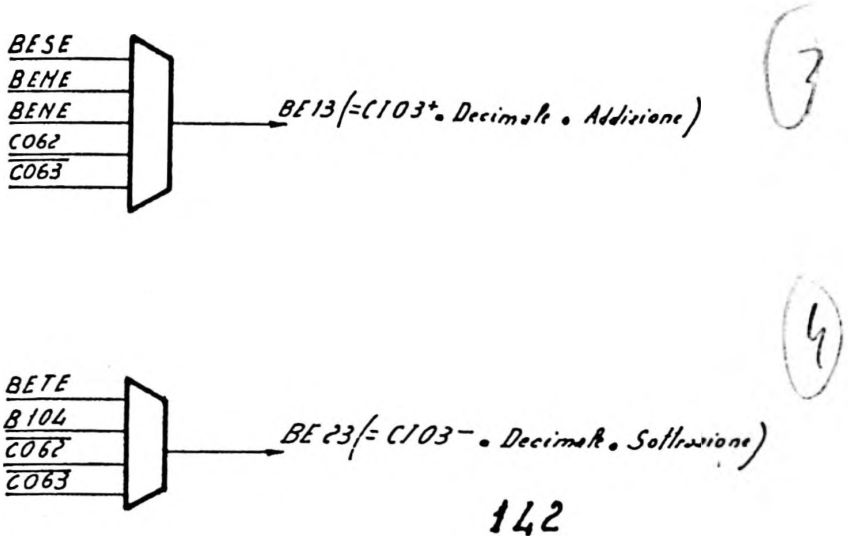


Fig. 11.3.7

dove $BESE = \overline{BE01 + BE02}$

e $BETE = \overline{BO52 + BO42 + BEO1}$ (si osservi nel la Fig. 11.3.2)

che $\overline{BO52 + BO42} = BE02$

Si controlli ora, con esempi di utilizzazione, se la rete di correzione sin qui esaminata e riportata in Fig. 11.3.2 realizza correttamente le correzioni sia nei casi di somma che nei casi di sottrazione, siano esse binarie o decimali.

Per esempio nel caso di una somma binaria la rete di correzione non deve apportare alcuna modifica al risultato dell'Unità Aritmetica che si suppone dia il seguene :

BE03	BE02	BE01	BE00
1	0	1	0

Fig. 11.3.8

In uscita della rete di correzione si deve perciò ottenere :

BU03	BU02	BU01	BE00
1	0	1	0

Fig. 11.3.9

Si controlli la Fig. 11.3.12.

DOMANDE

Si segua sulla Fig. 11.3.13 l'andamento dei vari livelli nel caso di somma dei seguenti valori :

a) -

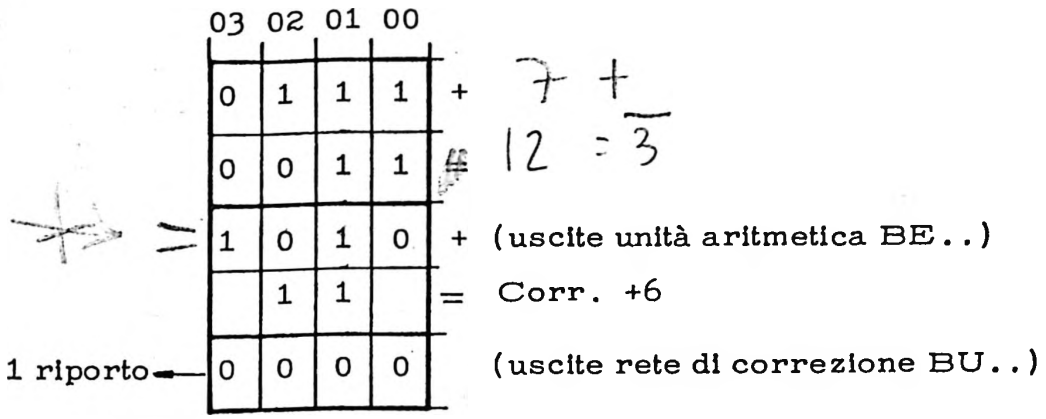


Fig. 11.3.10

Si segna sulla Fig. 11.3.14 l'andamento dei vari livelli nel caso di sottrazione dei seguenti valori.

b) -

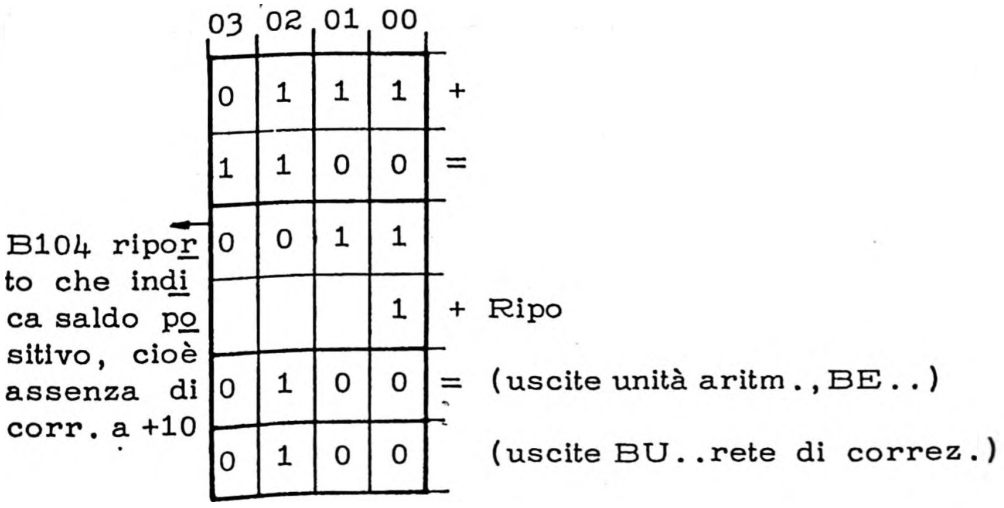
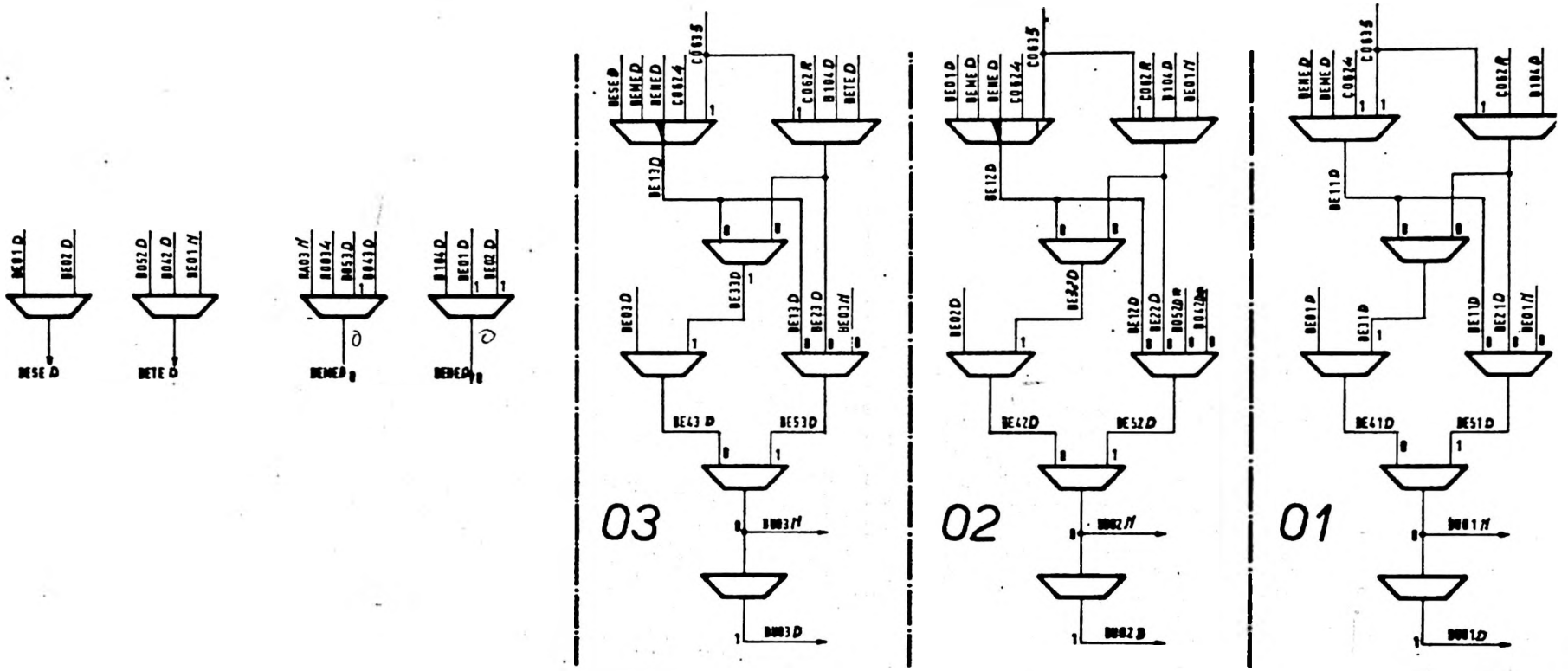


Fig. 11.3.11

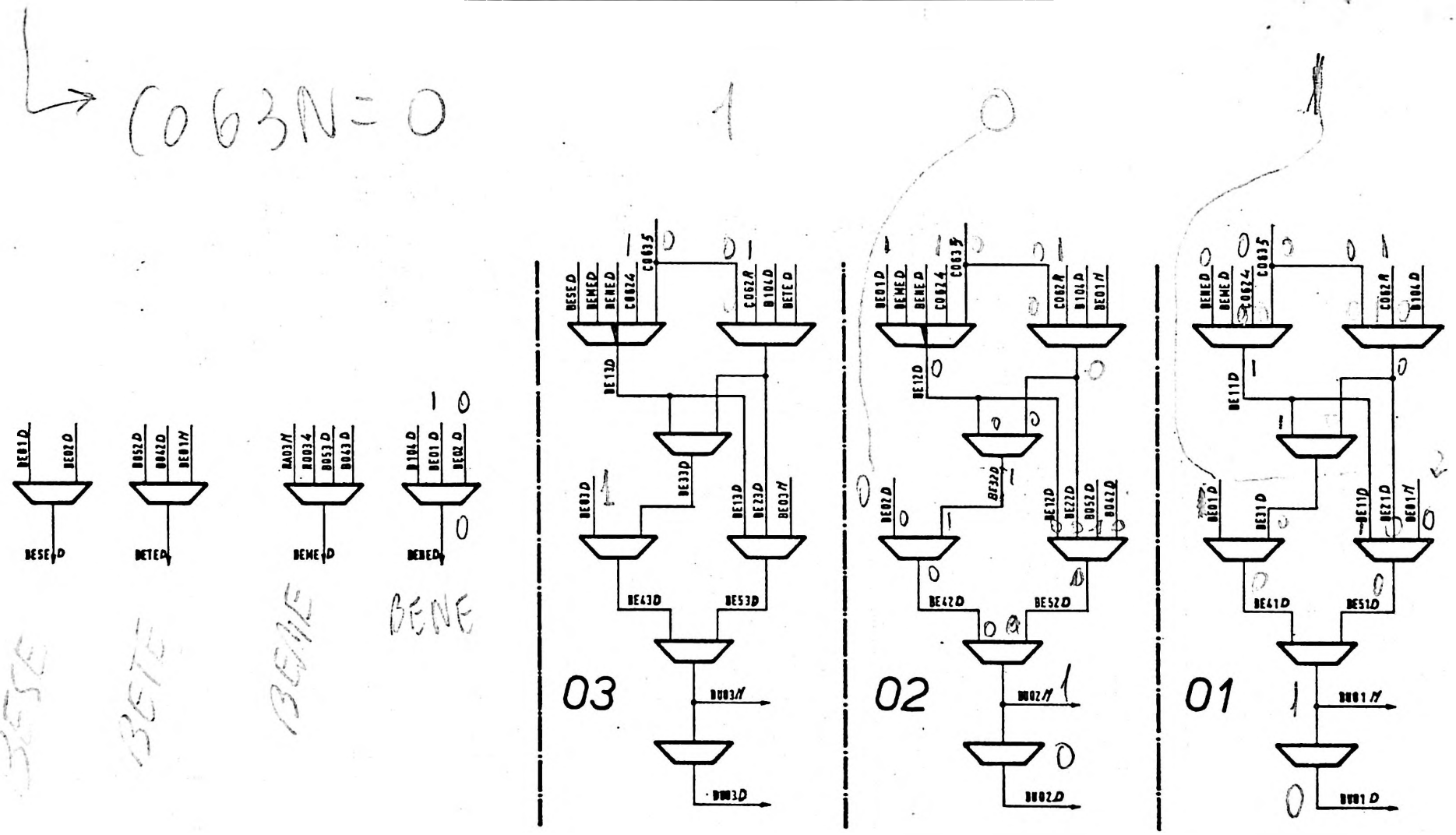


* B052D + B042D = BE02N

C062N	C063N	FUNZIONE SVOLTA
1	0	SOMMA DECIMALE
0	0	SOTTRAZIONE DECIM.
0	1	SOMMA O SOTT BINARIA

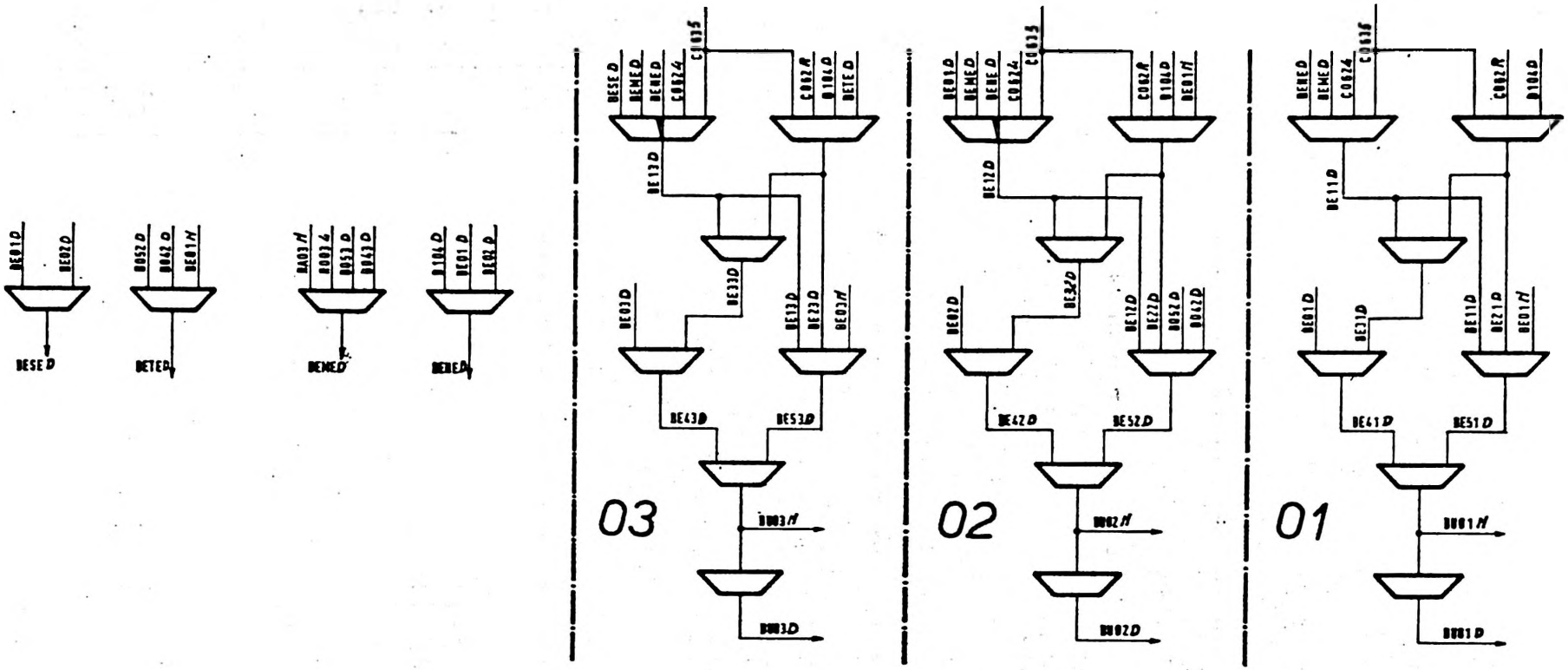
142

Fig. 11.3.12



C062N	C063N	FUNZIONE SVOLTA
1	0	SOMMA DECIMALE
0	0	SOTTRAZIONE DECIM.
0	1	SOMMA O SOTT BINARIA

Fig. 11.3.13



C062N	C063N	FUNZIONE SVOLTA
1	0	SOMMA DECIMALE
0	0	SOTTRAZIONE DECIM.
0	1	SOMMA O SOTT BINARIA

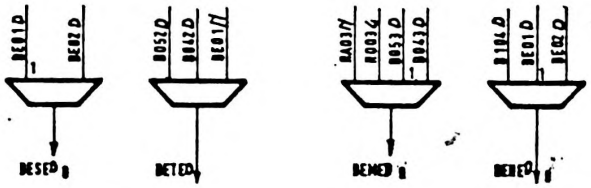
Fig. 11.3.14

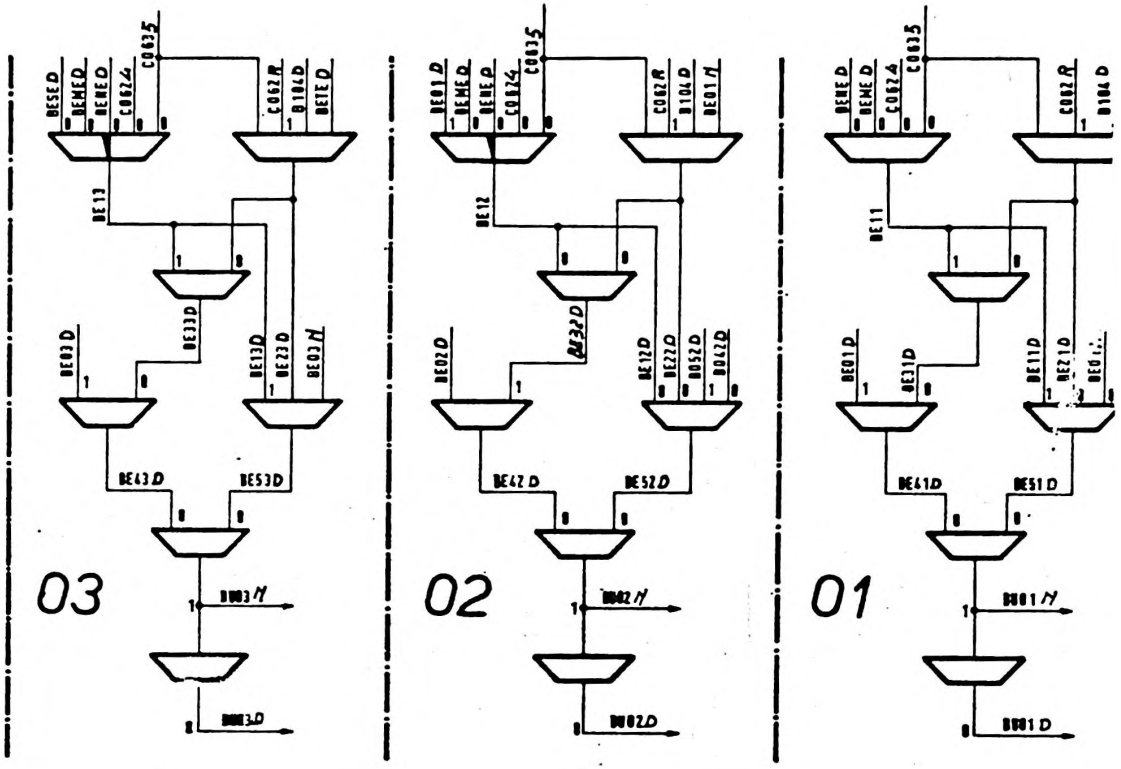
RISPOSTE

a) - Controllare la Fig. 11.3.15

b) - Controllare la Fig. 11.3.16

In entrambe le risposte, per ogni NOR, non sono stati riportati tutti i livelli d'ingresso, ma solo quelli sufficienti per determinare il livello d'uscita del NOR stesso.

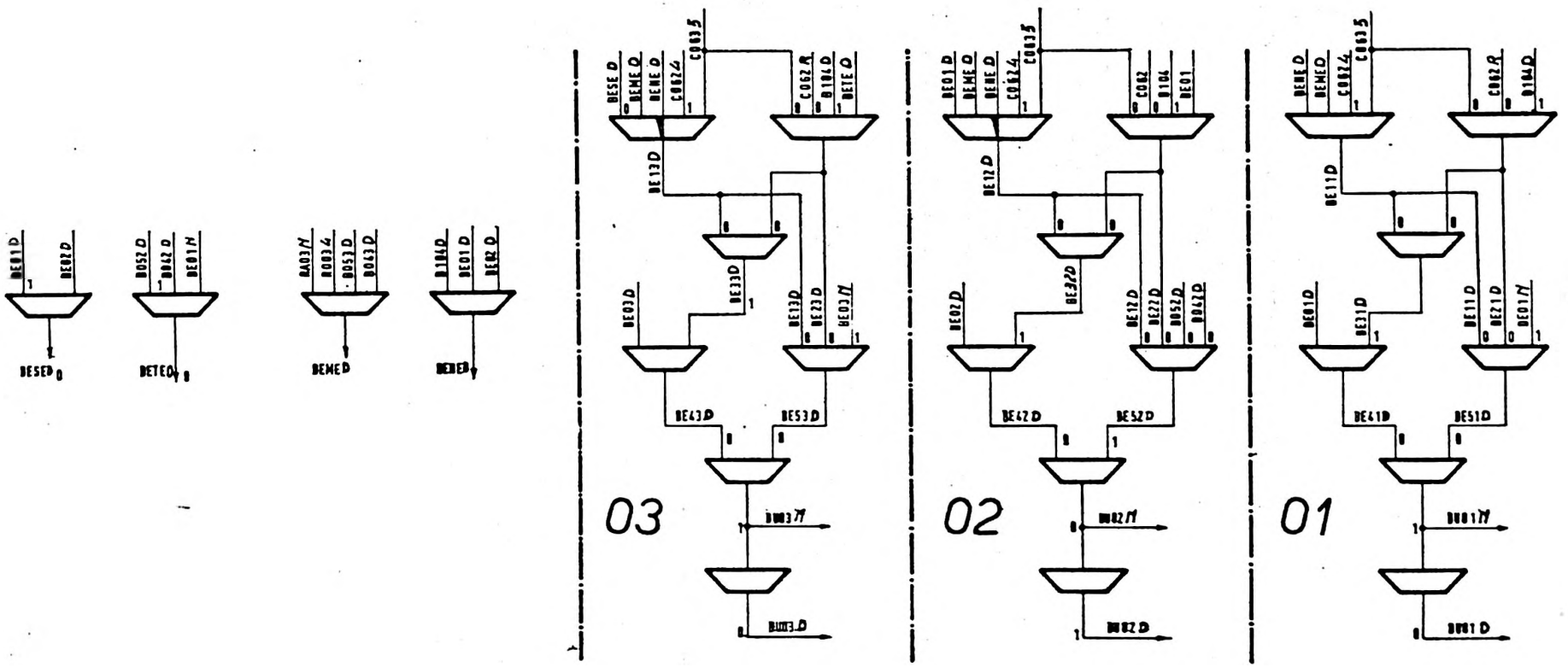




C062N	C063N	FUNZIONE SVOLTA
1	0	SOMMA DECIMALE
0	0	SOTTRAZIONE DECIM.
0	1	SOMMA O SOTT BINARIA

Fig. 11.3.15

es. Sottrarre



C062N	C063N	FUNZIONE SVOLTA
1	0	SOMMA DECIMALE
0	0	SOTTRAZIONE DECIM.
0	1	SOMMA O SOTT BINARIA

Fig. 11.3.16

NOTA: Si riporta qui di seguito, la dimostrazione del la realizzazione del comando d'inversione.

$$CI\ 01 + = \overline{BEME + BENE} = RIPO3 + SO3 \,..\, (SO1 + SO2)$$

dove $BEME = \overline{\overline{RA03} + RO03 + BO53 + BO43}$

e $BENE = \overline{B104 + BE01 + BE02}$

$$CI\ 01 + = \overline{\overline{\overline{RA03} + RO03 + BO53 + BO43} + \overline{B104 + BE01 + BE02}}$$

$$CI\ 01 + = \overline{\underbrace{RA03 \,.\, \overline{RO03}}_{B013} \,.\, \overline{BO53} \,.\, \overline{BO43} + \overline{B104} \,.\, \overline{BE01} \,.\, \overline{BE02}}$$

B013 (rete logica dell'Unità Aritmetica)

$$CI\ 01 + = \overline{\underbrace{\overline{BO13} \,.\, \overline{BO53} \,.\, \overline{BO43}}_{\overline{A}.\overline{B}.\overline{C} = (A+C)\,.\,\overline{B}\,.\,\overline{C}} + \overline{B104} \,.\, \overline{BE01} \,.\, \overline{BE02}}$$

$$CI\ 01 + = \overline{\underbrace{(BO13 + BO43)}_{B104} \,.\, \underbrace{\overline{BO53} \,.\, \overline{BO43}}_{BE03} + \overline{B104} \,.\, \overline{BE01} \,.\, \overline{BE02}}$$

(rete logica dell'U.A.)

$$CI\ 01 + = \overline{\overline{B104} \,.\, (\overline{BE03} + \overline{BE01} \,.\, \overline{BE02})}$$

$$CI\ 01 + = B104 + \overline{(\overline{BE03} + \overline{BE01} \,.\, \overline{BE02})}$$

$$CI\ 01 + = B104 + BE03 \,.\, \overline{(\overline{BE01} \,.\, \overline{BE02})}$$

$$CI\ 01 + = B104 + BE03 \,.\, (BE01 + BE02)$$

$$CI\ 01 + = RIPO3 + SO3 \,.\, (SO1 + SO2)$$

11.4. FORMAZIONE RIPORTI

Si conclude con l'esame del circuito dei riporti, lo studio dell'Unità Aritmetica.

Nei precedenti paragrafi si è esaminata la formazione dei riporti per ogni stadio (B101 + B107) e l'utilizzazione del riporto 03 (B104) nella rete di correzione.

Si analizza ora la differente formazione dei riporti che interessano ranghi decimali diversi, sia nel caso di operazioni binarie che nel caso di operazioni decimali.

Il flip-flop RIPO è destinato a memorizzare lo eventuale riporto risultante dal trattamento di due caratteri in modo da poterlo utilizzare nella successiva elaborazione dei seguenti caratteri.

Tale riporto è detto " RIPORTO FINALE " e viene fornito al flip-flop RIPO tramite una rete a NOR che opera in base alle seguenti considerazioni.

- ISTRUZIONI BINARIE (AB, SB, CMC, CMI)
  Il riporto finale coincide con il riporto fornito all'ultimo stadio della rete binaria.

- ISTRUZIONE AD
  Il riporto finale viene emesso :
  a) se è stato generato un riporto dal 4° stadio della rete binaria
  b) se il risultato fornito dai primi 4 stadi della rete binaria è ≥ 9 (per entrambi i casi il risultato viene corretto dall'apposita rete).

- ISTRUZIONE SD
  Il riporto viene emesso ogni volta che il 4° stadio della rete binaria genera un riporto. Ciò si verifica quando il termine A di una sottrazione è maggiore del termine B.
  Nel caso opposto il riporto non viene emesso e rende necessaria la correzione decimale.

- ISTRUZIONE XC
  Il riporto finale viene forzato dalla presenza del segnale BARO.

DOMANDE

a) - Nei casi di somma decimale, quand'è necessario formare un riporto verso il rango decimale superiore ?

se > 9

.....

.....

b) - Nei casi di sottrazione decimale quand'è necessario formare un riporto verso il rango decimale superiore ?

è ---→

.....

.....

c) - Esiste qualche condizione che limita la formazione del riporto nello stadio 07 con operazioni binarie ?

.....

.....nessuna condizione.....

RISPOSTE

a) - Tutte le volte che il risultato della somma (uscita unità aritmetica) è maggiore di 9, anche nei casi in cui non si forma automaticamente B104 (risultato<15).

b) - Non si ha alcuna necessità di forzare il riporto B104; esso si forma automaticamente.

c) - Non esiste alcuna limitazione. Quando nello stadio 07 si forma un riporto, questo viene utilizzato nel carattere di valore superiore.

Il circuito che realizza le tre condizioni di riporto esaminate nelle domande e risposte a, b, c è riportato in Fig. 11.4.2.

Come si nota dal disegno, il riporto per qualsia si tipo di operazione viene registrato (con CA665), in un flip-flop denominato RIPO per essere utilizzato durante l'elaborazione del carattere successivo (rango decimale superiore) nell'unità aritmetica.

Nello stesso flip-flop sono indicati i comandi di set e di reset, validati con altri segnali che servono per porre RIPO nello stato desiderato (per esempio in sottrazione decimale occorre forzare un riporto).

A queste operazioni di set e di reset provvedono gli organi logici di una macchina.

DOMANDE

Quali dei tre segnali : B118, B128, B138

d) - Realizza il riporto per la somma decimale ?

B128

e) - E quale realizza la somma binaria ?

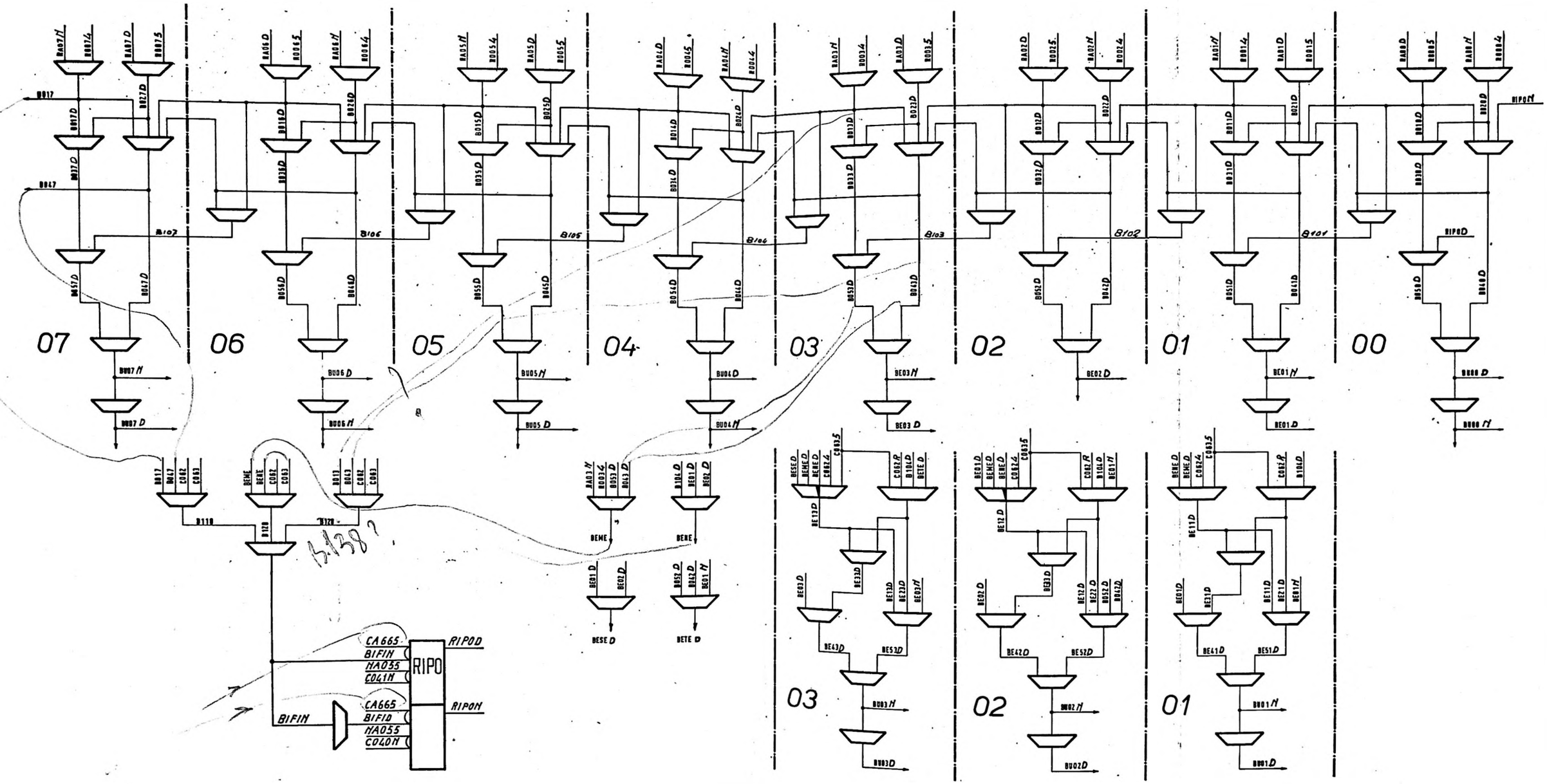
B118

RISPOSTE

d) - Il riporto della somma decimale è realizzato da B128.

e) - B118 realizza il riporto sia per la somma binaria che per la sottrazione binaria.
B138 interessa nella sottrazione decimale.

In Fig. 11.4.2 è riassunta, in unico schema, l'unità aritmetica con tutti i suoi organi studiati nei precedenti paragrafi.



CO62N	CO63N	FUNZIONE SVOLTA
1	0	SOMMA DECIMALE
0	0	SOTTRAZIONE DECIMALE
0	1	SOMMA O SOTT. BINARIA

140 - 141 - 142 - 143

Fig. 11.4.2

$\oplus = \bar{a}b + a\bar{b}$

11.5. OR ESCLUSIVO

L'Unità Aritmetica viene utilizzata oltre che per eseguire somme e sottrazioni in binario ed in decimale, anche per eseguire l'operazione logica di OR esclusiva. Tale operazione consiste nell'effettuare la somma fra i caratteri che si vogliono mettere in OR esclusivo, senza considerare i riporti che si possono formare.

Il risultato di ogni bit assume così il valore logico 1 quando gli ingressi relativi sono diversi ($\bar{a}.b+a.\bar{b}$).

L'U.A. se non sta eseguendo una somma o una sottrazione binaria e decimale, si trova sempre abilitata ad eseguire l'operazione di OR esclusivo per mezzo dei comandi CO62N e CO63N.

Quando questi due comandi sono ambedue a livello logico " 1 " si ottiene il segnale BARO a 1, come indicato nella Fig. 11.5.2.

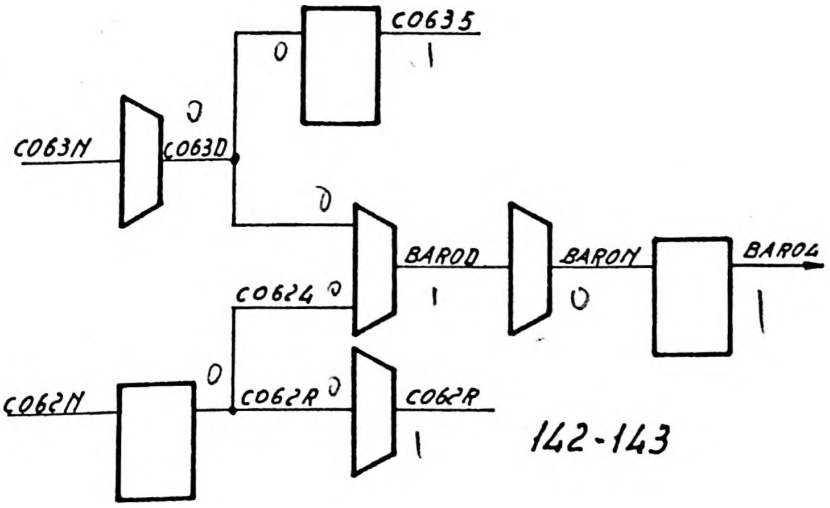


Fig. 11.5.1

Il segnale BARO 4 viene utilizzato nell'U.A. per impedire la formazione dei riporti fra uno stadio ed il successivo dell'U.A.

Si controlli la funzione del segnale BARO 4 sullo schema di Fig. 11.5.2.

v. BARO

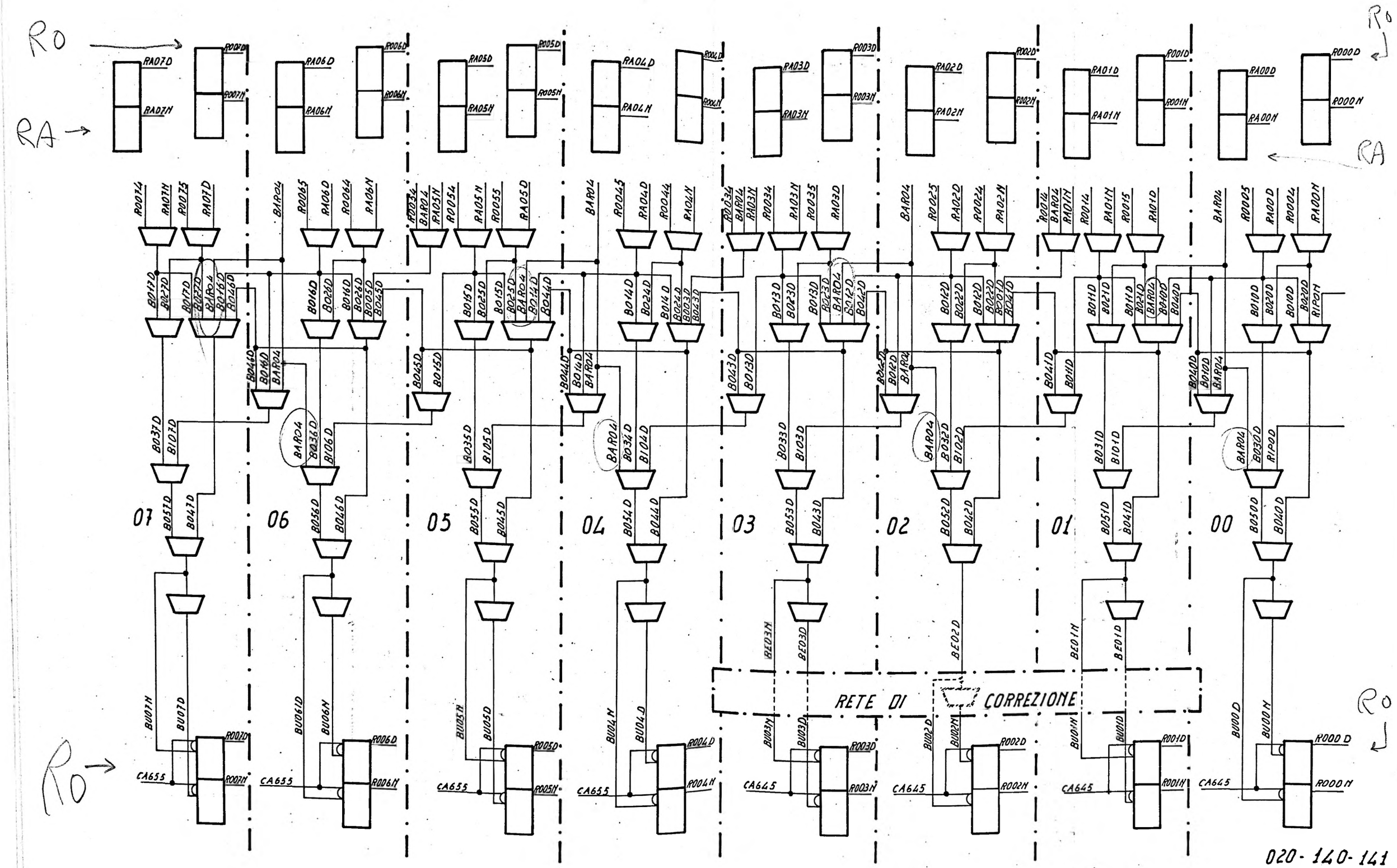


Fig. 11.5.2

11.6. CIRCUITI DI LOGICA DEL RISULTATO

Tre appositi decodificatori, abbinati all'Unità Aritmetica, forniscono le seguenti indicazioni :

1° - risultato decimale (primi 4 bit) uguale a zero (BA03D)

2° - risultato relativo agli ultimi 4 bit uguale a zero (BA47D)

3° - risultato dell'OR esclusivo tra due caratteri uguale a zero (BABAD)

Le indicazioni fornite dai tre circuiti agiscono :

- SULLA MATRICE LOGICA come condizioni di un cambiamento di STATO.
- SUL FLIP-FLOP DIVE che staticizza l'indicazione "RISULTATO DIVERSO DA ZERO" e, a questo scopo, viene interessato dal 1° circuito delle istruzioni decimali e dalla combinazione del 1° e 2° circuito nelle istruzioni binarie.
- SUL CIRCUITO DI ABILITAZIONE DELLO SPARAMARTELLI MZ in quanto l'abilitazione allo sparo avviene se si riscontra eguaglianza (OR esclusivo a zero) tra il carattere del campo da stampare ed il codice fornito dal fotodisco di sincronismo.

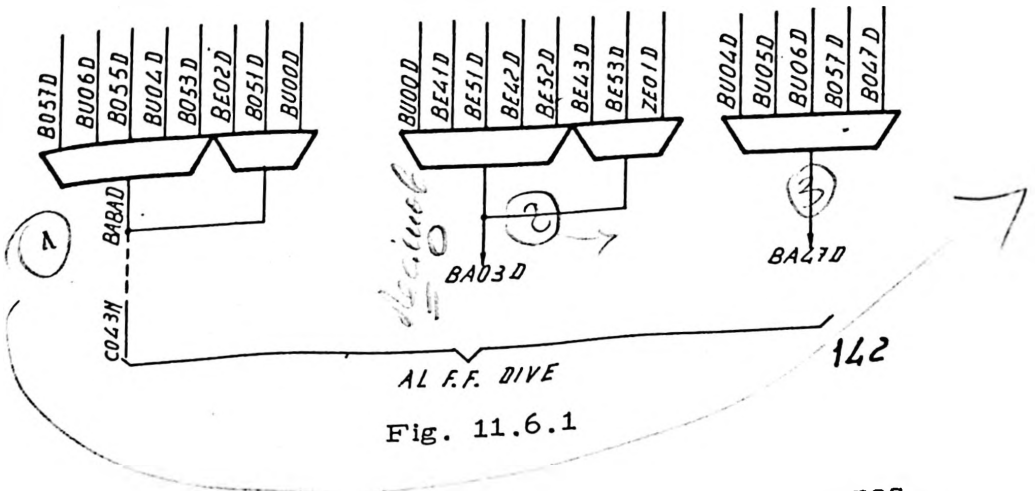
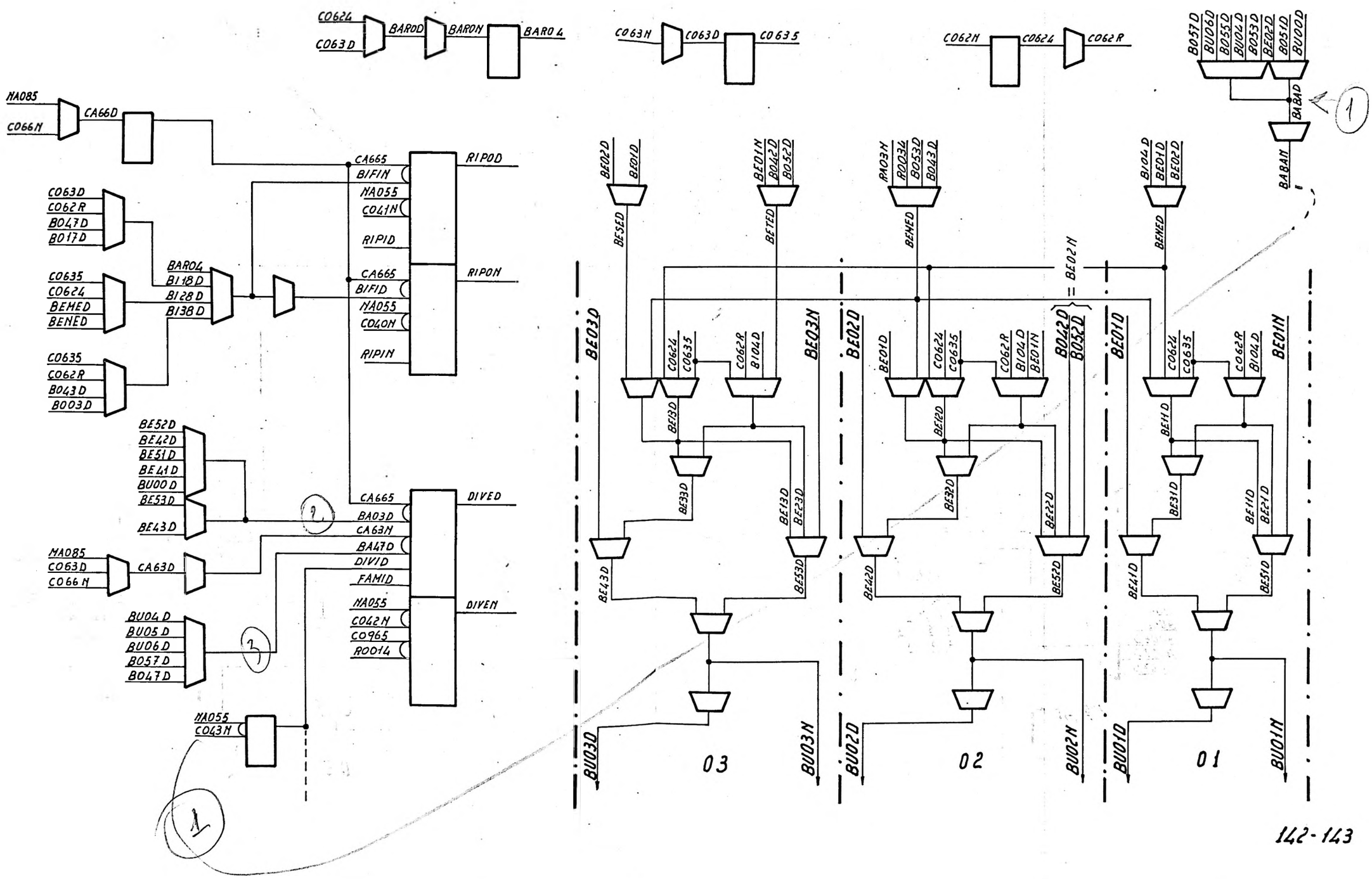


Fig. 11.6.1

La Fig. 11.6.2 riporta lo schema delle connessioni del flip-flop DIVE.



142-143

Fig. 11.6.2

11.7. Si pensi che l'Unità Aritmetica non funzioni in modo corretto; in tal caso sarebbe necessario, per ricercare il guasto, fare delle operazioni che interessino appunto l'U.A.

La velocità di elaborazione é comunque tale da rendere difficoltoso l'intervento diretto.

Per rendere più facile il controllo e la ricerca di un guasto é necessario usare la chiave MELE -MESE.

Le operazioni che si devono eseguire sono le seguenti :

- eseguire l'istruzione che interessa l'U.A. in PASSO a PASSO
- procedere nel modo sopra indicato fino ad arrivare in fase beta
- eseguire lo STATO che consenta di caricare il registro RA con il 1° carattere sul quale operare
- posizionare la chiave su MELE ed eseguire lo STATO che consente il caricamento del registro RO (In tal caso RO viene caricato con il carattere che proviene da memoria).
- posizionare la chiave su MELE ed eseguire il caricamento di RO con il risultato proveniente da U.A.

Procedendo in questo modo si ha la possibilità di controllare se ambedue i caratteri provenienti da memoria e che interessano l'U.A. sono corretti.

11.8. PULSANTI MMID - MEMED (MELE - MESE)

Sulla console operativa esiste un pulsante chiamato MELE e MESE.

Procedendo PASSO a PASSO e con successivi VIA si può svolgere l'operazione fino ad avere caricato con il 1° carattere operando il registro RA (se quest'ultimo avesse una configurazione errata si avrebbe segnalazione d'errore prima dell'intervento dell'U.A.) poi ponendo la chiave su MELE e premendo un VIA si fa avviare il primo spezzone della Linea di Ritardo. Al termine del 1° spezzone non si avvia il secondo. Ciò consente di vedere in RO il contenuto proveniente da memoria e verificare se è esatto. Ponendo poi la chiave su MESE e premendo il VIA si fa partire l'ansa aritmetica ed il secondo spezzone di L.d.R. ottenendo il risultato dell'operazione in RO e la sua scrittura in memoria. Questo è il procedimento corretto di utilizzazione della chiave MELE - MESE.

E' indispensabile che le operazioni siano fatte con la sequenzialità esposta poichè una manovra errata può provocare l'alterazione delle condizioni di macchina esistenti e quindi indurre a delle considerazioni inesatte. Analizzando lo schema di Fig. 10.14.1 si risponda alle domande riportate nella pagina seguente.

L.d.R.

DOMANDE

a) - Quando si procede in PASSO a PASSO quale comando fa fermare il riciclo della L.d.R. ?

.....MELE + START (037N
.....

b) - La chiave MELE - MESE quali segnali di macchina origina e quali valori logici hanno in condizione di riposo ?

.....MELE=0 ... MESE=1
.....
MIMID - MEMED

c) - Il flip-flop TEMA in che stato si trova al termine di ogni ciclata essendo in PASSO a PASSO ?

.....= Set (comando (037N .1
.....

d) - Ponendo la chiave su MELE i segnali di macchina corrispondenti a quale valore logico si riportano ?

.....MIMID=1 ... MEMED=1..
.....

e) - Essendo in MELE si pensi di premere il VIA (l'elaboratore si presume fermo perché si procede in PAPA). Parte la L.d.R. ? (Indicare per che via se ciò si verifica).

..Si. Resta TEMA ... ... Parte NAPA 4 ... 1° spezz L.d.R
.....
e il 1° spezzone è bloccato da MEMED = 1

f) - Tenendo presente che il segnale MIMID = 1 forza CO61N = 0, perché non può partire il 2° spezzone della L.d.R. ?

Forza l'ampliflip ⊕ e quindi fa CO61N = 0

.CO61N=0.....
CO61N=1 ... arriva NA55N .. CE60D = 0 e anche CE61D = 0 ... (perché MIMID = 1)

CA61N bene NO 2° spezz

g) - Tenendo sempre la chiave su MELE e premendo un ulteriore VIA cosa si verifica ?

.....
.....

h) - Portando la chiave su MESE a quali valori logici vanno i segnali interessati dalla chiave ?

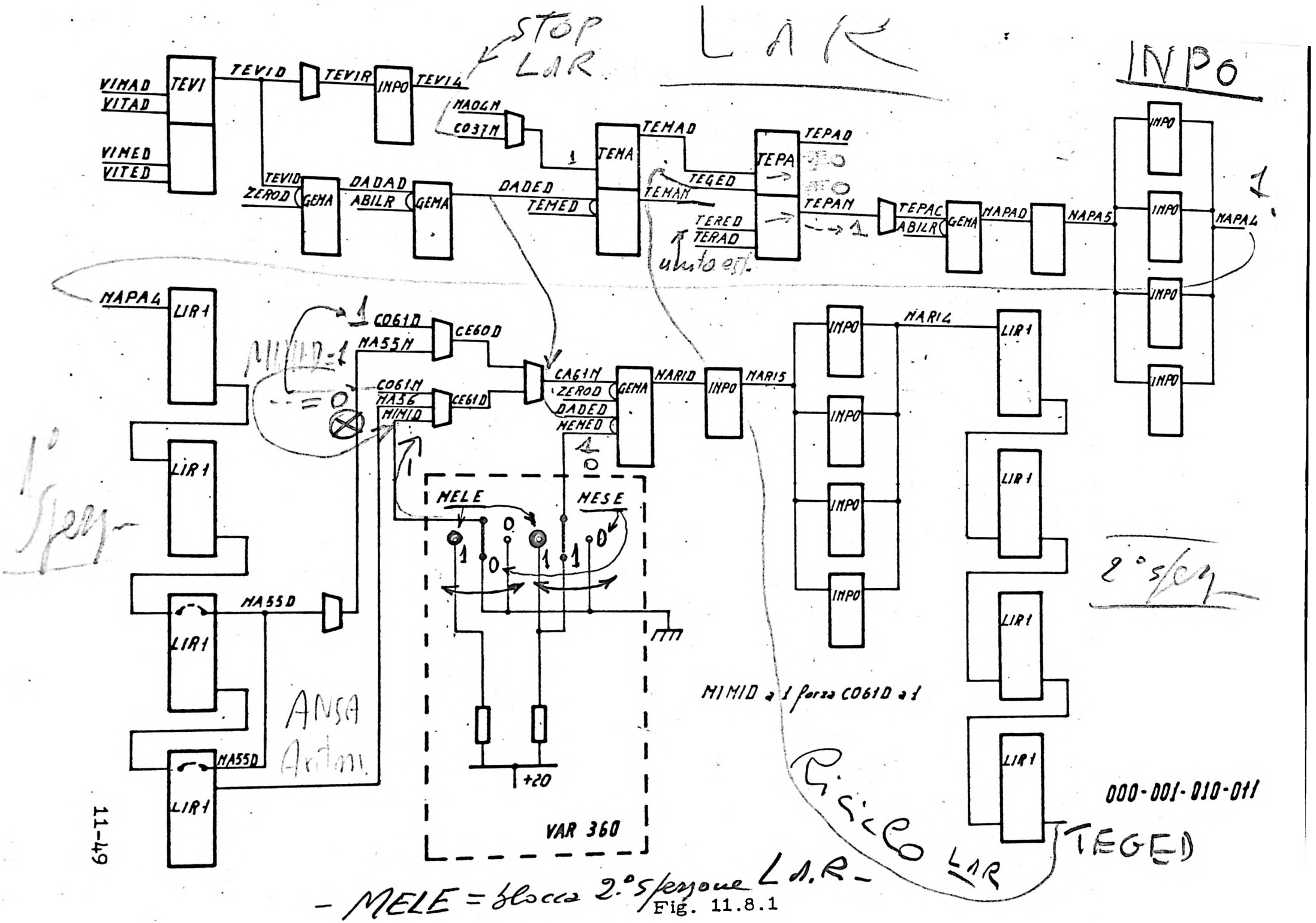
siccome è a 1 ... si/osi/solo a Zero ... / con 5
.....

i) - Premendo un VIA che cosa si ottiene ?

con START ... si ha l'uscita NAND ... = 0
.....

l) - E se si preme un secondo VIA essendo in MESE che cosa si ottiene ?

.....
.....



- MELE = blocca 2.° S/pezone L.A.R.-

Fig. 11.8.1

RISPOSTE

a) - Il comando CO 37 N.

b) - MIMID = 0 MEMED = 1.

c) - Nello stato di SET.

d) - MIMID = 1 MEMED = 1.

e) - Si, solamente il 1° spezzone. Essendo il flip-flop TEMA in set premendo il VIA si produce DADED che lo porta in reset. Tale variazione sblocca TEPAN da "0" a "1". Si ottiene NAPA4 e l'avvio del 1° spezzone della L.d.R. L'univibratore NARI é bloccato poiché MEMED 1.

f) - Se CO61N = 0, CO61D = 1. All'uscita di NA55N CE60D resta basso. Analogamente CE61D resta basso, mantenuto da MIMID a 1. CA51N resta così sempre alto.

g) - Solo la partenza di DADE che non provoca nessun effetto poiché TEMA, non essendo partito il secondo spezzone e quindi non essendo uscito NA04N, é rimasto in reset.

h) - MIMID = 0 MEMED = 0.

i) - Con MEMED = 0, quando arriva il fronte di discesa di DADED, si fa partire NARID e il 2° spezzone il quale con NA04N, essendo in PASSO a PASSO, fa fermare la L.d.R.

l) - Parte DADED e sul fronte di discesa avvia (con MEMED = 0) il 2° spezzone. Contemporaneamente DADED, trovando TEMA in set, lo porta in reset e produce NAPAD che origina NAPA4. Si avvia contemporaneamente sia il 1° che il 2° spezzone della L.d.R. Manovra che é errata per le conseguenze che porta sui circuiti di memoria.

LEZIONE 12

Tempo di studio
2 ore

12. FLIP-FLOP: RIPO-DIVE- COVE-DISA-COEN-CAPE

12.1. RIPO

Le uscite della rete di riporto finale della U.A. (diritta e negata) validano le maschere di reset e di set del flip-flop RIPO.

Tali maschere vengono attivate dal mastro aritmetico.

Il flip-flop RIPO viene inoltre disposto durante la fase alfa di alcune istruzioni di tipo aritmetico :

1° - SD, SB, CMQ, CMI, CMC: in questi casi si rende indispensabile la correzione +1, per cui RIPO viene settato

2° - AD, AB: per il motivo opposto al precedente RIPO viene resettato.

Inoltre RIPO viene utilizzato, in combinazione con il flipflop DIVE per fornire alcune condizioni alla matrice logica, che vengono sfruttate con i salti.

A questo scopo in alcune istruzioni viene settato (SR, SL, XC, EDT istruzioni esterne).

Durante la fase dell'istruzione XC viene sistematicamente settato ad ogni ciclata. Viene resettato durante la fase alfa dell'istruzione MVQ. Può essere forzato, inoltre, ad " 1 " od a " 0 " dalla console di manutenzione.
Il funzionamento logico del flip-flop RIPO è schematizzato in Fig. 12.1.1.

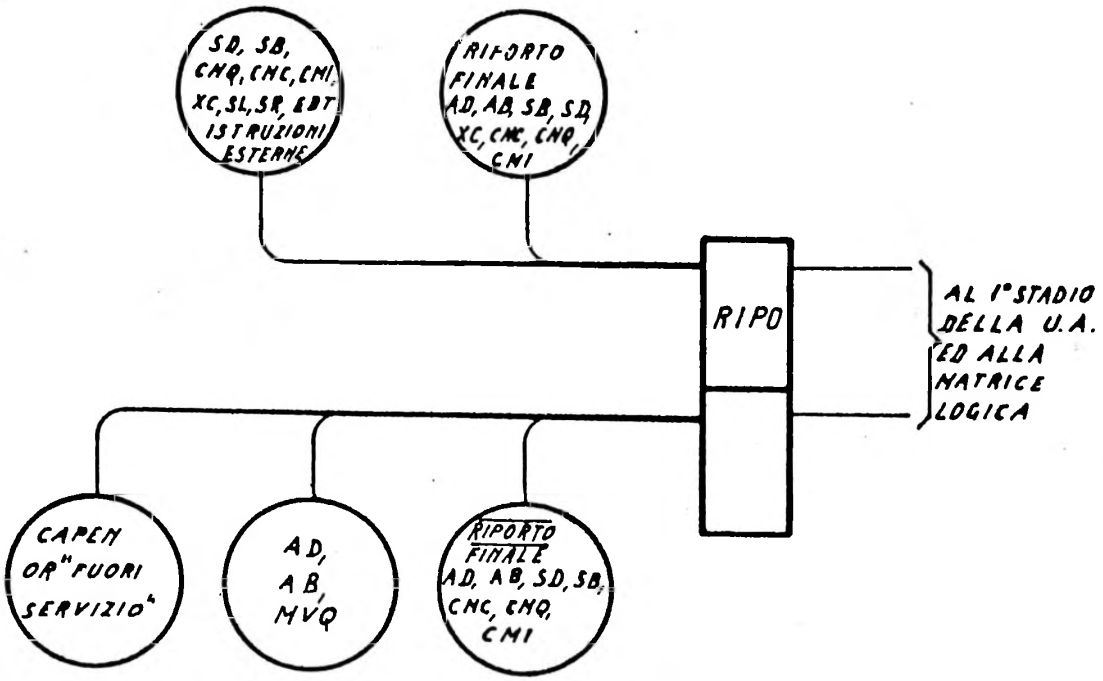


Fig. 12.1.1

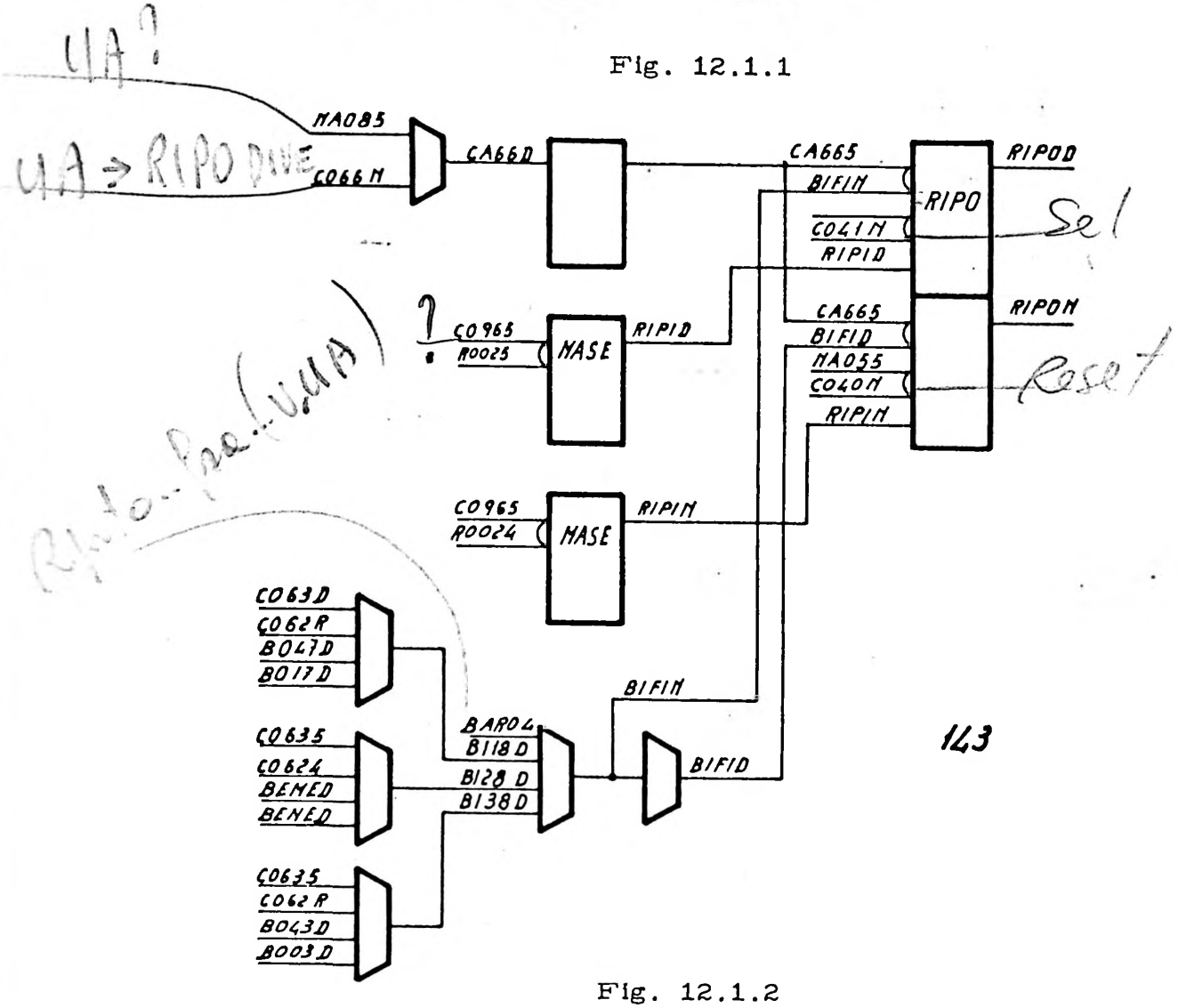


Fig. 12.1.2

In Fig. 12.1.2 è riportato lo schema reale corrispondente allo schema di principio di Fig. 12.1.1. Analizzare lo schema di Fig. 12.1.2 e rispondere alle seguenti :

DOMANDE

a) - Qual'è lo scopo principale del flip-flop RIPO ?
... Ai fini: segnale RIPOD - RIPON ...
(Memorizzare il riporto finale della U.A.

b) - Oltre che dal riporto finale in quale altri casi viene disposto ? in Sct.
in Cond. istruz. aritmetiche e in altre istruzioni dove c'è sottrazione

c) - Che nome hanno le uscite dell'U.A. che interessano RIPO ?
... CIFIN / CIFIP ...
...

d) - Con quali comandi si setta e resetta RIPO ? E che significato hanno ?
... CFOAIN ... COAO ...
... SC / COS ...

e) - Dove agiscono le uscite di RIPO ?
... sulla U.A. (flip-flop)
... e sul Registro Indice

RISPOSTE

a) - E' quello di memorizzare il RIPORTO FINALE dell'U.A.

b) - Viene inoltre disposto in fase alfa delle istruzioni aritmetiche ed in altre istruzioni in cui necessita operare mediante una sottrazione.

c) - BIFIN e BIFID

d) - CO41N set di RIPO
CO40N reset di RIPO

e) - Agiscono sul primo stadio dell'U.A. e sulla matrice logica.

11.2. DIVE

Al termine di un'istruzione di tipo aritmetico, la posizione " uno " del flip-flop DIVE ha il significato generale di: " RISULTATO DIVERSO DA ZERO "; come si è visto l'indicazione è fornita dall' U.A. Durante alcune istruzioni non aritmetiche DIVE viene utilizzato come flip-flop di servizio per memorizzare informazioni dai significati più disparati :

1° - ISTRUZIONI ESTERNE: DIVE viene settato non appena all'U.C. perviene un segnale di " FINE " dal governo dell'unità interessata

2° - EDT: DIVE viene settato se la parte numerica del carattere del campo A è diversa da zero. Questo avvenimento è fondamentale per la interpretazione del codice speciale SST in " soppressione zeri " (si vedrà in seguito)

3° - Durante la MVQ viene settato DIVE se uno qualunque dei caratteri trasferiti è diverso da zero.

4° - Durante SR od SL, DIVE viene settato se si è riscontrata uguaglianza tra il carattere del campo E trattato e quello del campo A

5° - Durante l'EDT viene inoltre settato DIVE se il carattere prelevato dal campo E per essere analizzato è il codice speciale TSZ; viene resettato se è RSZ (si vedrà in seguito).

6° - Durante le istruzioni esterne di esame condizione DIVE viene settato se la condizione esterna esaminata è verificata.

In tutti i casi la posizione di DIVE fornisce direttamente o indirettamente (in combinazione con RIPO delle condizioni per la matrice logica.

Il flip-flop DIVE viene resettato durante la fase interpretativa di tutte le istruzioni che forniscono, al termine della loro esecuzione, delle condizioni di salto (AD, AB, MVQ, EDT, SD, SB, CMQ, CMC, OX, SL, SR). Può inoltre essere disposto ad uno o a zero tramite la console di manutenzione. Il funzionamento logico del flip-flop DIVE è schematizzato in Figura 11.2.1.

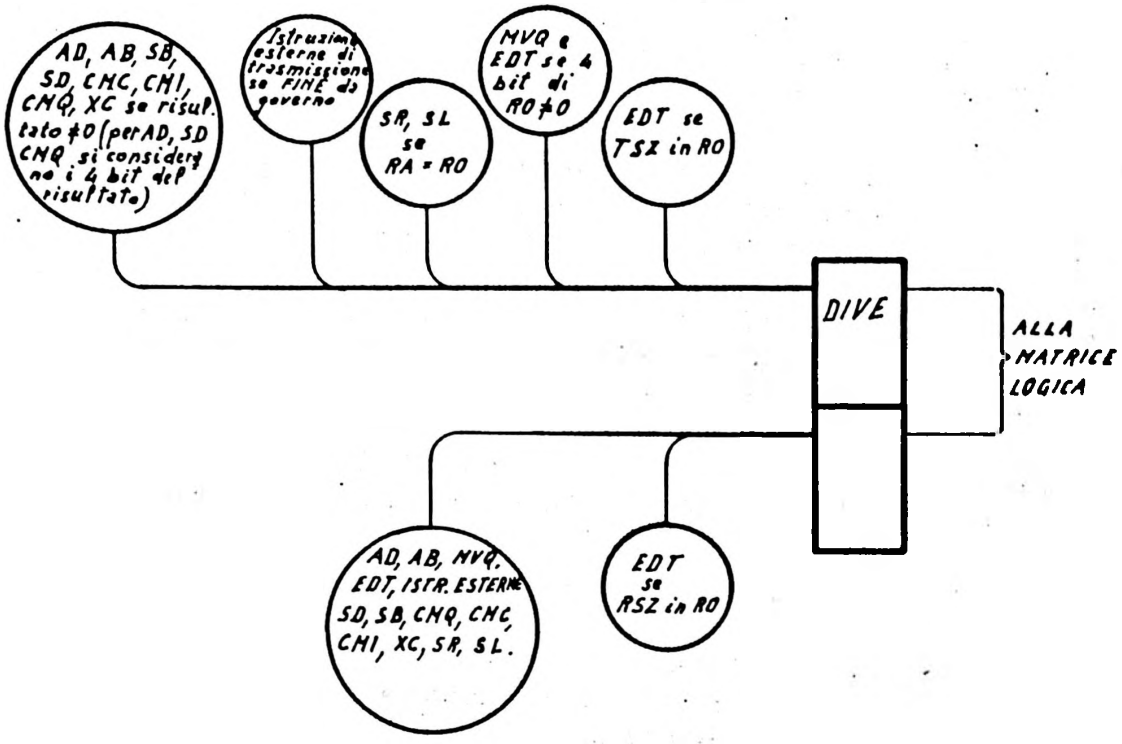
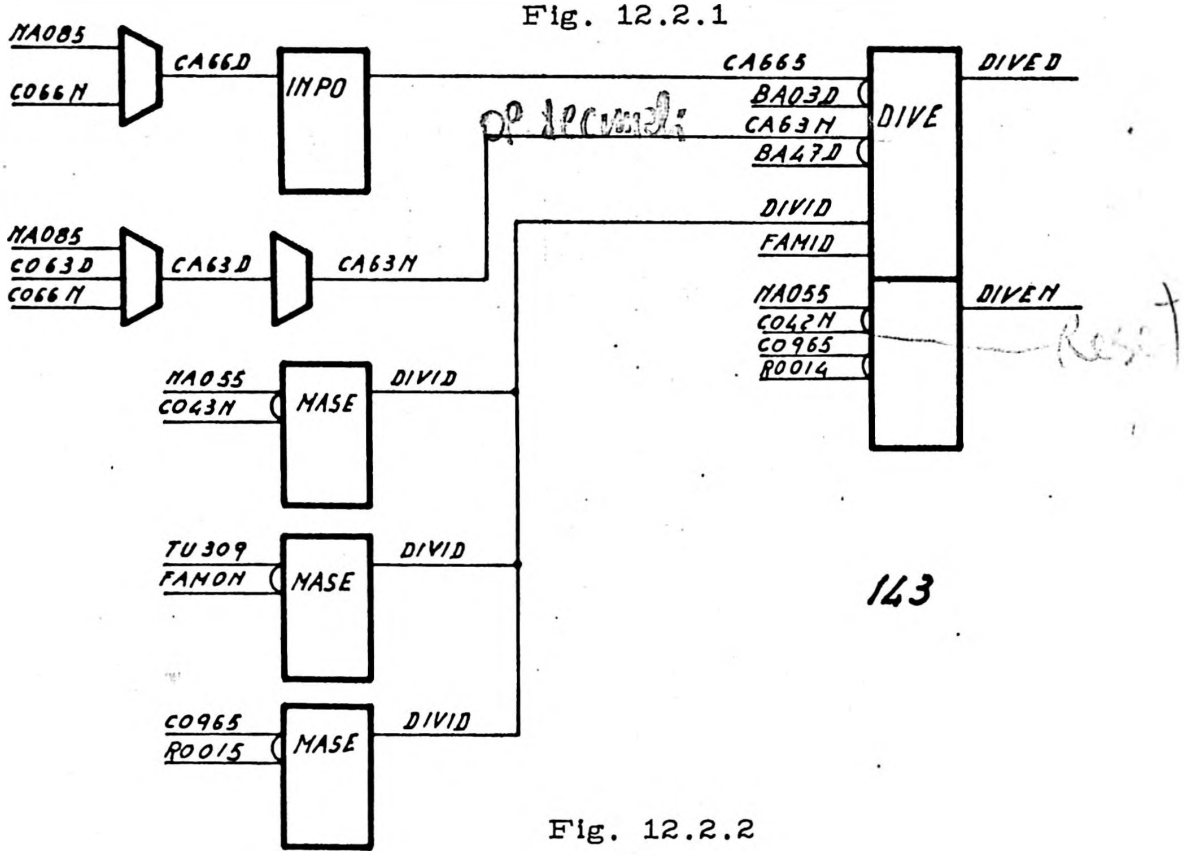


Fig. 12.2.1



143

Fig. 12.2.2

In Fig. 12.2.2 è riportato lo schema reale corrispondente allo schema di principio di Fig. 12.2.1. Analizzare lo schema di Fig. 12.2.2 e rispondere alle seguenti :

DOMANDE

a) - Che significato ha DIVE ?

Il valore scelto per il divisore

b) - Viene utilizzato esclusivamente nelle operazioni aritmetiche ?

NO -

c) - Dove agisce il flip-flop DIVE ?

Nella Matrice Logica

RISPOSTE

a) - Ha significato generale " RISULTATO DIVERSO DA ZERO ".

b) - No. Viene interessato anche da altre istruzioni.

c) - Nella matrice logica.

CONDIZIONE VERIFICATO
COVE

12.3. COVE

Durante lo svolgimento di un'istruzione di salto il carattere F' viene confrontato con lo stato di alcuni organi dell'U.C. posizionati in precedenza. Se il confronto di F' con tali organi dà risultato d'eguaglianza viene settato un flip-flop chiamato COVE che assume il significato generale di " CONDIZIONE VERIFICATA ".

Il confronto tra il carattere F', contenuto nel registro RE, viene eseguito nella matrice logica con i seguenti organi :

- nell'istruzione JC: con RIPO e DIVE
- nell'istruzione JS: con ERIR o COAS o COES o COEN

L'istruzione JRT, che è un salto incondizionato, posiziona a " 1 " COVE senza prendere in considerazione lo stato di altri organi.

Anche il flip-flop COVE può essere posizionato opportunamente da console di manutenzione.

In Fig. 12.3.1 è schematizzato il funzionamento logico del flip-flop COVE.

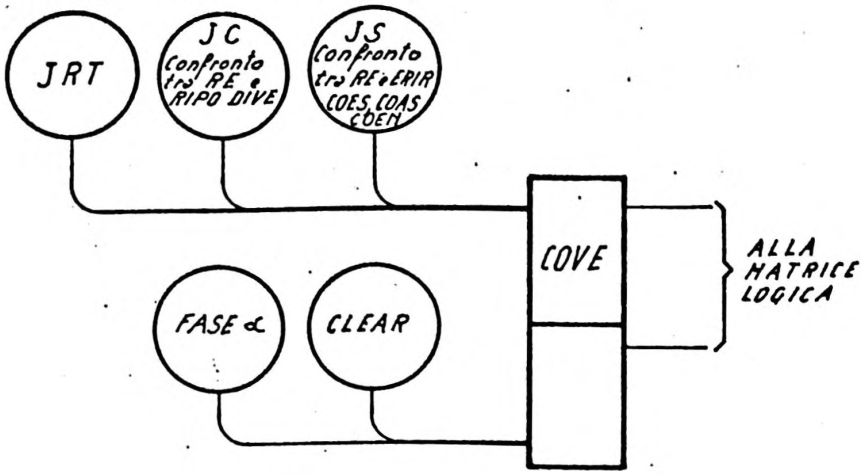
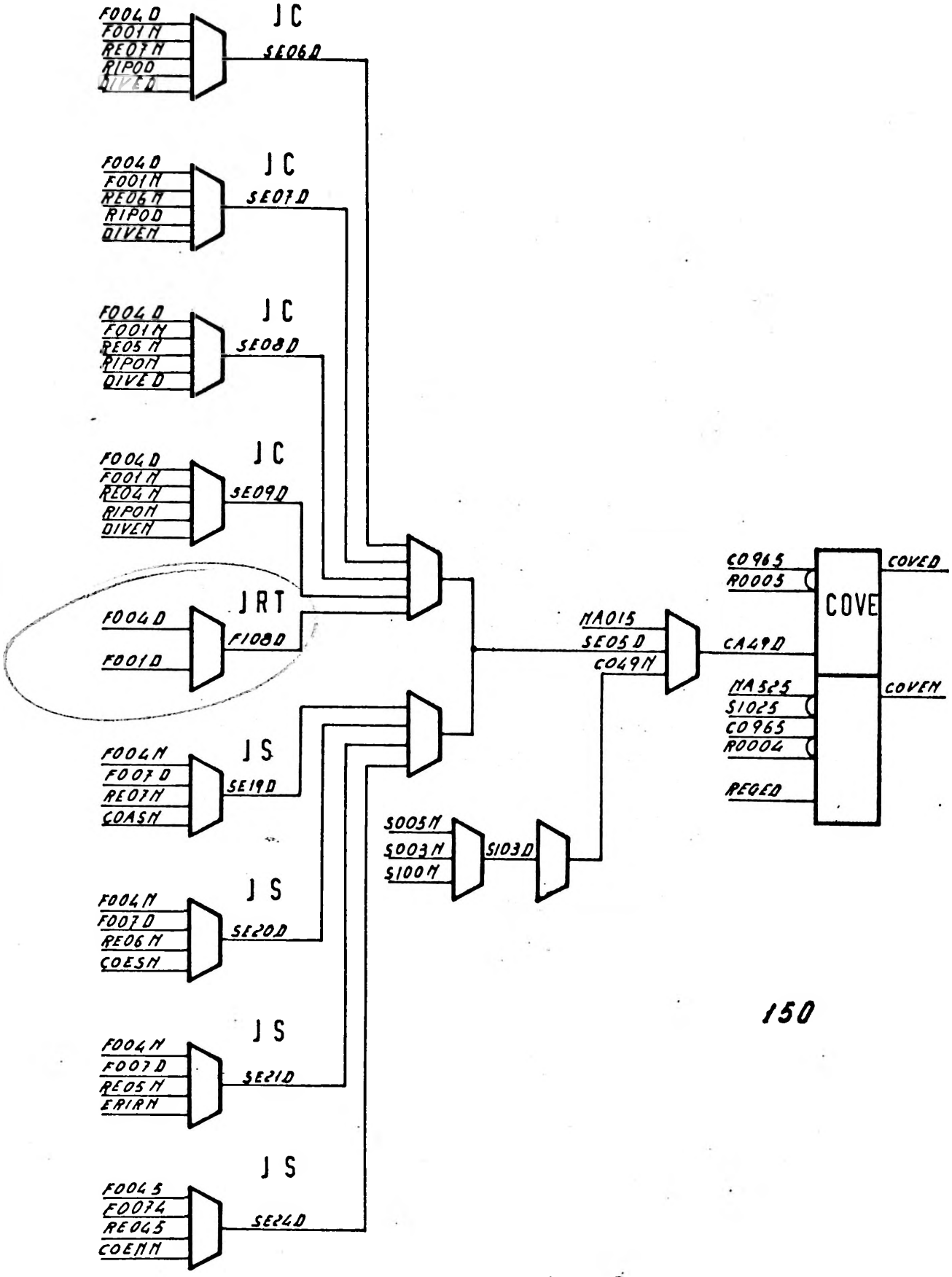


Fig. 12.3.1


F004D
F001M
RE07M
RIP0D
DIVED
JC
SE06D
F004D
F001M
RE06M
RIPOD
DIVEM
JC
SE07D
F004D
F001M
RE05M
RIPOM
DIVED
JC
SE08D
F004D
F001M
RE04M
RIPOM
DIVEM
JC
SE09D
F004D
F001D
JRT
F108D
F004M
F007D
RE07M
COASM
JS
SE19D
F004M
F007D
RE06M
COESM
JS
SE20D
F004M
F007D
RE05M
ERIRM
JS
SE21D
F004S
F007A
RE04S
COEMM
JS
SE24D
S005M
S003M
S100M
S103D
MA015
SE05D
C049M
CA49D
C0965
R0005
COVE
COVED
MA525
S1025
C0965
R0004
REGED
COVEM
150

Flg. 12.3.2

La Fig. 12.3.2 riporta lo schema reale corrispondente allo schema di principio della Fig. 12.3.1. Analizzare lo schema di Fig. 12.3.2 e rispondere alle seguenti :

DOMANDE

a) - Che cosa memorizza il flip-flop COVE ?

Una condizione Verificata

b) - In quale istruzione di salto il flip-flop COVE si setta con il solo codice di funzione ?

J.R.T.

c) - In quale istruzione si confronta F' con gli organi di macchina ?

JC - JS -

d) - Quali sono gli organi di macchina interessati al confronto ?

RIPO DIVE FERR COAS COES COEN

e) - Dove si verifica il confronto ?

Nello M L

f) - Che comando genera la matrice in caso di eguaglianza ?

Condizione Verificata

CA 49 D

g) - Cosa significa SE05 ?

SC SE05 = 1 = condiz non verificata

SC ... = 0 = " verificata

RISPOSTE

a) - Memorizza la segnalazione di "CONDIZIONE VERIFICATA" nelle istruzioni di salto.

b) - Nell'istruzione JRT. Salto incondizionato.

c) - Nelle istruzioni JC e JS.

d) - Nell'istruzione JC : con RIPO e DIVE.

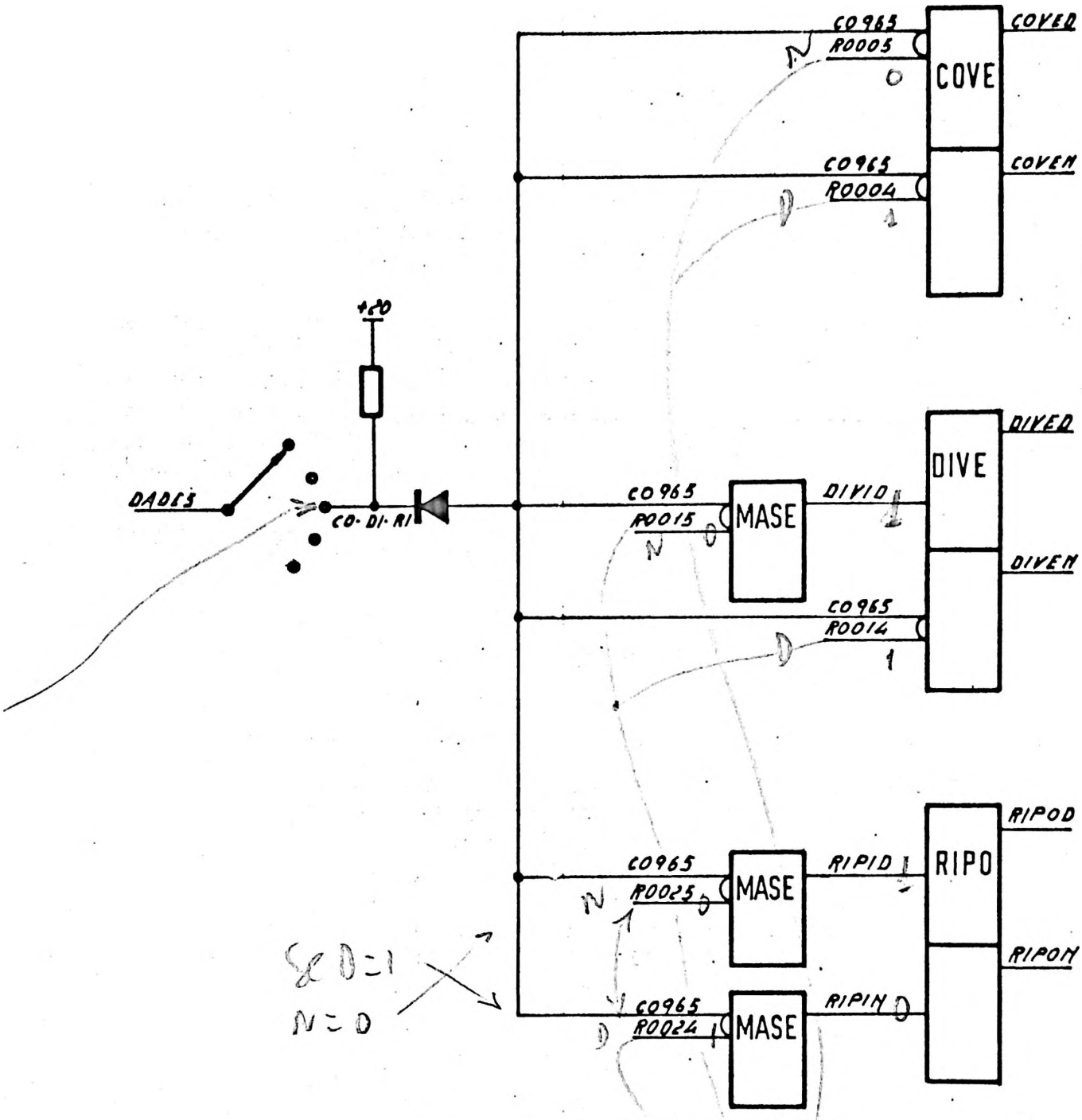
Nell'istruzione JS : con ERIR e COES COAS, COEN.

e) - Nella matrice logica.

f) - Il CA49D.

g) - SE 05 é basso nel caso di una istruzione di salto che trova verificata la condizione richiesta.

NOTA : Dalla console di manutenzione é possibile forzare i flip-flop COVE, DIVE, RIPO nella posizione che si desidera.
Per far ciò si forzano prima i flip-flop 00, 01, 02 di RO in una determinata configurazione, indi si porta il commutatore in posizione CO - DI - RI ed alla fine si preme il pulsante START il quale generando il segnale DADE5 opera i forzaggi richiesti.
Lo schema reale ed i valori da dare a RO per ottenere i forzaggi di COVE, DIVE e RIPO sono riportati in Fig. 12.3.3.



PER METTERE:			FORZARE:		
COVE a:	DIVE a:	RIPO a:	R002 a:	R001 a:	R000 a:
1	1	1	1	1	1
1	1	0	0	1	1
1	0	1.	1	0	1
1	0	0	0	0	1
0	1	1	1	1	0
0	1	0	0	1	0
0	0	1	1	0	0
0	0	0	0	0	0

bit
143-150

Fig. 12.3.3

12.4. DISA

INS / ENS

Le istruzioni INS e ENS pur avendo lo stesso codice di funzione F sono differenziate dal codice di funzione F'.

Se F' = 2/0 si fà l'istruzione INS che disabilita l'eventuale arresto da console ottenuto posizionado il pulsante STEP BY STEP. Ciò consente di proseguire, quando è necessario, automaticamente per un certo numero di istruzioni senza fermarsi al termine di ognuna. Si proseguirà esattamente fino a che non si incontra l'istruzione ENS codificata con F' = 1/0; tale codice infatti consente di riabilitare l'effetto del comando manuale STEP BY STEP.

L'azione dei due codici F' è utilizzata anche per portare in set od in reset un flip-flop di servizio chiamato DISA.

Nello schema di Fig. 12.4.1 è riportato il circuito reale relativo al flip-flop DISA.

Analizzare lo schema di Fig. 12.4.1 e rispondere alle seguenti :

DOMANDE

a) - Oltre che con i segnali provenienti dal flip-flop DISA con quale altro segnale si può portare a "0" il segnale DISOD ?

Con Stock

b) - Quale comando é necessario creare perche si blocchi il calcolatore ?

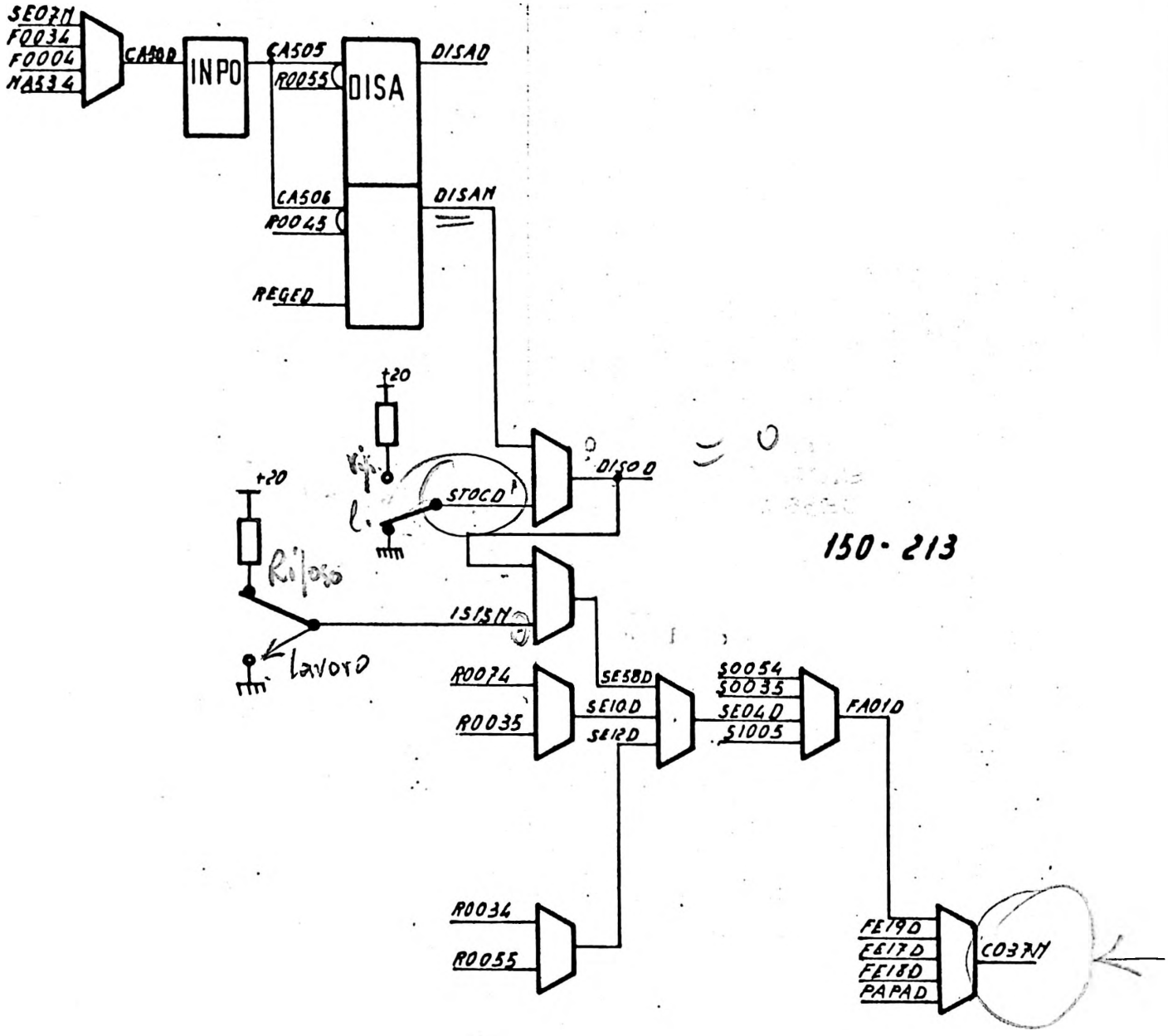
C037 : stop LNR

c) - Qual'é la funzione del pulsante bistabile STEP BY STEP posizionato a riposo nei confronti del flip-flop DISA ?

Non viene colto il segnale di avvio - FENS 71

d) - Se la chiave STEP BY STEP é posizionata a lavoro a che cosa é condizionato il comando CO37 ?

N. DISAN



150 - 213

ISTR.	F	F'	Descrizione
INS	0/2	2/0	Disabilita Arresto per STEP BY STEP
ENS		1/0	Riabilita Arresto per STEP BY STEP

Fig. 12.4.1

RISPOSTE

a) - Con il pulsante STOC da console di manutenzione.

b) - Il CO37 che agisce sulla linea di ritardo.

c) - Il circuito é comunque disabilitato anche se DISAN é a "1".

d) - L'uscita del CO37N é vincolata al segnale DISAN. Infatti se DISAN = "1" il segnale SE58D si porta a "1" e SE04 si porta a "0".

SO054, SO035, SI005 sono a "0" all'inizio della fase alfa di qualsiasi istruzione, pertanto in tale occasione FA01D si porta a "1" e CO37N a "0", bloccando la L.d.R.

Si ricorda che il pulsante bistanile STEP BY STEP permette di eseguire una sola istruzione alla volta ogni premuta sul pulsante START.

S/O: LAR

12.5. COEN

Le istruzioni LON e LOF hanno lo scopo di segnalare il verificarsi o il cessare di un particolare avvenimento di macchina mediante accensione della lampadina OPERATOR CALL posta in console.

Il circuito di comando di tale lampadina è rappresentato nello schema di Fig. 12.5.1 ed è composto da un flip-flop chiamato COEN seguito da una piastrina speciale : la LUME.

La piastrina LUME dà in uscita un livello logico " 0 " quando al suo ingresso è presente il livello logico " 1 ". In questo caso si accende la lampada.

L'accensione e lo spegnimento della lampada sono condizionati alla configurazione del codice F' dell'istruzione.

Infatti se l'elaboratore sta interpretando un'istruzione LON quando il codice di funzione F' è in RO (peso 8), il flip-flop 07 di RO è a " 1 ", quindi il suo negato è a " 0 " (RO075 a " 0 "). Con RO075 a " 0 " al sopraggiungere del fronte di discesa del segnale CA505, che si ha soltanto durante interpretazione della LON o della LOFF, si ha il set di COEN. Con COEN in set si ha l'accensione della lampadina OPERATOR CALL.

Lo spegnimento si ha con l'istruzione LOFF la quale agisce come sopra con la differenza che il flip-flop 06 di RO che contiene il peso 4 del codice di funzione F'.

DOMANDE

a) - In quale STATO vengono interessati i flip-flop DISA e COEN ?

.....stato fisso di (estensione codice F')
.....

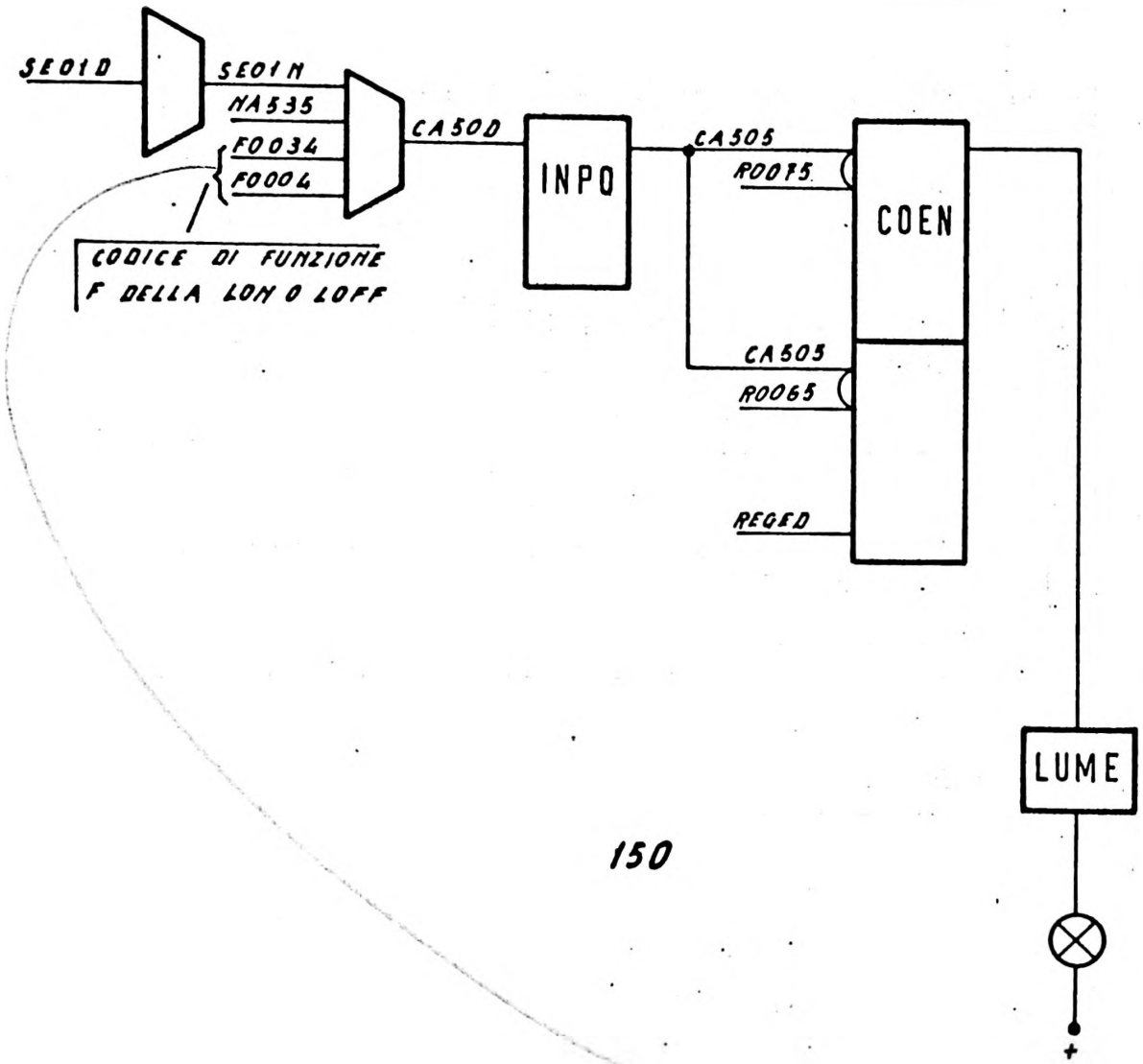
b) - Il codice F' tramite quale organo di macchina agisce sui due flip-flop ?

.....IMPO (o CASO)
.....RO

c) - Quali sono i due valori di F' che identificano la LON e la LOFF ?

.....
.....0/2 8/b LON

0/2 9/2 LOFF



	F	F'
LON	0/2	8/0
LOFF	0/2	4/2

Fig. 12.5.1

RISPOSTE

a) - Nello STATO in cui si estrae il codice F'.

b) - Tramite il registro RO.

c) - Per ottenere l'accensione della lampadina OPERATOR CALL F' =8/0, per ottenere lo spegnimento F' =4/0.

12.6. CAPE

In Fig. 12.6.1 é riportato lo schema di principio del flip-flop CAPE mentre in Fig. 12.6.2 é riportato il suo schema reale.

E' un flip-flop che indica con una segnalazione luminosa CP se l'unità esterna interessata é in condizione di " FUORI SERVIZIO " cioé non é in grado di svolgere il lavoro richiesto.

Inoltre ha il compito di indicare se il comando inviato all' U.E. é errato o esatto. Nel caso in cui il comando sia errato si ha indicazione di "INVEROSOMIGLIANZA COMANDI".

In particolare é possibile verificare se una unità esterna associata al canale E é in "FUORI SERVIZIO" oppure non ha accettato il comando in base alla posizione del flip-flop CAPE e del flip-flop RIPO collegati a due lampadini posti sulle console operative : OF e CP.

Il flip-flop CAPE viene resettato da console operativa col tasto CLEAR (REGED) e sistematicamente durante la fase alfa di ogni istruzione.

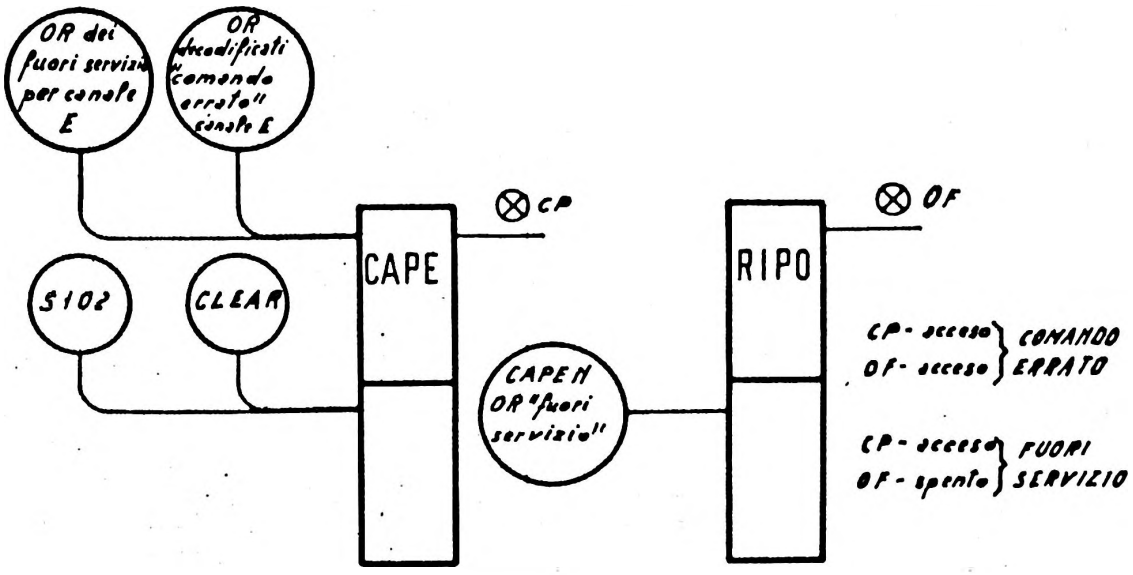


Fig. 12.6.1

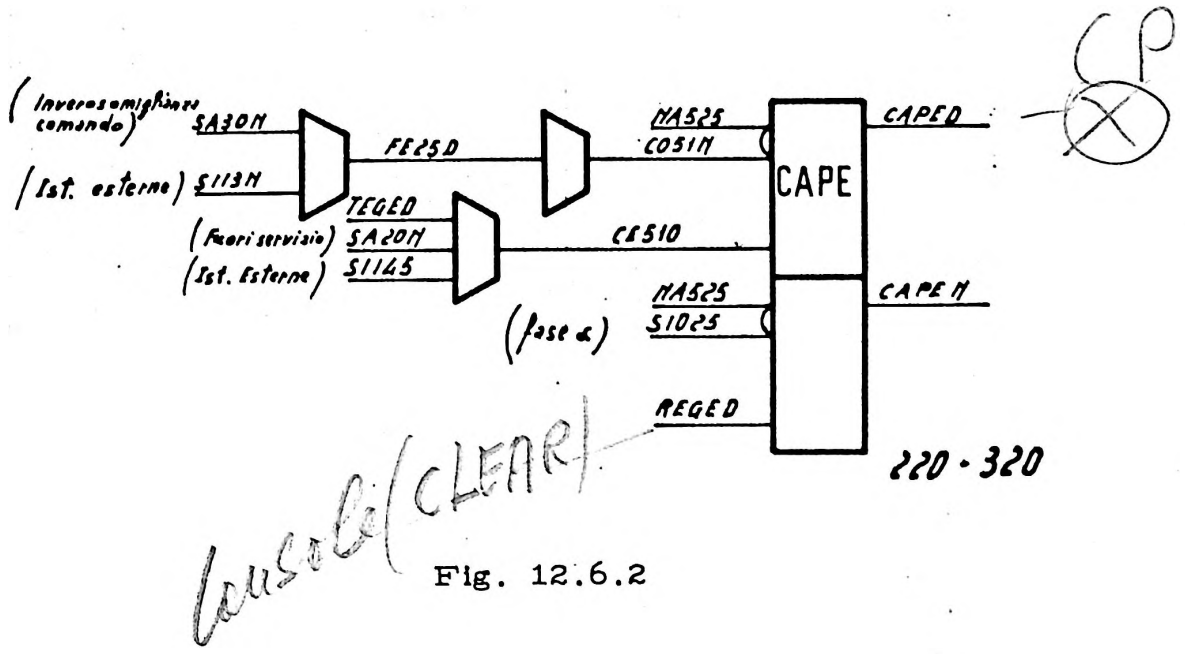


Fig. 12.6.2

LEZIONE 13

Tempo di studio
ore 1 e 30 minuti

13. REGISTRO LO

13.1. Nel volume "INTRODUZIONE" si é visto che, per quanto riguarda i dati, occorre conoscere la posizione di memoria a partire dalla quale si deve iniziare l'elaborazione.

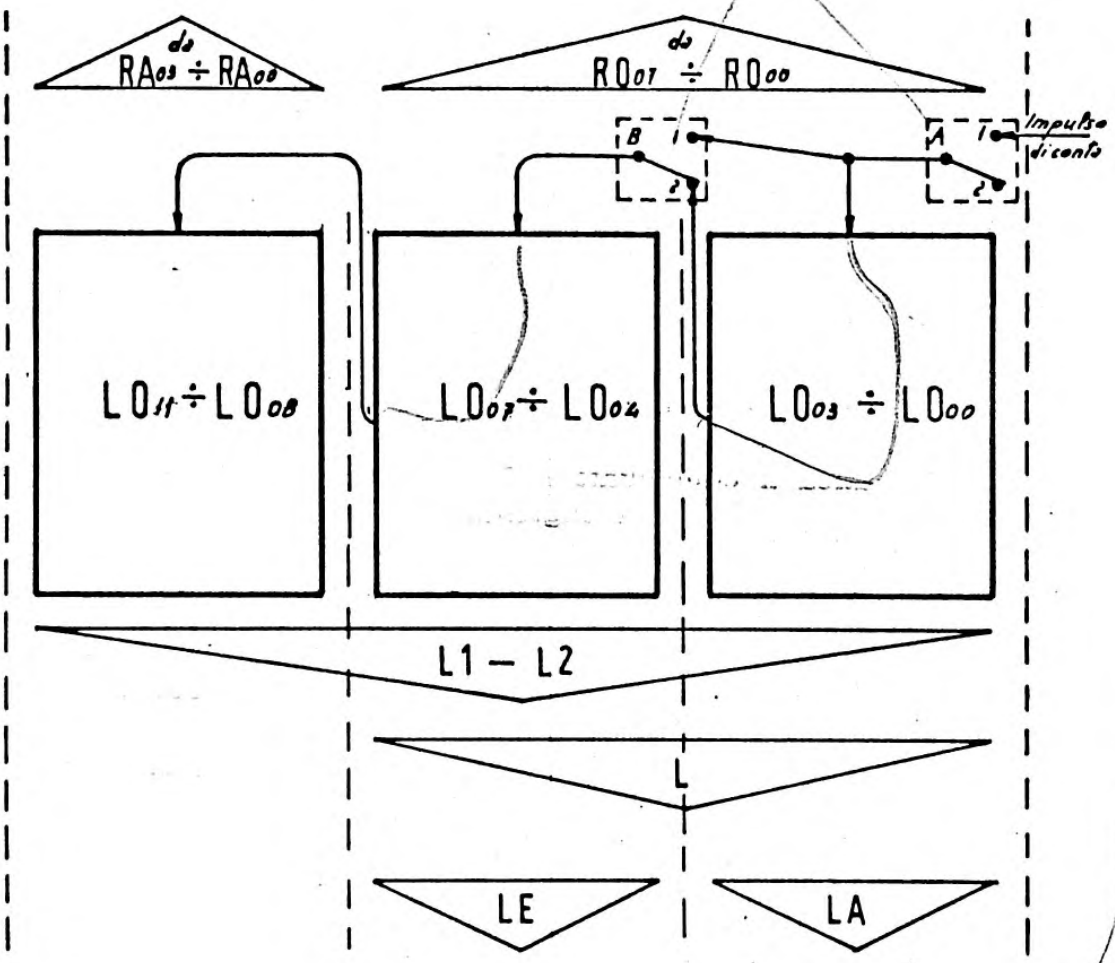
L'elaboratore oltre all'indirizzo della zona di memoria da elaborare deve essere fornito di un'ulteriore indicazione che specifichi il numero di caratteri di quella zona che deve elaborare.

A tale scopo, sul GE - 115, esiste il registro LO con la relativa rete di conta. Questo registro si compone di 11 flip-flop. Nelle istruzioni interne interessano solo i primi otto mentre nelle istruzioni esterne vengono utilizzati tutti.

Durante la fase alfa LO viene caricato con il valore che esprime il numero di caratteri da elaborare e durante la fase esecutiva, viene decontato di UNO ad ogni carattere elaborato. Quando tutti i flip-flop di LO interessati alla deconta si trovano nello stato SET (tutti UNO in LO) nasce un segnale indicante all'elaboratore che la trattazione della zona di memoria che era da elaborare é terminata.

Questa segnalazione nasce prendendo in considerazione tutti i flip-flop di LO (L1 - L2) oppure soltanto i primi otto (L) oppure i primi due gruppi di quattro separatamente (LE - LA), a seconda del tipo di elaborazione che deve essere eseguita.

La Fig. 13.1.1 mostra schematicamente i registri che caricano LO ed i flip-flop di LO che vengono presi in considerazione per ottenere le tre segnalazioni suddette.



POSIZ.	COMMUTATORE A	COMMUTATORE B
1	CONTA IN LO	SEPARA CONTA IN LO
2	INIBISCE CONTA IN LO	CONTA TUTTO LO

Fig. 13.1.1

Sempre nello schema di Fig. 13.1.1 sono rappresentati due commutatori, nella pratica sono realizzati elettronicamente per evidenti ragioni di rapidità, aventi la seguente funzione :

COMMUTATORE A :

- In posizione 1 permette all'impulso di conta di fare avvenire la conta in LO.
- In posizione 2 inibisce la conta.

COMMUTATORE B :

- In posizione 1 fà si che la conta avvenga contemporaneamente e separatamente nel primo gruppo dei quattro flip-flop di LO e nei restanti flip-flop.
  In pratica il commutatore B é in posizione 1 quando occorre avere la segnalazione di fine istruzione LE e LA.
  Notare che la conta prosegue anche nei flip-flop LO08 + LO11, ma ciò non ha importanza in quanto, in questo caso , per avere la segnalazione LE -LA tali flip-flop non vengono presi in considerazione.
- In posizione 2 fa avvenire la conta in tutto LO.

DOMANDE

a) - Qual'è la ragione per la quale occorre conoscere il numero dei caratteri da elaborare ?

Quello del termine [illegible] è dato da LO = 1111
(o Fine istruzione)
o Velocità di lett.

b) - L'insieme registro LO e la relativa rete di conta costituisce un contatore o un decontatore ?

Decontatore

c) - Per determinare la fine della elaborazione viene sempre presa in considerazione la stessa quantità di flip-flop di LO ?

No... i due propri. di separ. / tutti / o sulle prime 11?

d) - Qual'è la funzione logica espletata del commutatore A nello schema di Fig. 13.1.1 ?

Carica in LO

e) - Qual'è la funzione logica espletata dal commutatore B nello schema di Fig. 13.1.1 ?

Carta separata in LO

RISPOSTE

a) - Per stabilire il termine della elaborazione dei dati.

b) - Un decontatore.

c) - No, vengono presi in considerazione o tutti i flip-flop di LO o i primi otto, o i primi due gruppi di quattro separatamente, a seconda del tipo di istruzione che si sta eseguendo.

d) - E' quella di validare o inibire l'impulso di conta verso il registro LO.

e) - E' quella di fare avvenire la deconta o su tutto LO o sui due gruppi di quattro flip-flop separatamente. (Nel secondo caso si trascurano i flip-flop LO08 + LO11)

13.2. SCHEMA REALE

Come si è visto nello schema di principio del paragrafo precedente, LO inizialmente, riceve il contenuto dei registri RO e RA.

In pratica, questo trasferimento avviene nel modo seguente :

a) - In un primo tempo vengono messi in set tutti i flip-flop di LO (1^1 in LO = leggi UNI in LO).

b) - In un tempo successivo vengono rimessi a zero quei flip-flop di LO corrispondenti ai flip-flop di RO e RA che sono a zero.

Al termine di questa seconda operazione i 12 flip-flop di LO contengono esattamente ciò che è registrato nei registri RO e RA secondo lo schema di principio di Fig. 13.2.1 :

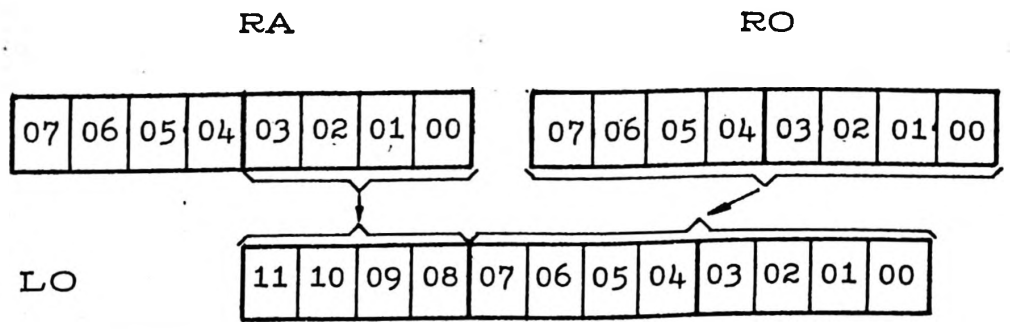


Fig. 13.2.1

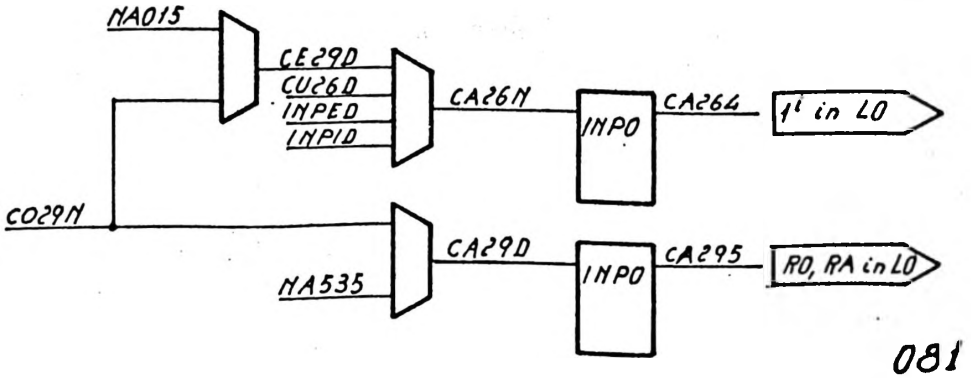
La ragione per la quale è usato questo metodo piuttosto che il contrario, è dovuta al fatto che il registro LO è considerato in stato di riposo quando tutti i suoi flip-flop sono a " 1 ".

13.3. CARICAMENTO DEL REGISTRO LO

L'elaboratore quando deve preparare il registro LO a ricevere il contenuto dei registri RO e RA emette il segnale CO29N a "0".

Inoltre l'elaboratore emette ritmicamente i mastri NA015 e NA535 distanziati nel tempo di circa 3 usec i quali, se esiste il Co29 a "0" operano rispettivamente il set di tutti i flipflop di LO con il segnale CA264 ed il trasferimento di RO e RA in LO con il segnale CA295.

Quanto sopra esposto é schematizzato in Figura 13.3.1 :



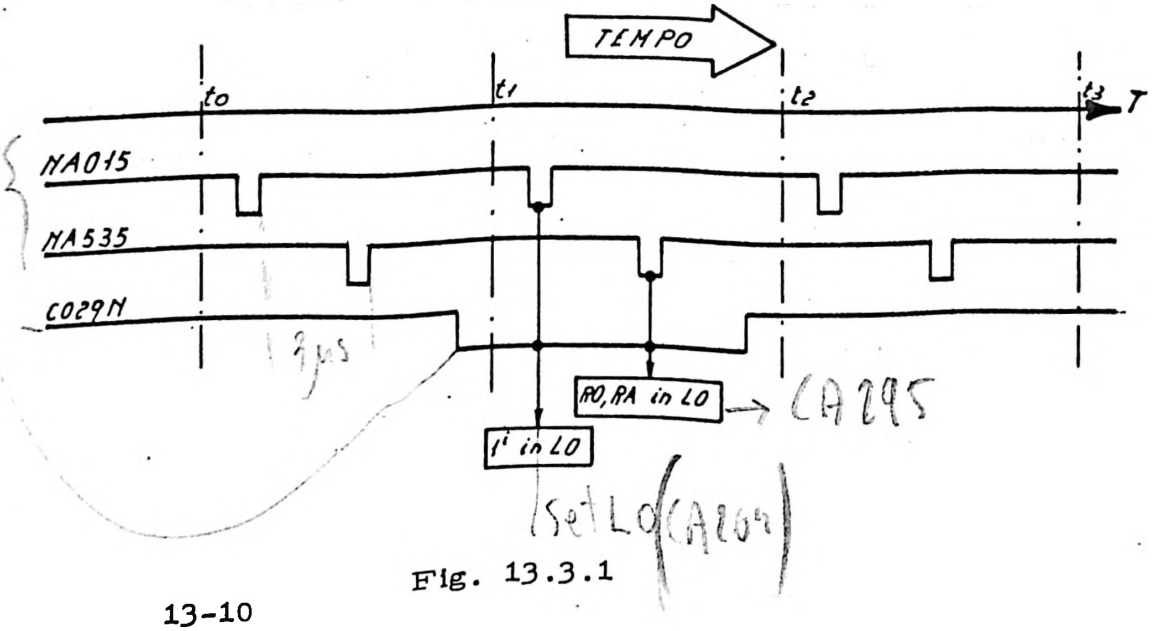
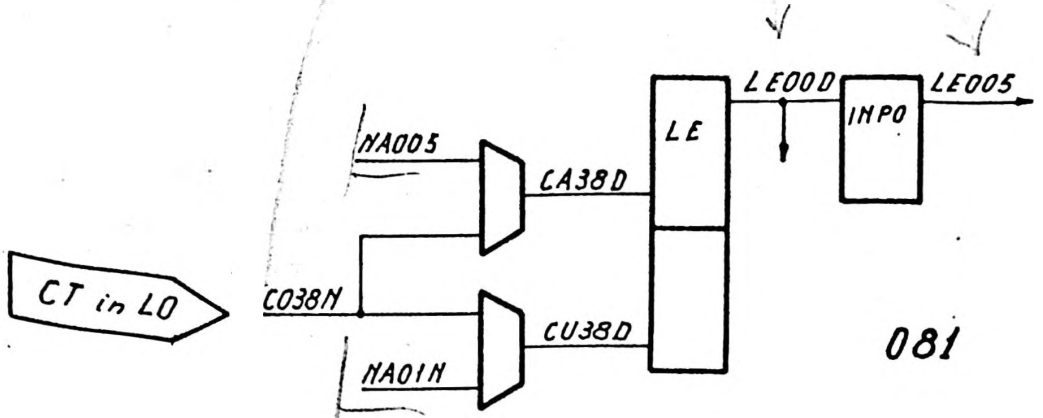


Fig. 13.3.1

13.4. IMPULSO DI CONTA

L'impulso di conta é ottenuto mettendo prima in set poi in reset un flip-flop mediante due mastri distanziati nel tempo di circa 1,6 usec a patto che esista il segnale CO38N a "0" . I mastri sono NA005 e NA01N e l'impulso di conta é LE00D e quindi LE005.

Quanto esposto é schematizzato in Fig. 13.4.1 :



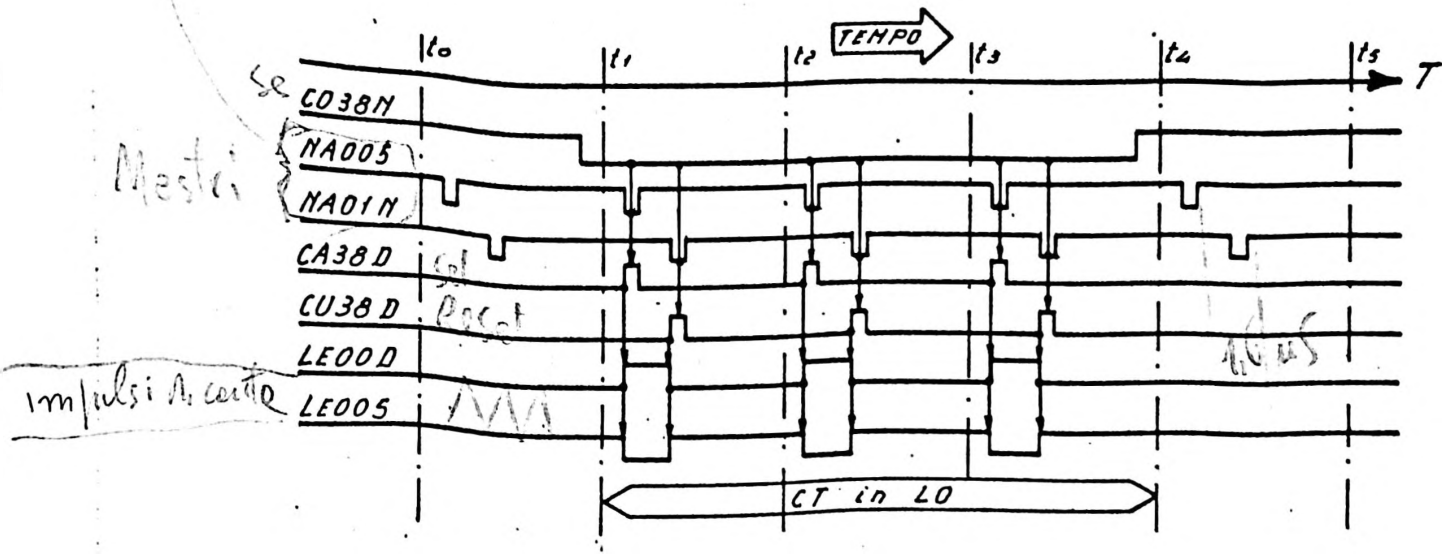


Fig. 13.4.1

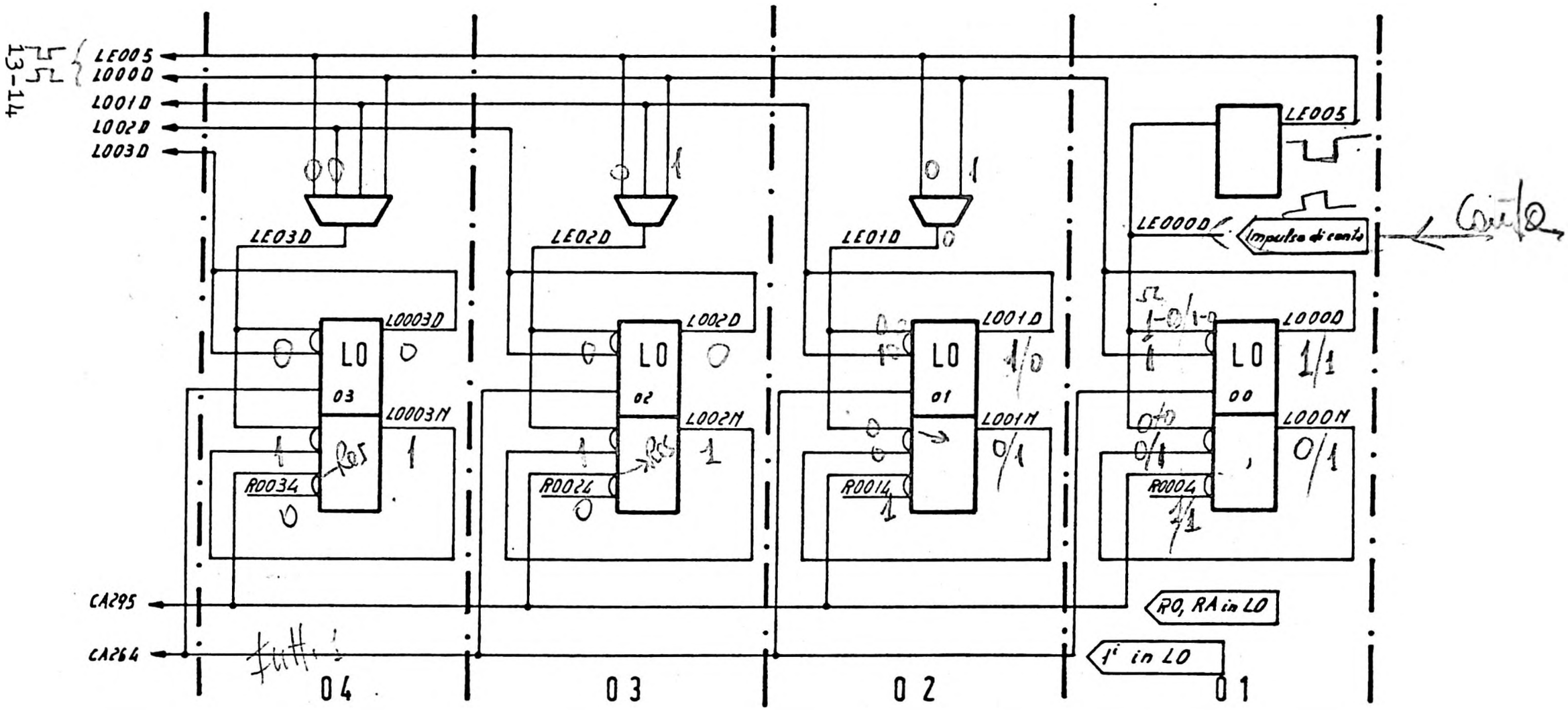
13.5. EVOLUZIONE DEL REGISTRO LO

Nei due paragrafi precedenti si è visto come il registro LO viene " preparato " alla conta e come nasce il segnale LE00 quale impulso di conta.

Si passa ora allo studio del funzionamento dei primi quattro stadi del registro LO per ragioni di semplicità di rappresentazione; il funzionamento degli altri stadi è perfettamente identico a quello di questi primi quattro.

La Fig. 13.5.1 riporta lo schema relativo ai flip-flop LO00 + LO03.

In detto schema non è riportata la formazione dei segnali CA295 , CA264 e LE00D in quanto è stata vista nei paragrafi precedenti. Dopo aver studiato attentamente lo schema di Fig. 13.5.1 completare il diagramma di Fig. 13.5.2 ove si suppone che il valore contenuto nella parte di RO da trasferire nella corrispondente parte di LO sia eguale a 3.



080- 081

Fig. 13.5.1

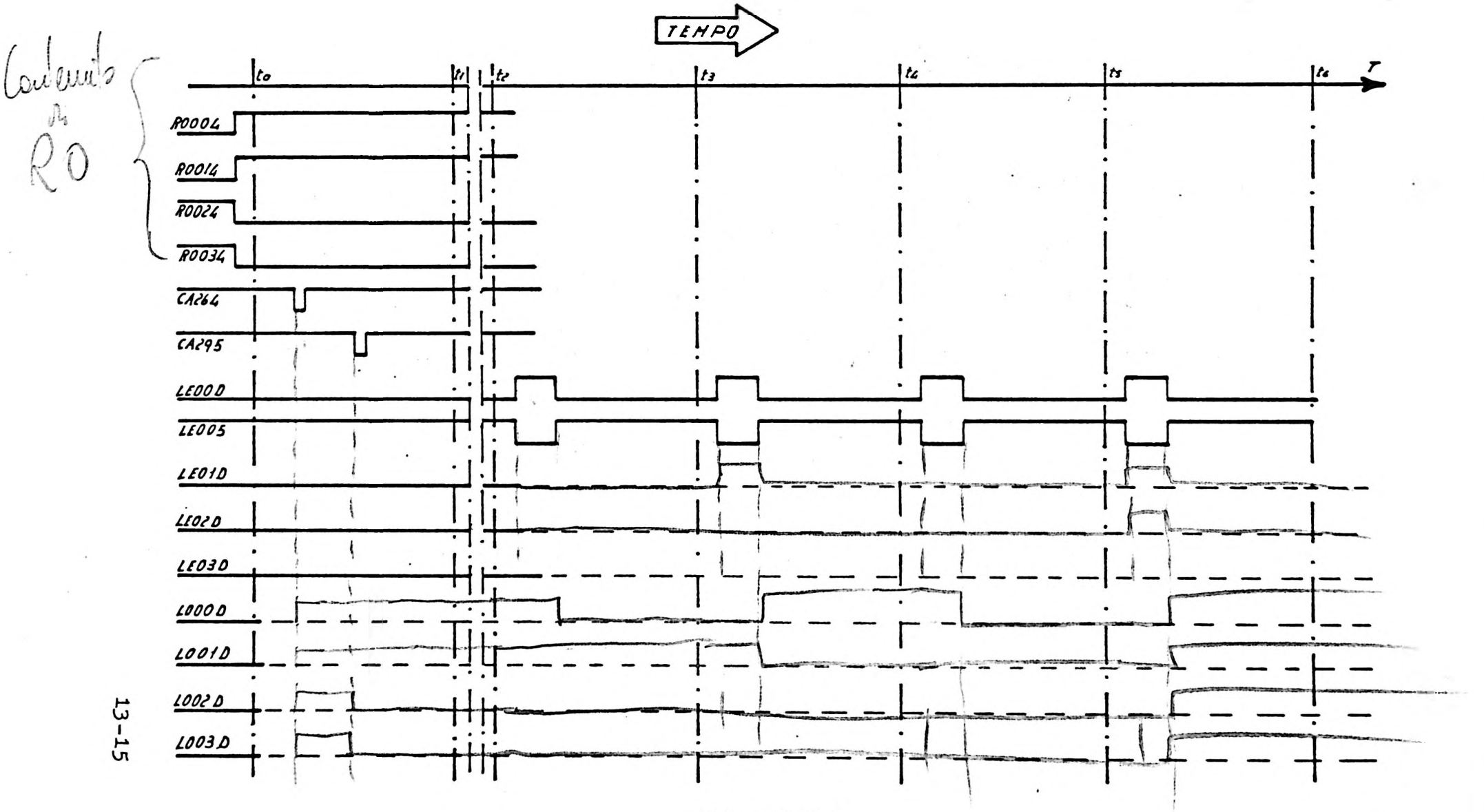

TEMPO
Codewords in RO
t0
t1
t2
t3
t4
t5
t6
T
R0004
R0014
R0024
R0034
CA264
CA295
LE00D
LE005
LE01D
LE02D
LE03D
L000D
L001D
L002D
L003D

Fig. 13.5.2

DOMANDE

a) - Come avviene, sequenzialmente, il trasferimento dei registri RO e RA in LO ?

Parte @ 1 in tutto LO-Reset dei ff flazero in RO

b) - Qual'è la funzione logica espletata dal segnale CO29N e a quale livello logico deve essere affinchè sia operante ?

CO - RA in LO

c) - Qual'è la funzione logica espletata dal segnale CO38N e a quale livello logico deve essere affinchè sia operante ?

CT in LO (a zero)

d) - Osservando il grafico di Fig. 13.5.2 descrivere sinteticamente gli avvenimenti che si manifestano nell'intervallo di tempo compreso fra :

t0 e t1 ..... Tutti i ff in LO / Tutti i Reg. dei ff RO a zero in LO

e) - E negli intervalli fra :

t2 e t3 ... 1a decade in LO (-1
t3 e t4 ... 2a " " = 1
t4 e t5 ... 3a " " = 1 = 0
t5 e t6 ... 4a " " = 1 = tutti 1 in LO

La Fig. 13.5.3 riporta il grafico di Fig. 13.5.2 completato dei segnali ivi richiesti.

RISPOSTE

a) - Viene prima messo LO a tutti 1 poi vengono rimessi a zero i flip-flop di LO corrispondenti a quei flip-flop di RO e RA che sono a zero.

b) - Il CO29N a " 0 " opera il set di tutti i flip-flop di LO (1^i in LO) ed il trasferimento in LO dei registri RO e RA.

c) - Il CO38N a " 0 " abilita la formazione dell'impulso di conta.

d) - Fra t0 e t1 si ha: 1^i in LO e (RO, RA) in LO.

e) - Fra t2 e t3 si ha la conta -1 in LO (3-1 = 2)
fra t3 e t4 si ha la conta -1 in LO (2-1 = 1)
fra t4 e t5 si ha la conta -1 in LO (1-1 =tutti 0)
fra t5 e t6 si ha la conta -1 in LO (tutti 0-1 =tutti 1)

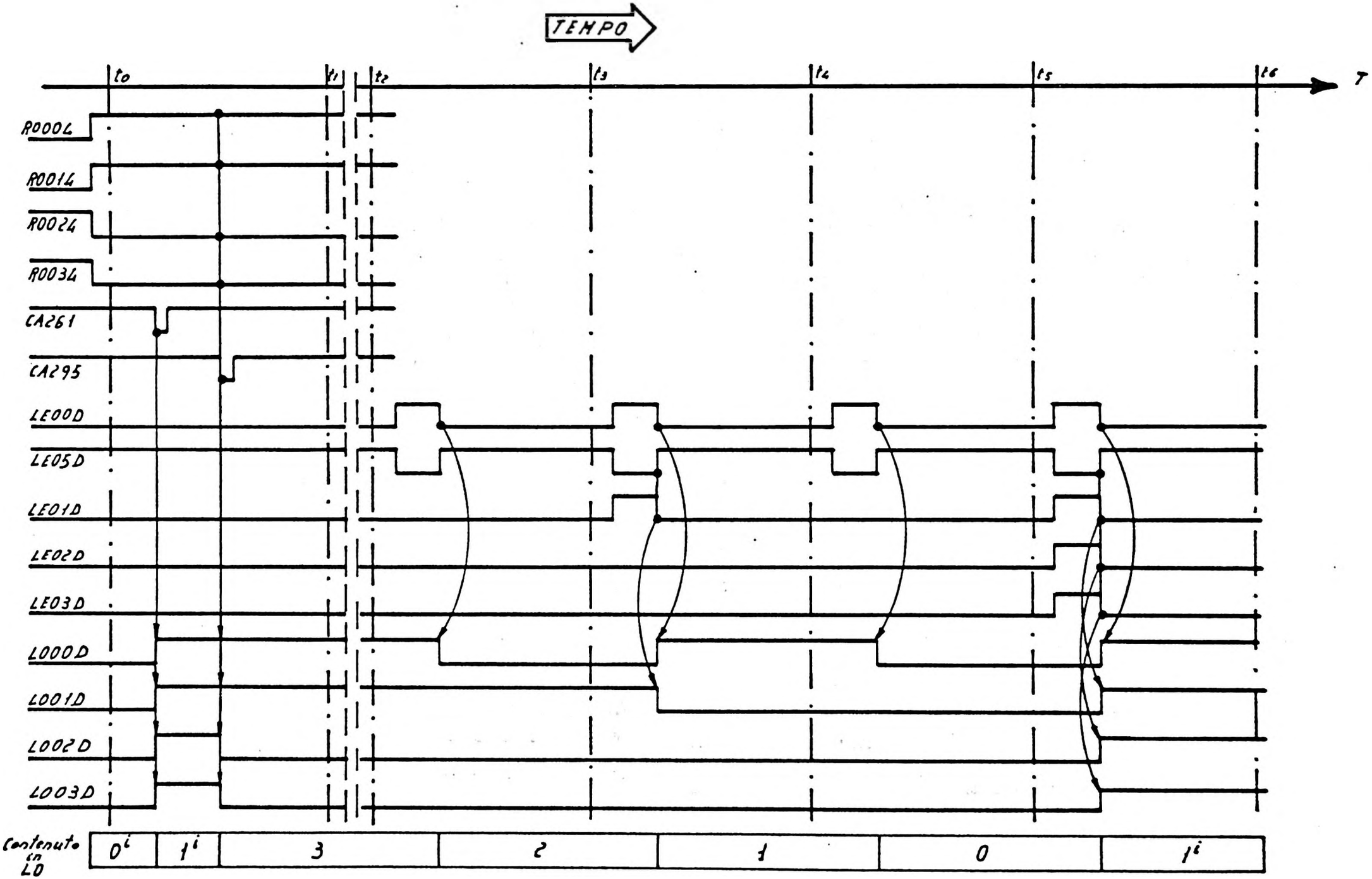

TEMPO
t0
t1
t2
t3
t4
t5
t6
T
R0004
R0014
R0024
R0034
CA261
CA295
LE00D
LE05D
LE01D
LE02D
LE03D
L000D
L001D
L002D
L003D
Contenuto in L0
0i
1i
3
2
1
0
1i

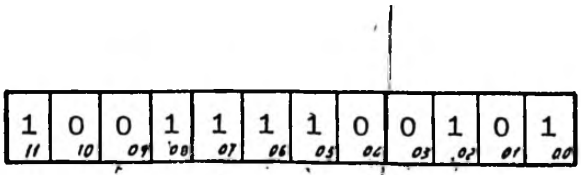
Fig. 13.5.3

La Fig. 13.5.5 riporta lo schema del registro LO e la relativa rete di conta.

Questo schema dà anche la versione massima di LO. Quando invece nella U.C. è montato un solo modulo di memoria (4096 posizioni), e solamente in questo, caso mancano i flip-flop LO10 e LO11 ed i relativi circuiti della rete di conta.

Il funzionamento di tutto il registro, se si considera il segnale CO39D a " 0 " è analogo a quello visto per i primi quattro flip-flop.

Immaginando registrato in LO il valore riportato in Fig. 13.5.4 effettuare una sola conta con il CO39D a " 0 " ed una sola conta, per lo stesso valore con il CO39D a " 1 ".



LO

Fig. 13.5.4

DOMANDE

a) - Con il segnale CO39D a " 0 " qual'è il contenuto di LO, caricato con il valore di Fig. 13.5.4 dopo una conta ? 1001 LO 0100
.....
.....

b) - Con il segnale CO39D a " 1 " qual'è il contenuto di LO, caricato con il valore di Fig. 13.5.4 dopo una conta ?
.....1001 1101 0100.....
.....

c) - Qual'è la differenza esistente fra la conta in LO con il CO39D a " 0 " e con il CO39D a " 1 " ?
.....La conta interessa LO.....
.....
Conta sporadicamente. Due cifre

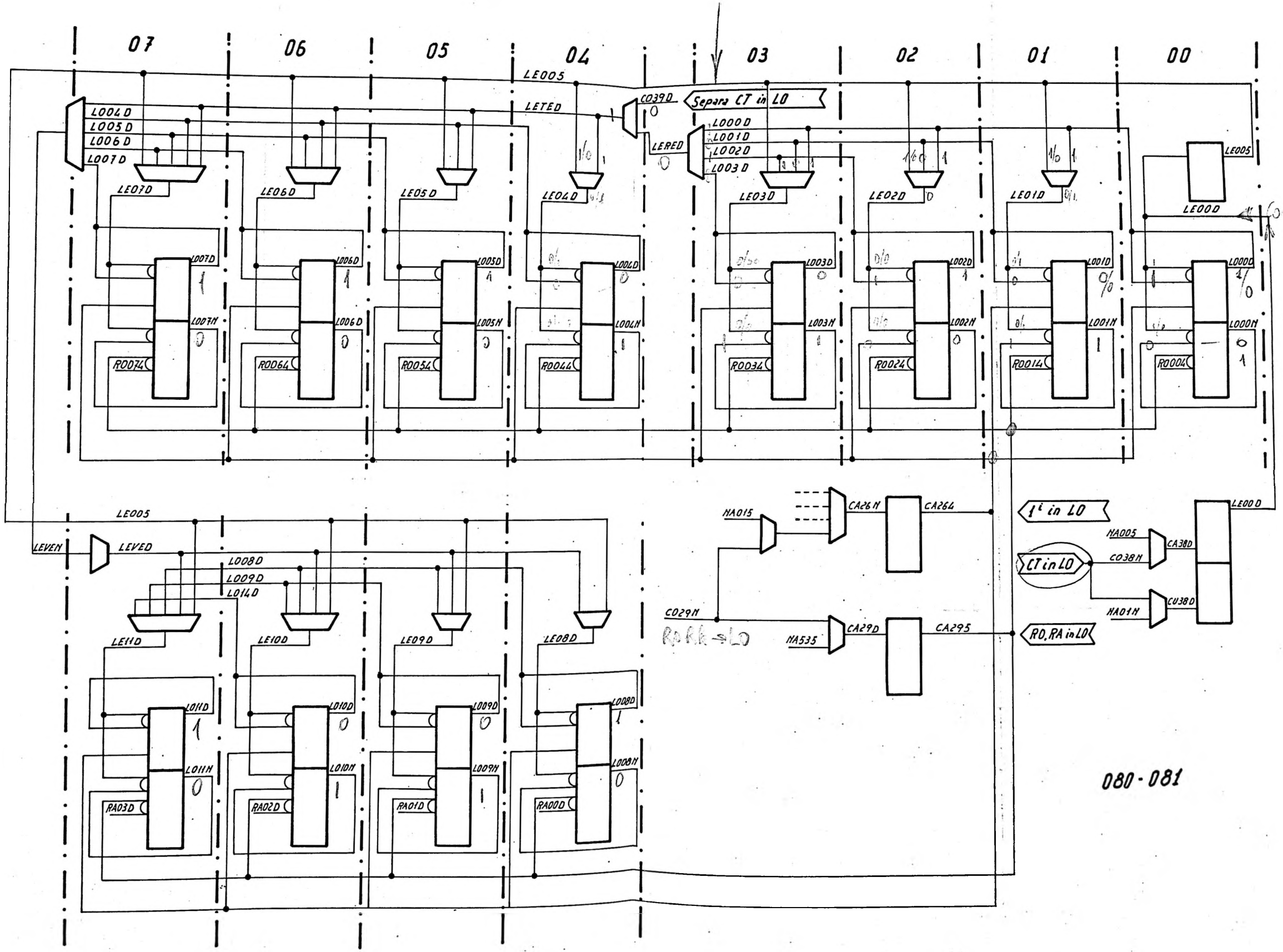

07
06
05
04
03
02
01
00
LE005
LETED
CO39D
Separa CT in LO
LEVEN
LEVED
LERED
LE007D
LE006D
LE005D
LE004D
LE003D
LE002D
LE001D
LE000D
Conta
LO07H
LO06H
LO05H
LO04H
LO03H
LO02H
LO01H
LO00H
RO074
RO064
RO054
RO044
RO034
RO024
RO014
RO004
LE011D
LE010D
LE009D
LE008D
LO11H
LO10H
LO09H
LO08H
RA03D
RA02D
RA01D
RA00D
NA015
CA26H
CA264
CO29H
NA535
CA29D
CA295
RA RA → LO
1ⁱ in LO
NA005
CA38D
CO38H
CT in LO
CU38D
NA01H
RO, RA in LO
080 - 081

Fig. 13.5.5

RISPOSTE

a) -

1	0	0	1	1	1	1	0	0	1	0	0

b) -

1	0	0	1	1	1	0	1	0	1	0	0

c) - Con il CO39D a "0" si ha la conta su tutto LO, mentre con il CO39D a "1" si ha la conta separata dei due gruppi di flip-flop .

13.6. UTILIZZAZIONE DEL REGISTRO LO

Durante la fase beta il contenuto di LO viene diminuito di 1 tramite la rete di conta ogni volta che viene elaborato un carattere del campo E.

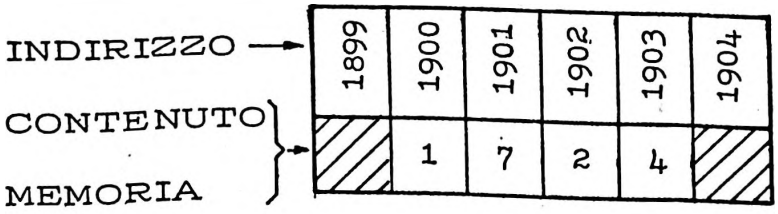
In questa fase LO fornisce alcune condizioni logiche atte a modificare lo svolgimento della fase beta stessa. Infatti l'elaborazione termina quando LO ha raggiunto tutti UNO.

Le quantità dei caratteri che si debbono elaborare compare nel codice L dell'istruzione.

IL CODICE L ESPRIME IL NUMERO DEI CARATTERI DA TRATTARE DIMINUITO DI UNO OVVERO IL NUMERO OTTENUTO FACENDO LA DIFFERENZA ARITMETICA FRA GLI INDIRIZZI ESTREMI DEL CAMPO DA TRATTARE.

A chiarimento di quanto sopra si prende in considerazione il seguente esempio :

si voglia trattare il dato 1724 che occupa la memoria dall'indirizzo 1900 all'indirizzo 1903.



L = n° caratteri - 1 = 4 - 1 = 3

ovvero :

L = 1903 - 1900 = 3

$l = 3$

Ponendo tale valore in LO e contando -1 ad ogni carattere elaborato si ha :

Conta -1	Carattere elaborato	Contenuto in LO	Note
1^a	Primo	3-1 = 2	
2^a	Secondo	2-1 = 1	
3^a	Terzo	1-1=tutti 0	
4^a	Quarto	tutti 0-1= tutti uno	Segnala la fine elaborazione

Fig. 13.6.1

Dalla tabella di Fig. 13.6.1 si può notare che, affinchè si abbia la fine dell'elaborazione (tutti uno in LO) con un carattere di lunghezza L = 3 occorrono 4 conte cioè il numero di caratteri da elaborare diminuito di uno.

13.7. MEMORIZZAZIONI IN LO

In relazione al tipo di istruzione LO esplica funzioni diverse e precisamente :

- nelle istruzioni di tipo A2, LO memorizza il carattere L (8 bit) che definisce una lunghezza massima di 256 caratteri. L'evoluzione di LO fornisce le seguenti condizioni :

  1° - se LO è diverso da " tutti uno " cioò significa che l'esame dei caratteri del campo E non è ancora terminato

  2° - se LO diventa " tutti uno " durante le istruzioni SR SN significa che la ricerca carattere non ha avuto esito positivo

  3° - se diventa " tutti uno " durante le altre istruzioni significa che l'elaborazione dei caratteri è terminata.

- nelle istruzioni di tipo A1, LO memorizza LE ed LA (di 4 bit ciascuno). LE fornisce una lunghezza massima di 16 caratteri. In questo caso la rete di conta tratta separatamente i due semicaratteri, sottraendo ad entrambi una unità ogni volta che viene trattato un carattere del campo E, L'evoluzione di LE e LA fornisce le seguenti condizioni :-

  1° - se LA diventa " tutti zero " significa che è stato trattato il penultimo carattere del campo A. Questo evento opera il completamento del campo A con zeri dalla parte più significativa quando LA è minore di LE

  2° - se LE è diverso da " tutti uno " significa che l'esame dei caratteri del campo E non è ancora terminato

  3° - se LE diventa " tutti uno " ciò significa che l'esame dei caratteri è terminato. In questo caso nascono i comandi d'invio alla fase alfa dell'istruzione successiva.

Il registro LO è utilizzato per intero nelle istruzioni esterne, la sua funzione la si vedrà nella trattazione di queste ultime.

Come si è visto il caricamento del registro viene sempre preceduto dal forzaggio della configurazione " tutti uno " e si ottiene nei seguenti casi :

1° - alla preparazione del caricamento di un programma , mediante pressione sul tasto LOAD1 o LOAD2 e LOAD della console operativa

2° - prima di ricevere il contenuto di RO e RA , sia in fase di caricamento in LO dei caratteri LE, LA, L, che in caso di forzaggio della console di manutenzione. Il caricamento avviene validando le maschere di reset dei primi 8 flip-flop di LO con le uscite dirette dei corrispondenti flip-flop di RO e le maschere di reset dei restanti 4 flip-flop con le uscite dirette dei primi 4 flip-flop di RA.
Tali maschere sono attivate nei seguenti casi :

1° - durante la fase alfa in cui LO riceve da RO, RA, il carattere L (nelle istruzioni di tipo A2) od il carattere LE, LA (in quelle di tipo A1). In entrambi i casi il contenuto di RA è indeterminato, ma ciò non ha conseguenze in quanto, il contenuto degli ultimi 4 flip-flop di LO non viene preso in considerazione dalla matrice logica

2° - nelle istruzioni esterne

3° - mediante predisposizione dell'apposito commutatore sulla console di manutenzione e successiva pressione sul pulsante "START".

LEZIONE 14

Tempo di studio
30 minuti

14. CONSOLE (SCHEMI ELETTRICI)

In questa lezione sono presentati gli schemi della console operativa e della console di manutenzione. Vengono sottolineate le particolarità più interessanti relative ai segnali utilizzati nelle console stesse.

14.1. CONSOLE OPERATIVA

In Fig. 14.1.1 é riportato lo schema elettrico della console operativa . Sotto ogni singolo segnale é riportato il riferimento al foglio degli schemi logico costruttivo dove si trova il segnale. I segnali che vanno alla console operativa o che vengono dalla stessa entrano o escono dall'U.C. tramite una piastrina chiamata COCA (connettore CAVO). Negli schemi logico-costruttivi cono riportati i disegni dei COCA e i riferimenti ai segnali interessati.

Nello schema elettrico della console operativa non ci sono particolarità rilevanti tranne per il circuito STAND BY che viene quì sotto analizzato accuratamente.

14.2. CIRCUITO STAND BY

Il pulsante STAND BY lavora in combinazione con il contaore dell'elaboratore ed ha lo scopo di abilitare o disabilitare sia il contaore che il funzionamento dell'elaboratore.

I quattro casi sono quì di seguto riportati .

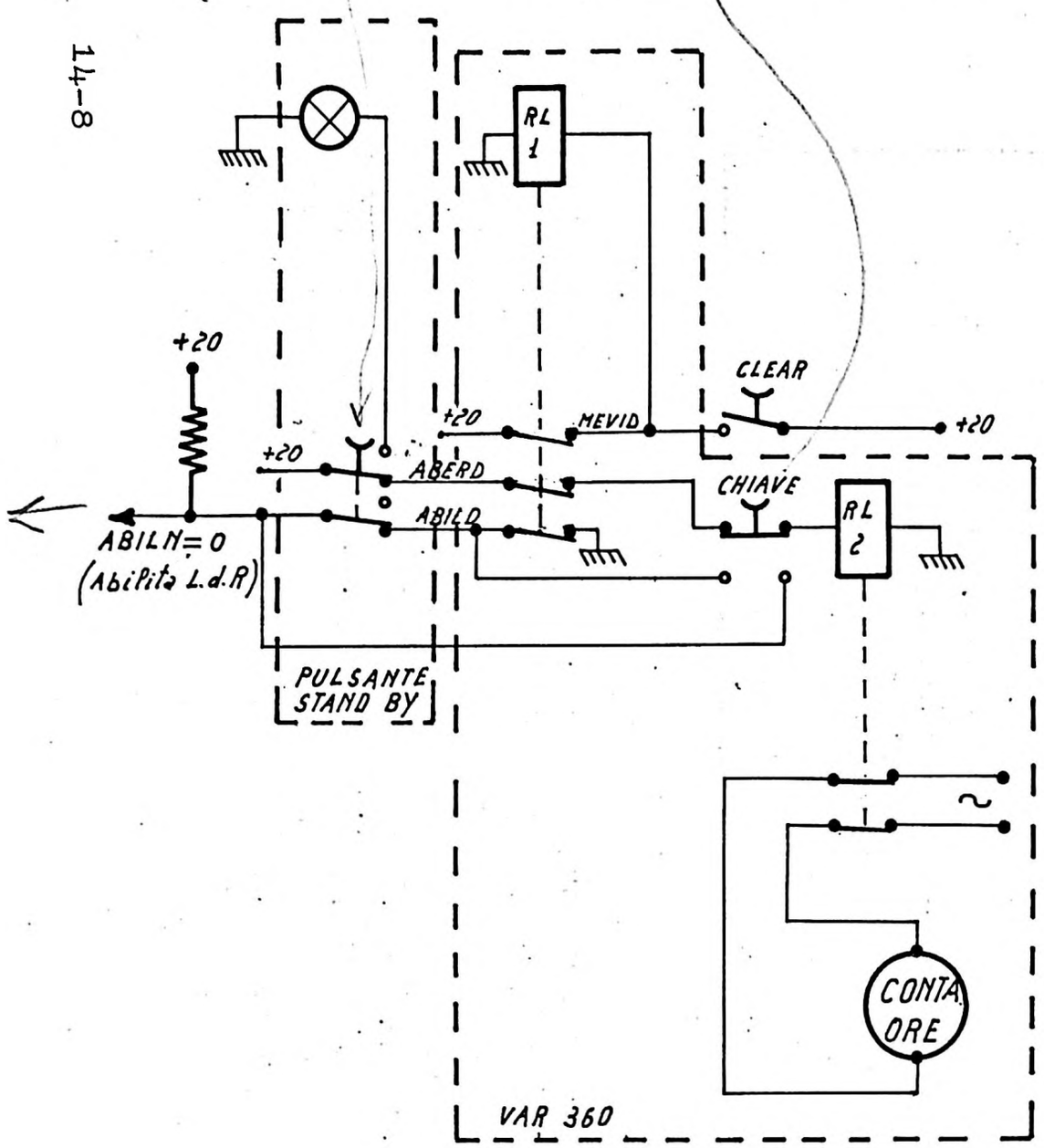
	CHIAVE / CONTAORE	
	non inserita	inserita
NO STAND BY (Lampadino spento)	contaore e elaboratore abilitati (1° caso)	contaore non abilitato; elaboratore abilitato (2° caso)
STAND BY (Lampadino acceso)	contaore e elaboratore non abilitati (3° caso)	contaore non abilitato; elaboratore abilitato (4° caso)

Nelle Fig. 14.2.1 e 14.2.2 viene riportato lo schema di principio del funzionamento del pulsante STAND BY con la chiave del contaore.

Si tenga presente che l'elaboratore può funzionare solo se il segnale ABILN = 0 (abilitazione L.d.R. vedi lezione 2 paragrafo 2.2.).

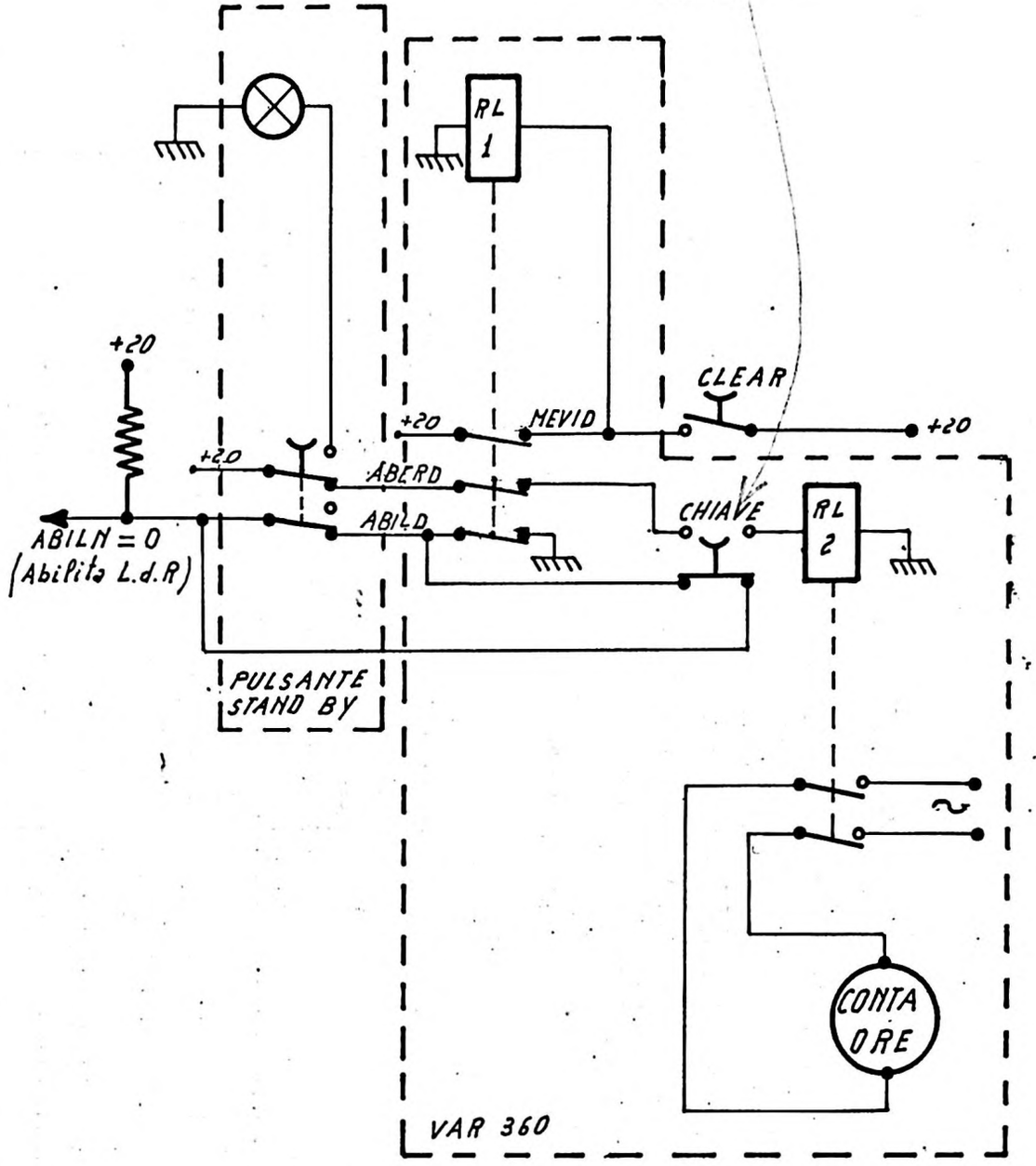
Quando ABILN = 1 l'elaboratore non può funzionare. Tutte le condizioni sono valide solo dopo aver premuto il pulsante CLEAR.

NO STAND BY - CHIAVE NON INSERITA



1° CASO

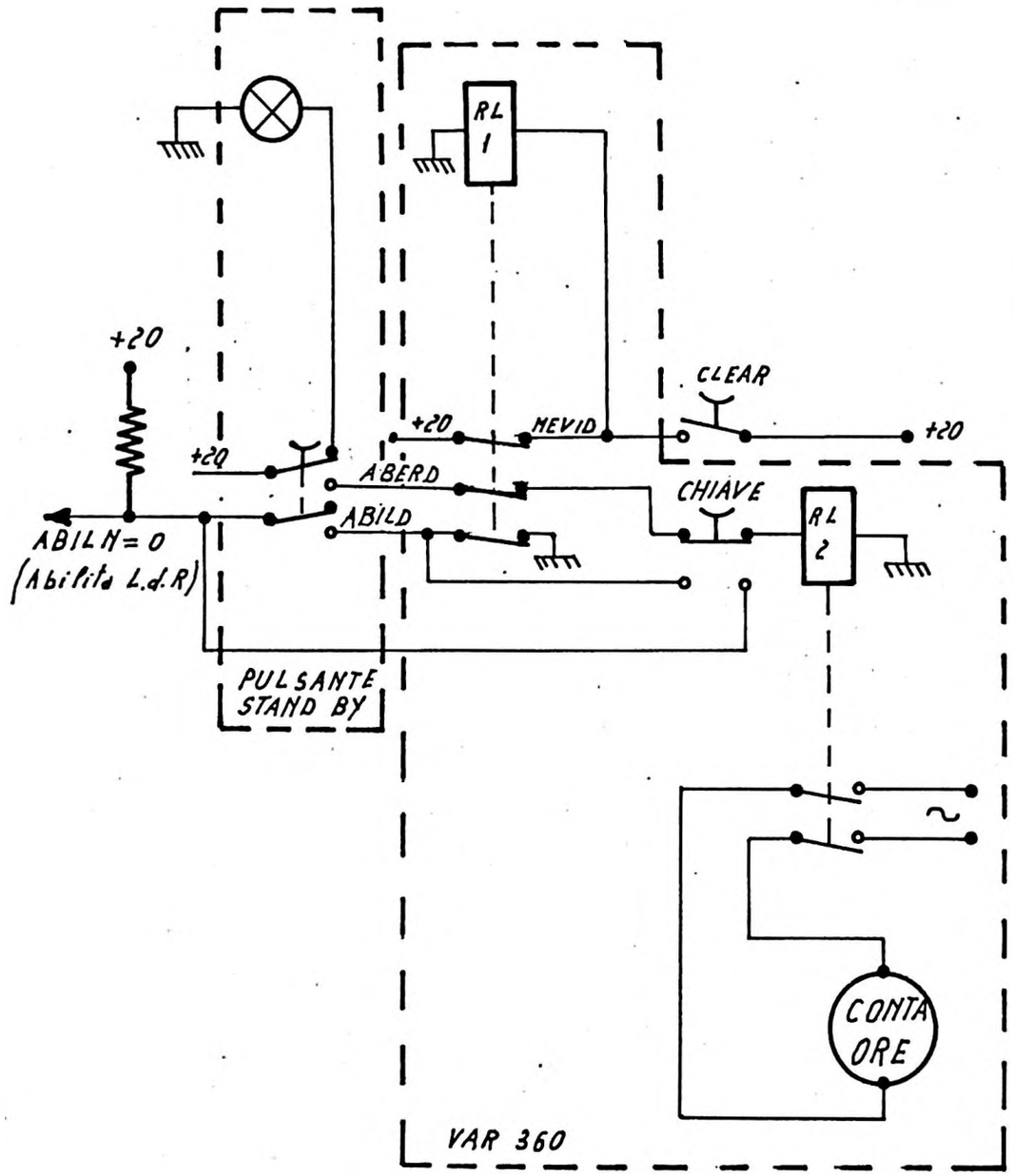
NO STAND BY - CHIAVE INSERITA



2° CASO

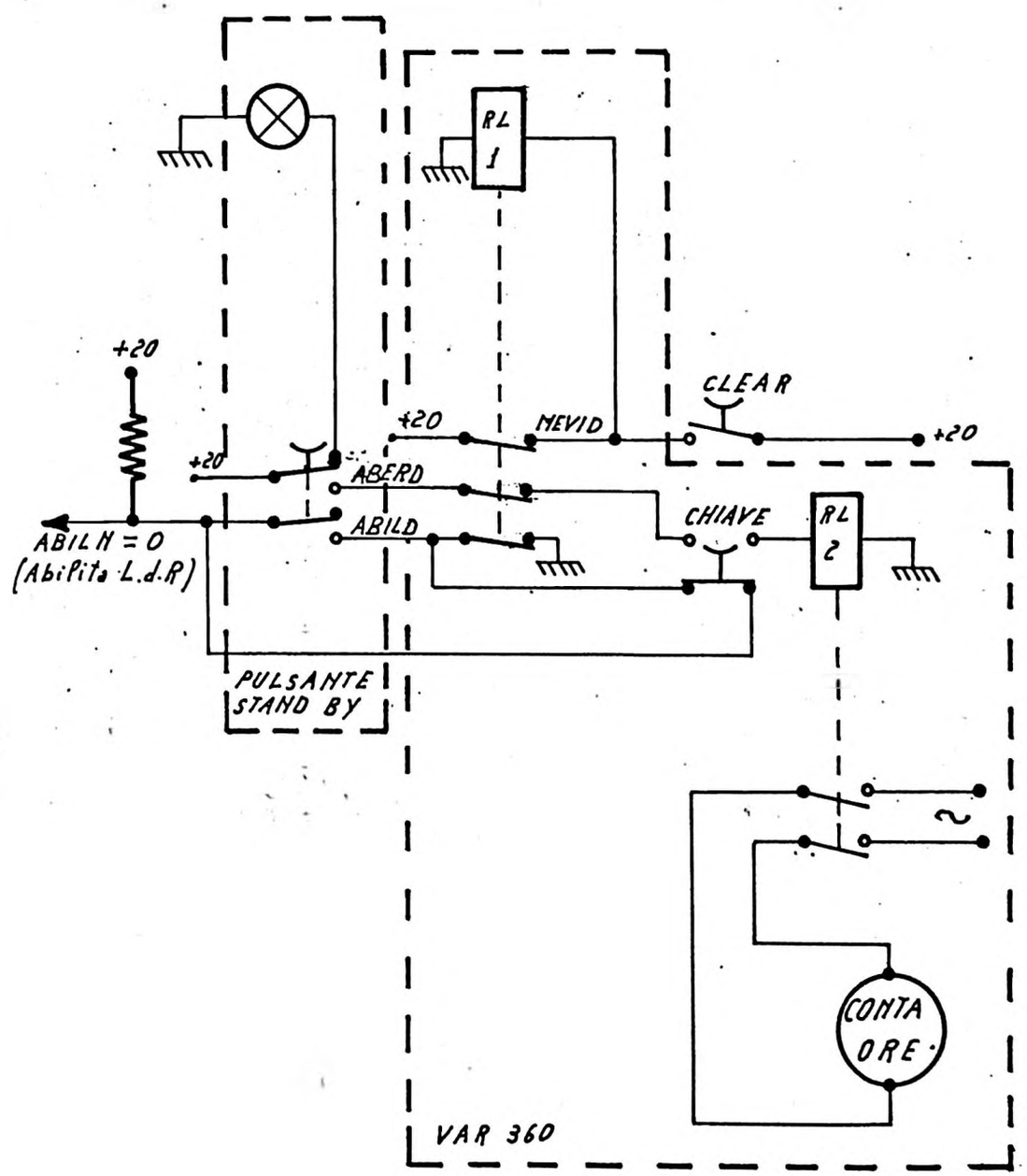
Fig. 14.2.1

STAND BY - CHIAVE NON INSERITA



3° CASO Abilit LAR-clock
Non conto ore
Lampada accesa

STAND BY - CHIAVE INSERITA



4° CASO clock Non abil LAR
Non conto ore
Lampada accesa

Fig. 14.2.2

14.3 SCHEMA ELETTRICO DELLA CONSOLE DI MANUTENZIONE

In Fig. 14.3.1 é riportato lo schema elettrico della console di manutenzione.

Sono visibili :

- le quattro sezioni (S20A + S20D) del commutatore per il caricamento manuale degli organi di macchina. I segnali vanno ai corrispondenti COCA in U.C. Essi sono creati o da DADE5 o da DADE4 o da TEVI4 ,tutti segnali che provengono dal circuito d'avvio della L.d.R.

  Il segnale TEMED é il segnale che condiziona la partenza della L.d.R. Cioé se il commutatore non é nella posizione di riposo tale segnale si porta a valore logio "1" e blocca la L.d.R.

  Si può inoltre osservare che i comandi CO96-CO98 non sono comandi di matrice bensì comandi generati dalla console.

- i pulsanti che generano i segnali logici PAPA + STOCD.

  Bisogna tener presente che a riposo i segnali

  PAPAD, SIMED, FEINN, SITED, STOCD } sono valore logico "0"

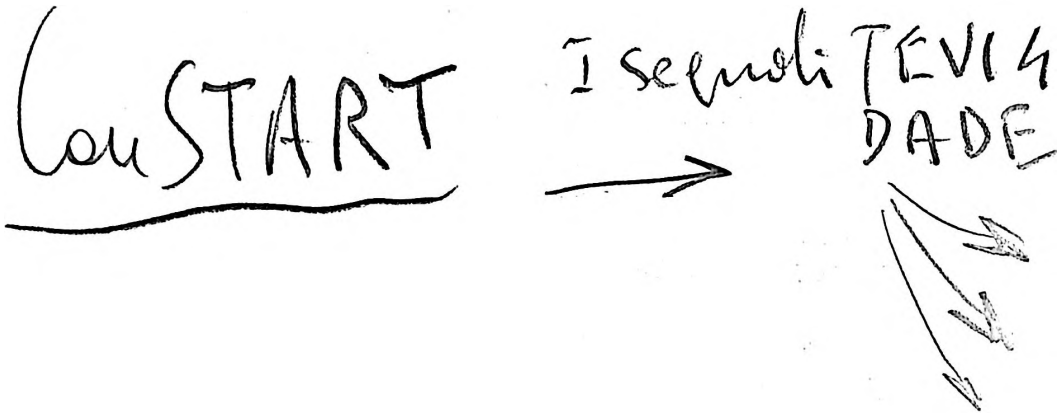
  mentre i segnali

  NAO54, MANUN, ARNON, ARCON } sono valore logico "1"

- il segnale TUNOD che segnala se tutte le chiavi sono a riposo nella console operativa (MAINT ON)

- il deviatore MELE - MESE che genera i segnali MIMID e MEMED

- i lampadini di segnalazione della console di manutenzione.



Commitettoire →

lib. pg.

(4. sezioni)

RIEPILOGO

Tempo di studio
2 ore

1. LA PREMUTA DELLO "SGANCIO" PROVOCA :

- l'azzeramento del registro VA.(8)
- l'azzeramento del registro VE.(52)
- la configurazione di uno STATO particolare (S101) in SO. (21)

2. IL REGISTRO VO VIENE CARICATO DAL REGISTRO VI :

- con lo SGANCIO. (17)
- ad ogni STATO della fase alfa. (158)
- ad ogni STATO della fase beta. (22)

3. SE E' POSIZIONATA LA CHIAVE INAR IN CONSOLE DI MANUTENZIONE :

- non si arresta la macchina in caso di E.I. (86)
- si blocca la rete di check non scrivendo niente in memoria. (47)
- si eseguono le istruzioni STATO per STATO.(69)

4. IL SEGNALE BARO 4 E' A UNO :

- nelle AD-AB per validare i riporti tra gli stati dell'U.A.(85)
- nelle SD-SB per forzare un riporto nel primo stadio dell'U.A. (112)
- solo nella XC per ~~forzare~~ un riporto in ogni stadio dell'U.A. (24)

5. LA CHIAVE INCE POSIZIONATA :

- inibisce l'arresto in caso di errore interno. (43)
- disabilita il tasto STOP se non é stata eseguita una ADA con F' 2/0. (65)
- blocca la rete di check permettendo la scrittura in memoria del check originale. (25)

6. L'INSERIMENTO DELL'ANSA ARITMETICA SI HA :

- sempre e solo quando si debba registrare in RO un risultato di una qualsiasi istruzione. (157)
- sempre e solo quando bisogna calcolare il check. (121)
- tutte le volte che nell'ambito della stessa ciclata si debba modificare il contenuto di RO nell'intervallo di tempo che va da dopo la lettura a prima della scrittura in memoria. (19)

7. L'ISTRUZIONE DI NC TRA DUE CARATTERI SI HA :

- collegando l'uscita diretta dei flip-flop di RA alla maschera resistenza lato reset dei corrispondenti flip-flop di RO. (108)
- collegando l'uscita negata dei flip-flop di RA alle maschere resistenze lato set dei corrispondenti flip-flop RO. (14)
- tramite l'U.A. (96)

8. IL REGISTRO VA l'INDIRIZZO DI QUALE CAMPO CONTIENE ?

- campo E. (29)
- campo I . (74)
- campo A. (107)

9. VEDASI LEZIONE N. 7

10. Il 4° CARATTERE DI UNA ISTRUZIONE PUO' INTERESSARE IL REGISTRO FO ?

- si. (31)
- no. (21)

11. NELLA FASE ALFA RA VIENE UTILIZZATO:

- come registro di lugnhezza. (88)
- come registro memorizzatore di F. (104)
- come registro ausiliario. (78)

12. QUANDO SI CARICA VI ?

- all'inizio di un programma. (95)
- durante la fase di esecuzione. (33)

13. LA PARTENZA DI UN SOLO SPEZZONE DEL LA LINEA DI RITARDO SI HA :

- sempre . (38)
- posizionando opportunamente MELE-MESE. (94)

14. VEDASI LEZIONE N. 8

15. NELLE AD IL RISULTATO DI $\overline{\overline{RA}}$+RO E' DECIMALE ?

- no. (36)
- si. (45)

16. RE E' UN REGISTRO CHE NON INTERESSA MAI L'U.A. TORNARE ALLA DOMANDA PRECEDENTE. (137)

17. VEDASI LEZIONE N. 7

18. LA CHIAVE MELE-MESE DOVE VIENE UTILIZZATA ?

- nella logica della linea di ritardo. (39)
- nella logica del check. (42)

19. LA CHIAVE STEP BY STEP DELLA CONSOLE OPERATIVA SERVE :

- per arrestare il programma al termine di ogni STATO. (26)
- per arrestare il programma ad ogni condizione verificata. (81)
- per arrestare il programma al termine di ogni istruzione. (55)

20. CONTINUARE LO SVOLGIMENTO DEL PROGRAMMA DEL CORSO INIZIANDO LO STUDIO DEL VOLUME "MEMORIA 16 K".

21. IL REGISTRO FO VIENE AZZERATO IN FASE ALFA :

- prima della lettura del 4° carattere. (10)
- dopo la lettura del 6° carattere. (50)
- prima della lettura del 1° carattere. (60)

22. VEDASI LEZIONE N. 16 VOLUME "INTRODUZIONE".

23. VEDASI LEZIONE N.3

24. METTENDO A MASSA IL CO10N SI AVRA' :

- la validazione della conta in meno. (5)
- la validazione della conta in più. (111)

25. LA CHIAVE STOC POSIZIONATA :

- annulla le conseguenze dell'istruzione INS e riattiva lo STOP da console.(56)
- predispone la condizione COEN. (110)

26. VEDASI LEZIONE N.1

27. FARE UNA CONTA IN VE SIGNIFICA :

- inviare l'impulso di conta nel registro VE e fare VO ± in VE. (62).
- inviare l'impulso di conta in VO e trasferire VO in VE. (61)
- fare VO ± 1 in VE. (63)

28. L'U.A. NON VIENE INTERESSATA DALL'ISTRUZIONE OR LOGICO. VEDERE VOLUME DI LOGICA E LEZIONI N. 10 E 11.

29. IL CAMPO E DA QUALE INDIRIZZATORE E' INTERESSATO ?

- VE. (52)
- VI . (30)

30. VI HA LA FUNZIONE DI :

- scambiare i dati con RA. (142)
- contenere l'indirizzo di programma. (51)
- scambiare i dati con RO. (148)

31. VEDASI LEZIONE N. 16 DEL VOLUME "INTRODUZIONE".

32. IN QUALE DEI SEGUENTI MODI SONO PREDISPOSTI GLI INDIRIZZI DI UNA ISTRUZIONE DI TIPO A1 :

- IE^+ IE^- IA^+ IA^- (78)
- IA^- IA^+ IE^+ IE^- (49)
- IA^+ IA^- IE^- IE^+ (71)

33. DURANTE LA FASE ESECUTIVA NON SI DEVE MAI INTERESSARE VI.TORNARE ALLA DOMANDA (95).

34. VEDASI LEZIONE N. 8

35. ESISTE UN FORZAGGIO TRAMITE COMANDO IN LO ?

- si. (46)
- no. (93)

36. VEDASI LEZIONE N.11

37. NELLE OPERAZIONI DI ADDIZIONE POICHE' L'EQUAZIONE DELL'U.A. E' $\overline{A}$+B+ (RIPO) SI FA UN PRIMO TRASFERIMENTO $\overline{RO}$→RA CHE EQUIVALE IN DEFINITIVA PER L'U.A. A $\overline{A}$+B+ (RIPO) = A+B (RIPO). SOLO NELLE SOTTRAZIONI L'U.A. CONSIDERA RA. TORNARE ALLA 144.

38. VEDASI LEZIONE N. 2

39. COSA CONSENTE DI ESEGUIRE LA CHIAVE MELE-MESE ?

- lettura-scrittura di memoria separate. (56)
- controllo di LO. (42)

40. VEDASI LEZIONE N. 16 DEL VOLUME "INTRODUZIONE"

41. VEDASI LEZIONE N. 16 DEL VOLUME "INTRODUZIONE".

42. VEDASI LEZIONE N.1.

43. LA CHIAVE CHE INIBISCE L'ARRESTO IN CASO DI ERRORE INTERNO E' LA CHIAVE INAR. TORNARE ALLA DOMANDA 5.

44. LACORREZIONE A 6 SERVE :

- a rendere un risultato binario, decimale. (66)
- a rendere un risultato decimale, binario. (138)

45. NECESSITA QUALCHE PARTICOLARE ACCORGIMENTO PER RENDERLO DECIMALE ?

- si. (67)
- no. (84)

46. VEDASI LEZIONE N.13

47. VEDASI LEZIONE N. 1

48. ERIR SIGNIFICA :

- errore interno.(158)
- errore esterno. (70)

49. VEDASI LEZIONE N. 5 DEL VOLUME "INTRODUZIONE"

50. IL 6° CARATTERE DI UN'ISTRUZIONE E' UN INDIRIZZO; PUO' INTERESSARE IL REGISTRO FO ?

- si. (31)
- no. (21)

51. PUO' VI INDIRIZZARE UNA ZONA DI ELABORAZIONE DATI ?

- si. (73)
- no. (29)

52. VE E' L'INDIRIZZATORE DEL CAMPO E E SI AZZERA SOLO CON I SEGNALI INPED - IMPUD. SI RITORNI ALLA DOMANDA 1.

53. IN UNITA' CENTRALE SIANO REGISTRATI A PARTIRE DALL'INDIRIZZO 0/0-0/0 DI MEMORIA I SEGUENTI CARATTERI :

13/2 0/10 0/10 10/0 0/0 13/2 13/7 0/10 0/0 13/2 0/10 10/0 0/10 0/0.
SI PREMA IL PULSANTE SGANCIO E SUCCESSIVAMENTE IL PULSANTE VIA. SI AVRA' :

- l'arresto della temporizzazione dopo due ciclate della linea di ritardo. (120)
- l'arresto della temporizzazione dopo aver letto i caratteri registrati all'indirizzo 0/0 0/12 e 0/0 0/13: (20)

54. VEDASI LEZIONE N.13

55. NELLE ISTRUZIONI DI TIPO A1 E A2 IL REGISTRO FO RICEVE :

- il carattere F e lo mantiene per la sola fase alfa.(40)
- il carattere L e lo mantiene per tutta la durata dell'istruzione. (41)
- il carattere F e lo mantiene per tutta la durata dell'istruzione. (27)

56. L'AZZERAMENTO DI RO IN OGNI CICLATA PUO' ESSERE IMPEDITO :

- posizionando la chiave MELE-MESE. (18)
- posizionando la chiave PAPA. (64)
- posizionando la chiave SIME. (75)

57. VEDASI LEZIONE N.9

58. SI HA L'INSERIMENTO DELL'ANSA ARITMETICA SE :

- é presente il CO61D. (76)
- é assente il CO61D. (126)

59. "INIBIZIONE MEMORIA IN RO" SIGNIFICA :

- non si trasferisce in RO la lettura di memoria.(152)
- non si trasferisce in memoria il contenuto di RO.(87)
- RO blocca i circuiti di inibizione memoria. (139)

60. NELLE ISTRUZIONI DI TIPO IMMEDIATO (MVI-CMI) il 2° CARATTERE E' :

- la lunghezza del campo E. (89)
- una costante. (78)
- la lunghezza LE-LA. (147)

61. VEDASI LEZIONE N.5

62. VEDASI LEZIONE N.5

63. LA RETE DI CONTA DEL REGISTRO LO CONTA :

- meno uno nelle istruzioni di tipo A1 perché dette istruzioni si svolgono per indirizzi decrescenti. (54)
- più uno nelle istruzioni di tipo A2 perché dette istruzioni si svolgono per indirizzi crescenti. (72)
- conta sempre meno uno. (92)

64. LA CHIAVE PAPA SERVE :

- per proseguire STATO per STATO premendo lo START. (56)
- per proseguire per più STATI premendo lo START. (81)

65. L'ISTRUZIONE INS HA LA FUNZIONE DI :

- abilitare l'arresto della macchina quando F' 2/0.(122)
- disabilitare l'arresto della macchina quando F' 2/0. (82)

66. NELLE AD INTERESSA IL SEGNALE BARO?

- si. (83)
- no. (4)

67. QUAL'E' QUESTO ACCORGIMENTO ?

- correzione a+6. (44)
- correzione a+9. (100)

68. VEDASI APPENDICE (MATRICE LOGICA)

69. VEDASI LEZIONE N. 1

70. NO. ERIR SIGNIFICA ERRORE INTERNO. TORNARE ALLA DOMANDA 158.

71. VEDASI LEZIONE N. 5 DEL VOLUME "INTRODUZIONE".

72. VEDASI LEZIONE N.13

73. VEDASI LEZIONE N. 16 DEL VOLUME "INTRODUZIONE "

74. PER CAMPO I S'INTENDE :

- una zona di dati. (91)
- la zona del programma. (90)

75. IL MASTRO NA054PUO' ESSERE MESSO A MASSA DALLA CHIAVE :

- RICI. (6)
- ACON. (81)
- ACOV. (97)

76. IL MASTRO DI CONTA DI LO AGISCE DIRETTAMENTE :

- su tutti i flip-flop di LO. (93)
- sul circuito di comando di "separa conta" (151)

77. VEDASI LEZIONE N. 1

78. NELLA FASE ALFA LEGGENDO IL 3° CARATTERE DI UNA ISTRUZIONE SI HA :

- trasferimento in RA del carattere più significativo dell'indirizzo. (95)
- trasferimento in RA della lunghezza. (11)
- trasferimento in RA del carattere meno significativo dell'indirizzo. (32)

79. IL REGISTRO RE E' UN REGISTRO CHE NON E' COLLEGATO ALLA U.A.
TORNARE ALLA DOMANDA 92.

80. ANDARE ALLA DOMANDA 79.

81. VEDASI LEZIONE N. 1

82. INFLUISCE LA CHIAVE STEP BY STEP CUL CIRCUITO DI CONTROLLO DEL CHECK ?

- si. (98)
- no. (5)

83. VEDASI LEZIONE N . 10 - 11

84. VEDASI LEZIONE N. 11

85. L'EQUAZIONE CHE E' IN GRADO DI RISOLVE RE L'U.A. PER LE AD E' :

SD. —
- $A+\overline{B}+$ (RIPO).(101)
- $\overline{A}+\overline{B}+$ (RIPO).(113)
- $\overline{\overline{A}}+B+$ (RIPO).(137) = A+B

86. IL REGISTRO SO VIENE MANUALMENTE CARICATO :

- dal registro VO. (114)
- dal registro RA. (23)
- dal registro RO. (58)
- dal registro RE. (102)

87. LA LINEA DI RITARDO E' DIVISA IN DUE SPEZZONI CHE INTERESSANO NELL'ORDINE:

- lettura-scrittura in memoria. (103)
- scrittura-lettura in memoria. (115)

88. COME SI CHIAMA IL REGISTRO DELLA LUNGHEZZA ?

- RA. (116)
- LO. (11)
- RO. (128)

89. IN QUALE GRUPPO DI ISTRUZIONI SI ESPRIME SOLO LA LUNGHEZZA DEL CAMPO E ?

- A2. (105)
- A1. (117)
- C4. (141)

90. CON QUALE INDIRIZZATORE SI PROCEDE ALLA SCANSIONE DEL PROGRAMMA ?

- VI. (51)
- VE.(106)

91. IL CAMPO I E' INTERESSATO DALL'INDIRIZZATORE VI CHE E' :

- l'indirizzatore del programma. (51)
- un registro ausiliario. (118)

92. NELLE ISTRUZIONI AD E AB I CARATTERI DEL CAMPO A E QUELLI DEL CAMPO E SI REGISTRANO COME SEGUE :

- carattere di A diritto in RA, carattere di E, diritto in RE. (79)
- carattere di A negato in RA, carattere di E negato in RE. (80)
- carattere di A negato in RA, carattere di E diritto in RO.(7).

93. IL CO 39 AGISCE :

- forzando in set la prima parte di LO. (35)
- forzando il mastro LE00 in tutti i flip-flop di LO.(156)
- rendendo indipendente i mastro LE04 dalla posizione dei primi 4 flip-flop di LO. (4)

94. SE IL COMMUTATORE DELLA CONSOLE DI MANUTENZIONE NON E' IN POSIZIONE NORMALE AD OGNI VIA SI HA :

- la partenza di un solo spezzone della L.d.R. (13)
- il flip-flop TEMA viene resettato. (38)
- la partenza di TEVI4 e poi DADE ma non della L.d.R. (3)

95. IL REGISTRO VI VIENE AZZERATO :

- con il CLEAR. (2)
- ad ogni STATO della fase beta. (140)

96. L'U.A. NON VIENE INTERESSATA DALL'AND LOGICO. VEDERE IL VOLUME "INTRODUZIONE" E LE LEZIONI N. 10 E 11.

97. VEDASI LEZIONE N. 1

98. VEDASI LEZIONE N. 1

99. E' NECESSARIO FARE DELLE CORREZIONI SUL RISULTATO DI OPERAZIONI BINARIE ?

- si. (160) — Nelle SB è automat.co + 1 ? non è ritenuta una correzione ?!
- no. (112)

100. IN QUALE ALTRO CASO SI USA LA CORREZIONE A 9 ?

- nessuno. (112) ✓
- nella SB.(99) ? no !

101. VEDASI LEZIONE N.10

102. VEDASI LEZIONE N. 3

103. QUANDO SI ESEGUE IL CICLO DI L.d.R. SI LEGGE SEMPRE DA MEMORIA ?

- si. (127)
- no. (115)

104. COSA MEMORIZZA IL REGISTRO FO ?

- il carattere di funzione. (11)
- la lunghezza. (88)

105. LA LUNGHEZZA DEI DATI DEVE ESSERE ESPRESSA SEMPRE IN TUTTI I GRUPPI DI ISTRUZIONI ?

- si. (117)
- no. (60)

106. VEDASI LEZIONE N. 16 DEL VOLUME "INTRODUZIONE".

107. L'INDIRIZZATORE VA NORMALMENTE SI CARICA :

- durante la fase beta. (130)
- durante la fase alfa. (119)

108. L'ISTRUZIONE DI OR LOGICO SI HA:

- collegando l'uscita diretta dei fli-flop di RA alla maschera resistenza lato reset dei corrispondenti flip-flop di RO. (34)
- collegando l'uscita negata dei flip-flop di RA alla maschera resistenza lato set dei corrrispondenti flip-flop di RO. (53)
- tramite l'U.A. (28)

109. VEDASI LEZIONE N. 2

110. IL FLIP-FLOP COEN A CHE COSA SERVE?

- a segnalare un errore. (125)
- a segnalare l'avvenuta istruzione LON con F' =8/0. (25)
- a segnalare l'avvenuta istruzione LOFF con F' =4/0. (134)

111. E' NECESSARIO PER AVERE LA CONTA PIU' CHE SIA A VALORE "0" IL :

- CO10N. (123)
- CO10D. (24)

112. QUAL'E' L'OPERAZIONE LOGICA CHE RISOLVE L'U.A. PER LE SOTTRAZIONI ?

- $\overline{A}$+B+RIPO.(124)
- $\overline{A+B+RIPO}$.(83)

113. VEDASI LEZIONE N. 10

114. VEDASI LEZIONE N. 3

115. VEDASI LEZIONE N. 4

116. IL REGISTRO RA E' SOLO UN REGISTRO DI DEPOSITO. TORNARE ALLA 88.

117. VEDASI LEZIONE N. 5 DEL VOLUME "INTRODUZIONE".

118. I REGISTRI AUSILIARI HANNO LO SCOPO DI :

- ricordare alcuni eventi particolari. (91)
- indirizzare la memoria. (149)

119. CHE CONTENUTO DEVE RICORDARE VA ?

- l'indirizzo del campo A dell'istruzione. (131)
- l'indirizzo del campo E dell'istruzione. (52)

120. IN DUE CICLATE DI L.d.R. QUANTI CARATTERI DI UNA ISTRUZIONE SI LEGGONO ?

- 2. (132)
- 4. (38)

121. INFLUISCE IL CALCOLO DEL CHECK SUL CARICAMENTO DI RO ?

- si. (133)
- no. (6)

122. VEDASI LEZIONE N. 15 DEL VOLUME "INTRODUZIONE".

123. A CHE VALORE LOGICO CREA I COMANDI NEGATI LA MATRICE LOGICA ?

- "0". (111)
- "1". (136)

124. RIPO HA LA STESSA FUNZIONE DI BARO ?

- no. (4)
- si. (135)

125. VEDASI LEZIONE N. 12.

126. SE E' A "0" CO61D, A CHE VALORE SI TRO VA CO61N?

- "1". (58)
- "0". (159)

127. QUANDO SI FA IL CICLO DI SCRITTURA SI SCRIVE SEMPRE IN MEMORIA ?

- si. (59)
- no. (115)

128. VEDASI LA LEZIONE N. 13

129. VEDASI LA LEZIONE N. 7 DEL VOLUME "INTRODUZIONE"

130. VEDASI LA LEZIONE N. 16 DEL VOLUME "INTRODUZIONE"

131. HA IMPORTANZA AZZERARE VA CON IL CLEAR ?

- si. (9)
- no. (1) —

132. IL CODICE D/2 CHE CARATTERE DI FUN - ZIONE RAPPRESENTA ?

- MVC. (154) —
- TR. (143)

133. VEDASI LEZIONE N.4

134. VEDASI LEZIONE N. 12

135. VEDASI LEZIONE N. 11

136. VEDASI LEZIONE N.3

137. IL CARATTERE A, SIMBOLICAMENTE RAPPRESENTATO, IN QUALE ORGANO VA INTRODOTTO ?

- RE. (16)
- RA. (144)

138. VEDASI LEZIONE N. 11

139. PUO' IL REGISTRO RO BLOCCARE I CIRCUITI DI INIBIZIONE MEMORIA ?

- si. (115)
- no. (59) —

140. DURANTE LA FASE BETA VI NON E' MAI INTERESSATO PERCHE' :

- deve ricordare l'indirizzo del codice di funzione del carattere seguente. (95)
- deve essere ricaricato. (12)

?

141. VEDASI LEZIONE N. 11 DEL VOLUME "INTRODUZIONE".

142. VEDASI LEZIONE N. 7

143. VEDASI LEZIONE N. 22 DEL VOLUME "INTRODUZIONE".

144. NELLE OPERAZIONI AD E AB L'UNITA' ARITMETICA DEVE RICEVERE :

- $\overline{RA}$. (15)
- RA. (37)
- RE. (16)

145. VEDASI LEZIONE N. 3

146. VEDASI LEZIONE N. 11

147. IN QUALE GRUPPO D'ISTRUZIONI SI ESPRIME LA LUNGHEZZA DI LA-LE?

- A1. (105)
- A2. (129)
- C4. (141)

148. VEDASI LEZIONE N. 7

149. L'ORGANO CHE INDIRIZZA LA MEMORIA E' SOLO L'INDIRIZZATORE VO.
VEDASI LEZIONE N. 16 DEL VOLUME "INTRODUZIONE".

150. VEDASI LEZIONE N. 1

151. IL CIRCUITO "SEPARA CONTA" E' UTILIZZATO PER :

- rendere indipendenti i gruppi dei flip-flop di LO nelle istruzioni A1. (153)
- rendere indipendenti i gruppi dei flip-flop di LO nelle istruzioni A2. (155)

152. LA CHIAVE MELE-MESE SULLA CONSOLE DI MANUTENZIONE SERVE :

- per poter scrivere in memoria un carattere con il check errato. (146)
- per arrestare il programma ad ogni STATO. (150)
- per arrestare il programma ad ogni istruzione. (77)
- per eseguire lettura-scrittura di memoria in due momenti diversi. (94)

153. VEDASI LEZIONE N.13

154. PUO' UN'ISTRUZIONE M/C FAR FERMARE IL CALCOLATORE DURANTE IL SUO CORRETTO SVOLGIMENTO ?.

- si. (143)
- no. (53)

155. CI VUOLE UN COMANDO PARTICOLARE PER ATTIVARE LA SEPARA CONTA IN LO?

- si. (93)
- no. (153)

156. E' CON IL CO39 CHE SI COMANDA LA CONTA IN LO?

- si. (68)
- no. (93)

157. IN UNA MVC NECESSITA AVVIARE L' ANSA ARITMETICA ?

- si. (109)
- no. (6)

158. IL SET DI ERIR PROVOCA :

- la segnalazione di errore esterno. (48)
- l'arresto del programma. (59)
- una condizione di confronto. (57)

159. A CHE LIVELLO GENERA I COMANDI NEGATI LA MATRICE LOGICA ?

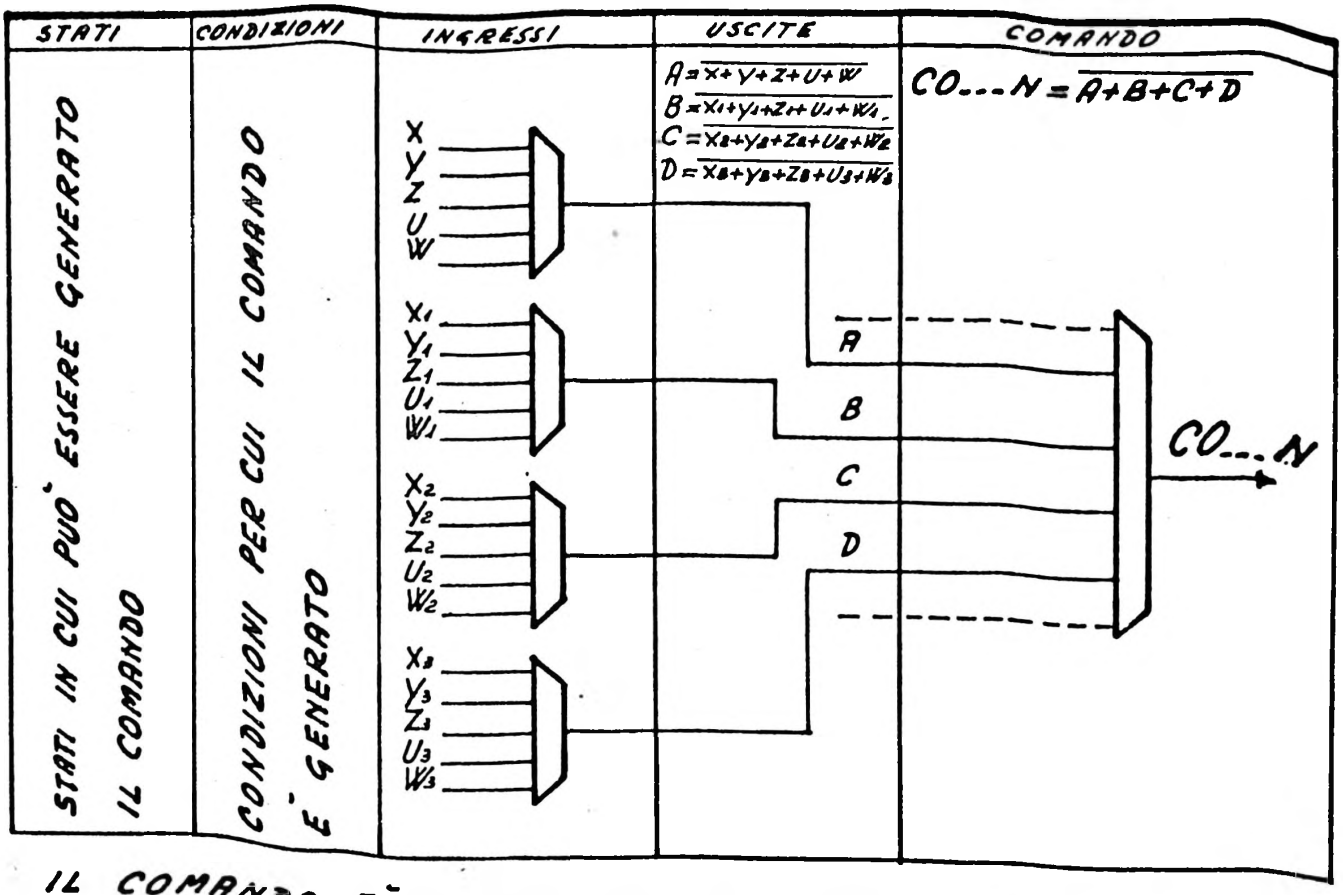
- "1". (145)
- "0". (58)

160. VEDASI LEZIONE N. 10.

APPENDICE

Le equazioni logiche dei comandi sono state ricavate dai capitoli 210 - 211 - 212 - 213 - 220 - 221- - 222 - 223 dello schemario logico generale.

$A_n \Rightarrow B$



IL COMANDO E' CREATO DALLA MATRICE LOGICA SEMPRE A VALORE LOGICO "0" (FANNO ECCEZIONE I COMANDI C035, C039, C041 CHE SONO GENERATI A VALORE LOGICO "1")

$A \rightarrow B$ SIGNIFICA CHE SI TRASFERISCE A IN B CON PREVENTIVO AZZERAMENTO DI B

$A \Rightarrow B$ SIGNIFICA CHE A SI TRASFERISCE IN B. B RICOPIA A ~~IN ISTANTO A~~ ENTRA IN B IN SET E IN RESET / ovviamente viceversa... CONTEMPORANEAMENTE

$A \rightarrow B$ SIGNIFICA CHE A SI TRASFERISCE IN B SENZA RIMESSA A ZERO DI B.

$\bar{A} \rightarrow B$ SIGNIFICA CHE A NEGATO SI TRASFERISCE IN B

$A+ \rightarrow B-$ SIGNIFICA CHE LA PARTE PIU' SIGNIFICATIVA DI A SI TRASFERISCE NELLA PARTE MENO SIGNIFICATIVA DI B

$0 \rightarrow B$ SIGNIFICA CHE B VIENE RIMESSO TUTTO A ZERO

$1^i \rightarrow B$ SIGNIFICA CHE B VIENE RIMESSO TUTTO A UNO

$A_{0300} \rightarrow B_{0704}$ SIGNIFICA CHE A DA 00 A 03 (I PRIMI 4 FF) SI TRASFERISCE IN B DA 04 A 07 (I SECONDI 4 FF).

Comando

stato

VE ⇨ VO — C000

$$C000N = \overline{S107D + S112D + S125D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107		S107D	S0036, S0026, S0016, S0004
—	(β I/O CANALE E)	S112D	S0093, S0006
—	(β GENERALE ESTERNE)	S125D	S0024, S0014, S0004

VA ⇨ VO — C001

$$C001N = \overline{S106D + S108D + S116D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S106		S106D	S0034, S0026, S0015, S0004
—	(β SCARICAM. E)	S108D	S0035, S0025, S0014, S0004
—	(β I/O CON A)	S116D	S099N, S0005

VI ⇨ VO — C002

$$C002N = \overline{S100D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
—	(FASE d)	S100D	S0024, S0015, S0004

0 ⟶ VE — C003

$$C003N = \overline{S104D + S130D + FA13D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S104		S104D	S005R, S0044, S0034, S1006
S130		S130D	S0056, S0046, S0034, S1265
S105	COVE	FA13D	S106N, COVEN

0 ⟶ VA+ — C004

$$C004N = \overline{S105D + FA99D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S105		S105D	S005A, S0045, S0034, S1006
S130	F000	FA99D	S0055, S0046, S0034, S1255, F0005

0 ⟶ VA− — C005

$$C005N = \overline{S105D + FA50D + S119D + FA99D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S105		S105D	S005A, S0045, S0034, S1005
S107	TR. $\overline{3005}$	FA50D	S1075, F0014, F1006, S0054
S119		S119D	S0065, S0064, S0044, S1166
S130	F000	FA99D	S0055, S0045, S0034, S1266, F0005

CT ⟶ VE — C007

$$C007N = \overline{FA13D + FE80D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S105	COVE	FA13D	S105N, COVEN
——	(VE→VO) ($\overline{\text{INIB. CT}}$)	FE80D	C000N, C011D

CT. MENO — C010

$$C010N = \overline{FA18D+C039D+FA30D+S108D+FA71D+FE20D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S106	AD+SD.....+CMQ	FA18D	S106N, F1018
S107	AD+SD.....+CMQ+	C039D	S107N, F1015
S107	+SL	FA30D	S1075, F0064, F0035, F0015, F0005
------	(β SCARICAM. VE)	S108D	S0038, S0026, S0014, S0004
——	(βI10 CON E). F005	FA71D	S112N, F0055
S121	LESAN	FE20D	S121N, LESAD

INIB. CT. — C011

$$C011N = \overline{SE50N + FA13D + FA17D + FA28D + FA72D + FA74D + FA75D + FA89D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S105	COVE	FA13D	S106N, COVEN
S106	TR	FA17D	S1065, F0014, F1005
S107	(EDT + TR). $\overline{S005}$	FA28D	S1075, S0054, F1005
S113	$\overline{F006}$	FA72D	S113N, F0064
S114	$\overline{F004}.\overline{S002}.\overline{FINU}$ +	FA74D	S1145, F0044, S0024, FINU4
S114	+ F006. FINU	FA75D	S1145, F0065, FINUN
S119	FISA	FA89D	S0065, S0054, S0044, S1165, FISAN
S106	SL + SR		
S115			
S124		SE50N	SE50D
S130			
S131			

RO - RA ⟶ VE — C012

$$C012N = \overline{S104D + S130D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S104		S104D	S005R, S0044, S0034, S1005
S130		S130D	S0055, S0046, S0034, S1255

RA ⟶ VA+ | C013

$C013N = \overline{FE12D + FA99D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S105	$\overline{COVE}$	FE12D	S105N, COVED
S130	F000	FA99D	S0056, S0046, S0034, S1855, F0005

RO ⟶ VA− | C014

$C014N = \overline{FE12D + FA50D + FE21D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S105	$\overline{COVE}$	FE12D	S105N, COVED
S107	TR · $\overline{S005}$	FA50D	S1075, F0014, F1005, S0054
S130	F000 · SELA	FE21D	S130N, F0005, SELA N

255 ⟶ VA | C016

$C016N = \overline{FA13D + FE13D + FA88D + S124D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S105	COVE	FA13D	S105N, COVEN
S106	SL + SR	FE13D	S1065, F0054, F0035, F0005
S115	$\overline{S006}$ · $\overline{S006}$ · S004	FA88D	S115N, S0064, S0054, S0045
S124		S124D	S0064, S0054, S0044, S1165

$\overline{VE} \longrightarrow RO$ — C017

$C017N = \overline{S110D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S110		S110D	S0054, S108N

$0 \longrightarrow RA$ (PER RE → RA) — C018

$C018N = \overline{FA47D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	CFC	FA47D	S1075, F0064, F0034, F0025

$0 \longrightarrow RA$ (PER RO → RA) — C019

$C019N = \overline{SE51N + FA23D + FA22D + FA85D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S106	$\overline{PK+}$	FA23D	S1065, F107D
S106	$+PK \cdot \overline{S005}$	FA22D	S1065, F0035, F0016, F1035, S0054
S114	$\overline{S002} \cdot \overline{F004}$	FA85D	S1145, S0024, F0044
S128		S128D	S0055, S0035, S1255
S103			
S107			
S110		SE51N	SE51D
S117			

RO 03,00 ⟶ RA 03,00 — C020

$$C020N = \overline{S103D + FA20D + FA21D + SE13D + S117D + S128D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S103		S103D	S005R, S0036, S1006
S106	$\overline{AD} \cdot \overline{AB} \cdot \overline{PK} +$	FA20D	S1065, F106D, F107D
S106	$+ PK \cdot S005$	FA21D	S1065, F0035, F0015, F1035, S0065
S107	$EDT. \overline{S005}$	SE13D	S1075, F0015, F1005, S0054
S117		S117D	S0066, S0055, S1165
S128		S128D	S0066, S0035, S1256

RO 07,04 ⟶ RA 07,04 — C021

$$C021N = \overline{FA20D + SE13D + S117D + S103D + S128D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S106	$\overline{AD} \cdot \overline{AB} \cdot \overline{PK}$	FA20D	S1065, F106D, F107D
S107	$EDT. \overline{S005}$	SE13D	S1075, F0015, F1006, S0054
S117		S117D	S0066, S0055, S1165
S103		S103D	S005R, S0036, S1006
S128		S128D	S0055, S0036, S1256

RO 03,00 ⟶ RA 07,04 — C022

$$C022N = \overline{FA22D + FA85D + S1165}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S106	$PK \cdot \overline{S006}$	FA22D	S1065, F0035, F0016, F1036, S0064
S114	$\overline{S002} \cdot \overline{F004}$	FA85D	S1145, S0024, F0044
		S1165	S116D

$\overline{RO} \longrightarrow RA$ — C023

$$C023N = \overline{FA19D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S106	AD + AB	FA19D	S1066, F1015, F0015, F0004

$RO \longrightarrow FO$ — C027

$$C027N = \overline{S101D + S126D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S101		S101D	S0054, S0035, S1005
S126		S126D	S0054, S0045, S0035, S1255

$RO \longrightarrow RE$ — C028

$$C028N = \overline{S102D + FA48D + FA73D + FA78D + S127D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S102		S102D	S0054, S0034, S1005
S107	EDT. S004. $\overline{S005}$	FA48D	SE13N, S0045
S113	F006	FA73D	S113N, F0065
S114	F006	FA78D	S1145, F0065
S127		S127D	S0054, S0045, S0034, S1255

RO, RA ⟶ LO — C029

$$C029N = \overline{S102D + S129D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S102		S102D	S0054, S0034, S1006
S129		S129D	S0066, S0044, S0034, S1255

RE ⟶ RO — C030

$$C030N = \overline{FA33D + FA44D + FA80D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	MVI +	FA33D	S1075, F0064, F0034, F0024
S107	+EDT. S005. $\overline{DIVE}$	FA44D	SE14N, DIVED
S114	$\overline{SETE}$. $\overline{F006}$	FA80D	S1145, SETED, F0064

RA ⟶ RO — C031

$$C031N = \overline{FA32D + FA45D + FA46D + S111D + S118D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	MVC + PH +	FA32D	S1075, F0065, F0015, F1035
S107	+ EDT. S005. DIVE +	FA45D	SE14N, DIVEN
S107	+ TR . S005	FA46D	S1075, F0014, F1005, S0055
S111		S111D	S0055, S108N
S118		S118D	S0064, S005R, S0045, S1165

RE ⟶ RA — C032

$$C032N = \overline{FA47D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	CMI	FA47D	S1075, F0064, F0034, F0025

INIB.M ⟶ RO — C033

$$C033N = \overline{FA31D + FA32D + FA33D + S108D + FA76D + S117D + S118D + S121D + SIMED + NOMA4}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	(EDT+TR).S005+	FA31D	S1075, S0055, F1005
S107	+ PK+MVC+	FA32D	S1075, F0065, F0016, F1035
S107	+TFC	FA33D	S1075, F0064, F0034, F0024
——	SIME	SIMED	
——		NOMA4	V0125, V0135
——	(BSCARICAM. VE)	S108D	S0035, S0025, S0014, S0004
S114	F006	FA76D	S1145, F0064
S117		S117D	S0065, S0055, S1165
S118		S118D	S0064, S005R, S0045, S1165
S121		S121D	S0065, S0064, S0046, S1165

CHK ⟶ 08M (INIBIZIONE) — C034

$$C034N = \overline{C061D + C046}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
——	(CICLO UA)+	C061D	C061N
——	+(SCRITTURA NORMALE)	C046D	C033N, C035D, SIMED

ABIL. CHECK DI U.E ⟶ RO — C035

$$C035D = \overline{S1145 + F0064 + S0024 + MANUN}$$
(SERVE DIRITTO)

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S114	$\overline{F006}.\overline{S002}.MANU$	C035D	S1145, F0064, S0024, MANUN

RESET. ERIR — C036

$$C036N = \overline{FE16D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S105	JS.RE05.COVE	FE16D	S105N, RE055, F0045, F0074, COVEN

STOP L.d.R. — C037

$$C037N = \overline{FA01D + PAPAD + FE19D + FE17D + FE18D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S101	(HLT) RO + ISIS·DISON	FA01D	S0054, S0035, S1005, SE0040
——	PAPA	PAPAD	
——	ERIR.FEIN	FE19D	ERIRN, FEINN
S105	ARCO.COVE	FE17D	S105N, ARCON, COVEN
S105	ARNO.COVE (A+JRT)	FE18D	S105N, ARNON, COVED, F0074

A = JC+NOP2+HLT+JS+INS+ENS+LON+LOFF+(NSSUNA FASE β)

CT in LO — C038

$$C038N = \overline{FA40D + FA31D + FA38D + S113D + FE22D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	$\overline{EDT}.\overline{TR}.\overline{UPK}+$	FA40D	S1075, F100D, F109D
S107	+(EDT+TR).S005+	FA31D	S1075, S0055, F1005
S107	+UPK.S005	FA38D	S1075, F109N, S0055
S113		S113D	S0035, S0024, S0014, S112N
S114	S002+F004	FE22D	S1145, FE23D

SEPARA. CT in LO — C039

$$C039D = \overline{S1076 + F1015}$$

(SERVE DIRITTO)

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	AD +SD +..... +CMQ	S1076	S107D
		F1015	F101D

RESET. RIPO — C040

$$C040N = \overline{FA02D + FE26D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S102	AD +AB +MVQ	FA02D	S1025, F1015, F0075, F0004
S110	SCARICAMENTO VE	FE26D	C017N, CAPEN, SA20D

SET. RIPO — C041

$$C041N = \overline{FA04D + FA05D + FA06D + FA03D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S102	SD+SB+CMQ+	FA04D	S1025, F1015, F0075, F0006
S102	CMC+CMI+XC	FA05D	S1025, F0075, F0034, F0006
S102	+SL+SR	FA06D	S1025, F0054, F0075, F0035, F0005
S102	EDT+ PER	FA03D	S1025, F1006, F0075, F0016

RESET. DIVE — C042

$$C042N = \overline{FA02D + FA03D + FA04D + FA05 + FA06D + FA54D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S102	AD + AB + MVQ+	FA02D	S1025, F1015, F0075, F0004
S102	+ EDT+ PER+	FA03D	S1025, F1005, F0075, F0016
S102	+ SD+SB+CMQ+	FA04D	S1025, F1015, F0075, F0005
S102	+CMC+CMI+XC	FA05D	S1025, F0075, F0034, F0006
S102	+ SL+SR	FA06D	S1025, F0054, F0075, F0035, F0006
S107	EDT.$\overline{5005}$. (RSZ)RO	FA54D	SE13N, SE15N, R0015, R0004

SET. DIVE — C043

$$C043N = \overline{FA25D+FA26D+FA55D+FA56D+FE00D+FE15D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S106	(n+0) RO. EDT+	FA25D	S1065, SE11D, F0016, F1005
S106	+(n+0) RO. MVQ	FA26D	S1065, SE11D, F0014, F0004, F1015
S107	(UA=0).(SL+SR)+	FA55D	S1075, F0064, F0035, F0005, BABAN
S107	+EDT.$\overline{S005}$.(TSZ) RO	FA56D	SE13N, SE15N, R0014, R0005
S131	COUS. F007. F006+	FE00D	S1315, COUSN, F0076, F0065
S131	+COUT. F007. F006	FE15D	S1315, COUTN, F0075, F0065

INIB. SET. ERIR — C045

$$C045N = \overline{FA72D+S115D+S131D+S124C+FA79D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S113	$\overline{F006}$	FA72D	S113N, F0064
S115		S115D	S0034, S0016, S112N
S131		S131D	S0064, S0044, S1265
S124		S124C	S124N
S114		FA79D	S1145, FINU

SCRITTURA CHECK — C046

$C046D = \overline{C033N + C035D + SIMED}$ (SERVE DIRITTO)

STATO	CONDIZIONI	USCITA	INGRESSI NOR
	(INIB. M → RO)	C033N	SIMED, NOMA4, S1170, S1180, S1210, FA310, FA320, FA330, S1080, FA760
	ABILIT. CHECK UE → RO	C035D	S1145, F0064, S0024, MANUN
	SIME	SIMED	

ABIL. SET- COVE — C049

$C049N = \overline{S103D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S103		S103D	S005R, S0035, S1005

SET- CAPE — C051

$C051N = \overline{FE25D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S113	INVEROSIMIGLIANZA COMANDI A UE STANDARD	FE25D	SA30N, S113N

CICLO - U.A. — C061

$C061N = \overline{C039D + FA34D + FA35D + FA36D + FA37D + FA38D + FA39 + FA84D + MIMI}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	AD + SD ..... + CMQ +	C039D	S1076, F1015
S107	+ CMC + CMI	FA34D	S1075, F0054, F0034, F0014, F0005
S107	+ OC +	FA35D	S1075, F0025, F0015, F0004, F1025
S107	+ NC +	FA36D	S1075, F0025, F0014, F0004, F1025
S107	+ XC +	FA37D	S1075, F0015, F0005, F1025
S107	+ UPK. S005 +	FA38D	S1075, F109N, S0055
S107	+ UPK. $\overline{S005}$	FA39D	S1075, F109N, S0054
S114	S002	FA84D	S1145, S0025
——	MIMID	MIMID	

SOTTRAZ. DECIMALE E OPER. BINARIE — C062

$$C062N = \overline{FA42D + FA43D + FA34D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	SD+CMQ+	FA42D	S1076, F0024, F0005, F1015
S107	+AB+SB+	FA43D	S1076, F0025, F1015
S107	+CMC+CMI	FA34D	S1075, F0054, F0034, F0014, F0005

OPERAZIONI DECIMALI — C063

$$C063N = \overline{FA41D + FA42D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	AD+SD+	FA41D	S1076, F0024, F0015, F1015
S107	+SD+CMQ	FA42D	S1076, F0024, F0005, F1015

U.A. ⇨ RO. 03,00 — C064

$$C064N = \overline{FA41D + FA43D + FA37D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	AD+SD+	FA41D	S1076, F0024, F0015, F1015
S107	+AB+SB+	FA43D	S1076, F0025, F1015
S107	+XC	FA37D	S1075, F0015, F0005, F1025

U.A. ⇨ RO. 07,04 — C065

$$C065N = \overline{FA43D + FA37D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	AB+SB+	FA43D	S1076, F0026, F1015
S107	+XC	FA37D	S1075, F0015, F0005, F1025

U.A. ⇨ RIPO. DIVE — C066

$$C066N = \overline{FA34D + FA37D + FA41D + FA43D + FA42D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	CMC + CMI +	FA34D	S1075, F0064, F0034, F0014, F0005
S107	+ XC	FA37D	S1075, F0015, F0005, F1025
S107	+ AB + SD +	FA41D	S1076, F0024, F0015, F1015
S107	+ AB + SB +	FA43D	S1076, F0025, F1015
S107	+ SD + CMQ	FA42D	S1075, F0024, F0005, F1015

RA 07,04 ⇨ RO 03,00 — C067

$$C067N = \overline{FA39D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	UPK · $\overline{S006}$	FA39D	S1075, F109N, S0054

0 ⟶ RA (OPERAZIONI UA.) — C068

$$C068N = \overline{FA53D + FA42D + FA51D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	SD + SB +	FA53D	S1076, F0015, F0006, F1015
S107	+ SD + CMQ +	FA42D	S1075, F0024, F0005, F1015
S107	+ MVI	FA51D	S1076, F0014, F0004, F1015

1i ⟶ RA. (OPERAZIONI UA.) — C069

$$C069N = \overline{FA52D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	AD + AB	FA52D	S1076, F0015, F0004, F1015

RA 03,00 ⟶ RO 03,00 — C070

$$C070N = \overline{FA51D + FA38D + FA35D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	CMQ +	FA51D	S1076, F0014, F0004, F1015
S107	+ UPK. S005	FA38D	S1075, F109N, S0055
S107	+ OC	FA35D	S1075, F0085, F0015, F0004, F1085

RA07,04 ⟶ RO 07,04 | C071

$C071N = \overline{FA35D + FA84D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	OC	FA35D	S1075, F0026, F0015, F0004, F1025
S114	S002	FA84D	S1145, S0025

RA03,00.D ⟶ RO03,00.N | C072

$C072N = \overline{FA51D + FA38D + FA36D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	CMQ+	FA51D	S1076, F0014, F0004, F1015
S107	UPK . S005	FA38D	S1075, F109N, S0055
S107	+ NC	FA36D	S1075, F0025, F0014, F0004, F1025

RA07,04.D ⟶ RO07,04.N | C073

$C073N = \overline{FA36D + FA84D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	NC	FA36D	S1075, F0025, F0014, F0004, F1025
S114	S002	FA84D	S1145, S0025

FOTOD. ⟶ RO — C074

$$C074N = \overline{S117D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S117		S117D	S0065, S0056, S1165

LETT. ⟶ RO — C075

$$C075N = \overline{FA81D + S121D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S114	SETE. $\overline{F006}$	FA81D	S1145, SETE5, F0064
S121		S121D	S0065, S0054, S0045, S1165

ABILITAZ. SET. ERER — C076

$$C076N = \overline{FA80D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S114	$\overline{SETE}$. $\overline{F006}$	FA80D	S1145, SETED, F0064

RESET. ERER — C078

$$C078N = \overline{FE02D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S131	$(\overline{F007} + \overline{F006})$. $\overline{F000}$	FE02D	S1315, F110D, F0004

RESET. ERAR — C079

$C079N = \overline{FE01D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S131	$(\overline{F007} + \overline{F006}) . F000$	FE01D	S1315, F110D, F0005

SET SELEZ. UE (SU SINCRONIZZATORE) — C080

$C080N = \overline{S126D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S126		S126D	S0054, S0046, S0035, S1256

RESET. TERE — C082

$C082N = \overline{S113D + FA83D + FA82D + FA87D + FA96D + FE04D + FE05D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S114	$\overline{SETE} +$	FA83D	S1145, SETED
S114	$+\overline{F006} . \overline{FINU}$	FA82D	S1145, F0064, FINU4
S115	$S006 + S005 + \overline{S004}$	FA87D	S115N, S122D
S127	$\overline{F002}$	FA96D	S127N, F0024
S131	$(\overline{F007} + \overline{F006}) \overline{SETE} . \overline{F000} +$	FE04D	S1315, F110D, SETED, F0004
S131	$+ \overline{F007} . F000 . \overline{F003}$	FE05D	S1315, F0074, F0005, F0034
S113		S113D	S0036, S0084, S0014, S112N

RESET TERA — C083

$$C083N = \overline{FA89D + FA91D + S124D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S119	FISA	FA89D	S0065, S0054, S0044, S1165, FISA N
S121	$\overline{FISA}$	FA91D	S121N, FISAD
S124		S124D	S0064, S0064, S0044, S1165

SET TERE — C084

$$C084N = \overline{FA94D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S124	$S005 \cdot (S002 + S001)$	FA94D	S124N, S0035, S123D

ABILIT TECA — C085

$$C085N = \overline{FA89D + FA91D + FE08D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S119	FISA	FA89D	S0065, S0054, S0044, S1165, FISA N
S121	$\overline{FISA}$	FA91D	S121N, FISAD
S131	$S006 \cdot \overline{F007} \cdot \overline{F003}$	FE08D	S1315, F0074, F0084, S0065

ABILIT. TECU — C086

$$C086N = \overline{FA96D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S127	$\overline{F002}$	FA96D	S127N, F0024

SET. VICU_RESET ATTESA TE10 — C089

$$C089N = \overline{FA79D + S131D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S114	FINU	FA79D	S1145, FINUN
S131		S131D	S0054, S0044, S1255

ABILIT EMISS. TU20 — C091

$$C091N = \overline{FA73D + FA79D + FA78D + FE03D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S113	F006	FA73D	S113N, F0065
S114	FINU+	FA79D	S1145, FINUN
S114	+F006	FA78D	S1146, F0065
S131	$\overline{F007} + \overline{F006}$	FE03D	S1315, F110D

EMISS. TU10 E 0 ⟶ RE — C092

$$C092N = \overline{FA72D + FA82D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S113	F006	FA72D	S113N, F0064
S114	$\overline{F006} \cdot \overline{FINU}$	FA82D	S1146, F0064, FINU4

VIA LETTORE — C093

$$C093N = \overline{FE06D + FE07D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S131	$\overline{F007}$, S006, $\overline{F003}$, SELA+	FE06D	S1315, S0065, F0034, SELAN, F0074
S131	$+\overline{F007}.\overline{F000}.\overline{F003}$. SETE	FE07D	S1315, F0004, F0034, SETE5, F0074

SPARO FINE STAMPA — C094

$$C094N = \overline{S119D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S119		S119D	S0065, S0054, S0044, S1165

SET S000 — C100

$$C100N = \overline{FE11D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S131	$\overline{F007}.\overline{F003}$	FE11D	S1315, F0074, F0034

SET S001 — C101

$$C101N = \overline{S111D + FA79D + FE10D + FE27D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S111		S111D	S0055, S108N
S114	FINU	FA79D	S1145, FINUN
S131	F007+F003+F000	FE10D	S1315, F111D
S113	INVEROSIMIGLIANZA COMANDO A O DA U.E.	FE27D	CAPEN, S113N

SET S002 — C102

$$C102N = \overline{FA12D + FA85D + FA79D + FE27D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
——	(FINE FASE α). $\bar{A}^{*}$. $\overline{PER}$	FA12D	SE00N, F104D, F105D
S114	S002. F004	FA85D	S1145, S0024, F0044
S114	+ FINU	FA79D	S1145, FINUN
S113	INVEROSIMIGLIANZA COMANDO A O DA U.E.	FE27D	CAPEN, S113N

* VEDI PAG. A - 14

SET S003 — C103

$$C103N = \overline{SE52N + FA07D + FA08D + FA09D + FA10D + FA11D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
	(FINE FASE α). A^{*} +	FA07D	SE00R, F0074, F0015
	+(FINE FASE α)(TR + EDT)+	FA08D	SE00N, F0065, F0075, F1005
	+(FINE FASE α)(MVI + CMI)+	FA09D	SE00N, F0064, F0075, F0034
	+(FINE FASE α). IRT +	FA10D	SE00N, F0074, F0014
	+(FINE FASE α). PER	FA11D	SE00N, F0075, F0064, F0045, F0015, F1005
S102	+F007		
S102	+F006		
S104	F006		
S106	$\overline{PK}$ +		
S106	+UPK. S005	SE52N	SE52D
S115			
S127			
S129			
S130			
S131			

SET. S004 — C104

$$C104N = \overline{SE53N + FA49D + FA57D + FA58D + S131D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S104	F006	FA49D	S0055, S0044, S0034, S1005, F0065
S107	(EDT+TR)·(L=1i).S005+	FA57D	S1076, S0055, F1005, SE175
S107	+(AD.....+CMQ)(LE=1i)	FA58D	S1076, F1015, SE16N
S131		S131D	S0054, S0044, S1255
——	(FINE FASE d)		
——	(FINE FASE d)		
——	(FINE FASE d)	SE53N	SE53D
S124			
S129			

SET. S005 — C105

$$C105N = \overline{SE54N + S110D + FA89D + FA98D + FE09D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S110		S110D	S0054, S108N
S119	FISA	FA89D	S0065, S0054, S0044, S1165, FISAN
S127	$\overline{F007}$	FA98D	S127N, F0074
S131	S006, $\overline{SELA}$. $\overline{F007}$. $\overline{F003}$	FE09D	S1315, SELAD, F0074, F0034, S0065
S102	F007+		
S102	+F006		
S106	PK . $\overline{S005}$	SE54N	SE54D
S107	(EDT+TR). $\overline{S005}$ +		
S107	+UPK. $\overline{S005}$		

SET S006 — C106

$$C106N = \overline{S118D + FA90D + FA97D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S118		S118D	S0064, S005R, S0046, S1165
S120	$(\overline{UA=0}).\overline{ERRR}.\overline{FINO}$	FA90D	S120N, BABRD, ERRRD, FINOD
S127	$\overline{F007}.\ F000$	FA97D	S127N, F0074, F0005

RESET S000 — C110

$$C110N = \overline{FA88D + FA94D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S115	$\overline{S006}.\overline{S005}.S004$	FA88D	S115N, S0064, S0054, S0046
S124	$S003\,(S002+S001)$	FA94D	S124N, S0035, S123D

RESET S001 — C111

$$C111N = \overline{FA10D + FA11D + FA70D + FA55D + S115D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
——	$(\text{FINE FASE}\,0).\ JRT+$	FA10D	SE00N, F0074, F0014
——	$+(\text{FINE FASE}\,0).\ PER$	FA11D	SE00N, F0076, F0064, F0046, F0015, F1005
S107	$(L=1)(SL+SR)+$	FA70D	S1076, F0064, F0035, F0005, SE175
S107	$+(UA=0)(SL+SR)$	FA55D	S1075, F0054, F0035, F0005, BRBRN
S115		S115D	S0034, S0016, S112N

RESET S002

C112

$$C112N = \overline{SE55N + FA58D + FA57D + FA66D + FA67D + FA68D + FA69D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	(AD+.....+CMQ)(LE=1^i) +	FA58D	S1076, F1015, SE16N
S107	+(EDT+TR).S006.(L=1^i)+	FA57D	S1076, S0055, F1005, SE175
S107	+UPK.S005(L=1^i)+	FA66D	S1076, FA09N, S0056, SE176
S107	+(CMC+MVC+OC+NC+XC)(L=1^i)+	FA67D	S1076, F1025, SE175
S107	+CMC.DIVE+	FA68D	S1076, F0014, F0006, F1026, DIVEN
S107	+PK.(L=1^i)+	FA69D	S1076, F0035, F0015, F1035, SE175
S107	+MVI+		
S107	+CMI		
S111		SE55N	SE55D
S114	S002.$\overline{FINU}$		

RESET S003

C113

$$C113N=\overline{SE56N+FA59D+FA60D+FA50D+FA61D+FA62D+FA63D+FA64D+FA65D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S107	(AD+...+CMQ)($\overline{LE=Ti}$).S004+	FA59D	S1076, F1015, S0046, SE16D
S107	+EDT.$\overline{S005}$(TSZ+SST)+	FA60D	SE13N, SE15N, R0014
S107	+TR .$\overline{S005}$+	FA50D	S1075, F0014, F1005, S0054
S107	+UPK.S005.($\overline{L=1i}$)+	FA61D	SE18N, F109N, S0055
S107	+CMC.$\overline{DIVE}$.($\overline{L=1i}$)+	FA62D	SE18N, F0014, F0005, F1025, DIVED
S107	+(MVC+OC+NC).($\overline{L=1i}$)+	FA63D	SE18N, F0004, F1025
S107	+(MVC+XC+OC).($\overline{L=1i}$)+	FA64D	SE18N, F0015, F1025
S107	+PK ($\overline{L=1i}$)	FA65D	
S101			
S103			
S113		SE56N	SE56D
S126			
S128			

RESET S004 — C114

$$C114N = \overline{FA16D + FA27D + FA28D + S118D + FA93D + S127D + S130D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S102	F007	FA16D	S1025, F0075
S106	(AD+.....+CMQ)·(LA=0i)	FA27D	S1065, LEREN, F1015
S107	(EDT+TR)·$\overline{S005}$	FA28D	S1075, S0054, F1005
S118		S118D	S0064, S005R, S0045, S1165
S121	FISA	FA93D	S121N, FISAN
S127		S127D	S0054, S0045, S0034, S1255
S130		S130D	S0055, S0045, S0034, S1255

RESET S005 — C115

$$C115N = \overline{SE57N + FA21D + FA31D + FA38D + S120D + S130D}$$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S106	PK. S005	FA21D	S1065, F0035, F0015, F1036, S0055
S107	(EDT+TR)·(S005)+	FA31D	S1075, S0055, F1005
S107	+UPK. S005	FA38D	S1075, F109N, S0055
S120		S120D	S0064, S0065, S0044, S1165
S130		S130D	S0055, S0045, S0034, S1255
——	(FINE FASE d)		
——	(FINE FASE d)		
——	(FINE FASE d)	SE57N	
S111			
S118			

RESET S006

C116

$C116N = \overline{S117D + FA93D}$

STATO	CONDIZIONI	USCITA	INGRESSI NOR
S117		S117D	S0065, S0055, S1165
S121	FISA	FA93D	SRIN, FISAN

CONDIZIONI AUSILIARIE

SE01D	S1005, S0034, F0074, F0064
SE02D	S1005, S0034, S0055, F0064
SE03D	S1006, S0034, S0055, S0045
SE04D	SE10D, SE12D, SE68D
SE05D	SE06D, SE07D, SE08D, SE09D, F108D, SE19D, SE20D, SE21D, SE24D
SE06D	F0044, F0016, RE07N, RIPOD, DIVED
SE07D	F0044, F0016, RE065, RIPOD, DIVEN
SE08D	F0044, F0016, RE055, RIPON, DIVED
SE09D	F0044, F0016, RE045, RIPON, DIVEN
SE10D	R0074, R0035
SE11D	R0034, R0024, R0014, R0004
SE12D	R0034, R0055
SE13D	S1075, F0015, F1005, S0054
SE14D	S1075, F0015, F1005, S0055
SE15D	R0074, R0064, R0055, R0044, R0034, R0024
SE16D	L007N, L006N, L005N, L004N
SE17D	L007N, L006N, L005N, L004N, L003N, L002N, L001N, L000N
SE18D	S1075, SE17D
SE19D	F0045, F0074, RE07N, COASN
SE20D	F0045, F0074, RE065, COESN
SE21D	F0045, F0074, RE055, ERIRN
SE22D	SE175, L009N, L008N, L010N, L011N
SE23D	TERED, TERAD
SE24D	COENN, F0045, F0074, RE045
SE00N	SE01 , SE02 , SE03
SE13N	SE13
SE14N	SE14
SE15N	SE15
SE01N	SE01

CONDIZIONI AUSILIARIE

SE16N	SE16
SE17N	SE17
SE18N	SE18
SE50D	FE13D, S115D, S124D, S130D, S131D
SE51D	S103D, SE13D, S110D, S117D, S128D
SE52D	S115D, S127D, S129D, S130D, S131D, FA14D, FA15D, FA49D, FA23D, FA21D
SE53D	SE01D, SE02D, SE03D, S124D, S129D
SE54D	FA14D, FA15D, FA22D, FA28D, FA39D
SE55D	FA33D, FA47D, S111D, FA36D
SE56D	S101D, S103D, S113D, S126D, S128D
SE57D	SE01D, SE02D, SE03D, S111D, S118D
SE58D	1S13N, D150D
NOMA4	V0125, V0135

DECODIFICATI DI STATO

S100D	S0024, S0015, S0004
S101D	S0054, S0036, S1005
S102D	S0054, S0034, S1005
S103D	S005R, S0035, S1005
S104D	S005R, S0044, S0034, S1005
S105D	S005R, S0045, S0034, S1005
S106D	S0034, S0025, S0015, S0004
S107D	S0035, S0025, S0015, S0004
S108D	S0035, S0025, S0014, S0004
S109D	
S110D	S0054, S108N
S111D	S0056, S108N
S112D	S099D, S0006
S113D	S0036, S0024, S0014, S112N
S114D	S0034, S0014, S099D, S0005
S115D	S0034, S0015, S112N
S116D	S099N, S0005
S117D	S0065, S0055, S1165
S118D	S0064, S005R, S0045, S1165
S119D	S0065, S0054, S0044, S1165
S120D	S0064, S0055, S0044, S1165
S121D	S0065, S0054, S0046, S1165
S122D	S0064, S0054, S0046
S123D	S0024, S0014
S124D	S0064, S0054, S0044, S1165
S124N	S124D
S125D	S0024, S0014, S0004
S126D	S0054, S0045, S0035, S1255
S127D	S0054, S0045, S0034, S1255
S128D	S0055, S0035, S1255

DECODIFICATI DI STATO

S129 D	S0055, S0044, S0034, S1256
S130 D	S0056, S0045, S0034, S1255
S131 D	S0054, S0044, S1256

DECODIFICATI DI CODICI F

F100 D	F0064, F0035, F0026, F0004
F101 D	F0055, F0035
F102 D	F0065, F0034
F103 D	F0054, F0024, F0004
F104 D	F0074, F0016
F105 D	F0075, F0064, F0046, F0016, F1005
F106 D	F0016, F0004, F1015
F107 D	F0035, F0016, F1035
F108 D	F0044, F0014
F109 D	F0035, F0014, F1035
F110 D	F0075, F0065
F111 D	F0074, F0034, F0004
F100 N	F100
F101 N	F101
F102 N	F102
F103 N	F103
F109 N	F109

DA FA00 A FA25

FA00D	
FA01D	S0054, S0035, S1005, SE04D
FA02D	S1025, F1015, F0075, F0004
FA03D	S1025, F1005, F0075, F0016
FA04D	S1025, F1015, F0075, F0005
FA05D	S1025, F0075, F0034, F0005
FA06D	S1025, F0054, F0075, F0035, F0005
FA07D	SE00R, F0074, F0015
FA08D	SE00N, F0065, F0075, F1005
FA09D	SE00N, F0064, F0075, F0034
FA10D	SE00N, F0074, F0014
FA11D	SE00N, F0075, F0064, F0045, F0015, F1005
FA12D	SE00N, F104D, F105D
FA13D	S105N, COVEN
FA14D	S1025, F0075
FA15D	S1025, F0065
FA16D	S1025, F0075
FA17D	S1065, F0014, F1005
FA18D	S1065, F1015
FA19D	S1065, F1015, F0016, F0004
FA20D	S1065, F106D, F107D
FA21D	S1065, F0035, F0015, F1035, S0055
FA22D	S1065, F0035, F0016, F1035, S0054
FA23D	S1065, F107D,
FA24D	
FA25D	S1065, SE11D, F0015, F1005

DA FA26 A FA50

FA26D	S1066, SE11D, F0014, F0004, F1015
FA27D	S1065, LEREN, F1015
FA28D	S1075, S0054, F1006
FA30D	S1075, F0054, F0035, F0015, F0006
FA31D	S1075, S0065, F1006
FA32D	S1075, F0065, F0015, F1035
FA33D	S1075, F0064, F0034, F0024
FA34D	S1075, F0054, F0034, F0014, F0006
FA35D	S1075, F0025, F0015, F0004, F1026
FA36D	S1076, F0025, F0014, F0004, F1025
FA37D	S1075, F0015, F0006, F1025
FA38D	S1075, F109N, S0065
FA39D	S1075, F109N, S0064
FA40D	S1075, F100D, F109D
FA41D	S1076, F0024, F0015, F1015
FA42D	S1075, F0024, F0005, F1015
FA43D	S1076, F0026, F1015
FA44D	SE14N, DIVED
FA45D	SE14N, DIVEN
FA46D	S1076, F0014, F1006, S0055
FA47D	S1075, F0064, F0034, F0026
FA48D	SE13N, S0045
FA49D	S0056, S0044, S0034, S1005, F0065
FA50D	S1075, F0014, F1005, S0054

DA FA51 A FA75

FA51D	S1076, F0014, F0004, F1015
FA52D	S1076, F0016, F0004, F1016
FA53D	S1076, F0015, F0006, F1015
FA54D	SE13N, SE15N, R0015, R0004
FA55D	S1076, F0054, F0035, F0006, BABAN
FA56D	SE13N, SE15N, R0014, R0006
FA57D	S1076, S0056, F1005, SE176
FA58D	S1076, FY015, SE16N
FA59D	S1076, F1015, S0045, SE16D
FA60D	SE13N, SE16N, R0014
FA61D	SE18N, F109N, S0056
FA62D	SE18N, F0014, F0005, F1026, DIVED
FA63D	SE18N, F0004, F1025
FA64D	SE18N, F0015, F1026
FA65D	SE18N, F0036, F0015, F1035
FA66D	S1076, F109N, S0056, SE176
FA67D	S1076, F1025, SE175
FA68D	S1076, F0014, F0005, F1025, DIVEN
FA69D	S1076, F0035, F0015, F1036, SE175
FA70D	S1076, F0054, F0035, F0006, SE176
FA71D	S112N, F0056
FA72D	S113N, F0064
FA73D	S113N, F0065
FA74D	S1145, F0044, S0024, FINU4
FA75D	S1145, F0065, FINUN

FA76 D	S1145, F0064
FA78 D	S1145, F0065
FA79 D	S1145, FINUN
FA80 D	S1145, SETED, F0064
FA81 D	S1145, SETE5, F0064
FA82 D	S1145, F0064, FINU4
FA83 D	S1145, SETED
FA84 D	S1145, S0025
FA85 D	S1145, S0024, F0044
FA86 D	S1145, S0025, FINU4
FA87 D	S115N, S122D
FA88 D	S115N, S0064, S0054, S0046
FA89 D	S0065, S0054, S0044, S1166, FISAN
FA90 D	S120N, BABAD, ERARD, FINOD
FA91 D	S121N, FISAD
FA93 D	S121N, FISAN
FA94 D	S124N, S0036, S123D
FA96 D	S127N, F0024
FA97 D	S127N, F0074, F0006
FA98 D	S127N, F0074
FA99 D	S0055, S0046, S0034, S1256, F0006

FE00 D	S1315, COUSN, F0075, F0065
FE01 D	S1315, F110D, F0005
FE02 D	S1315, F110D, F0004
FE03 D	S1315, F110D,
FE04 D	S1315, F110D, SETED, F0004
FE05 D	S1315, F0074, F0006, F0034
FE06 D	S1315, S0065, F0034, SELAN, F0074
FE07 D	S1315, F0004, F0034, SETE5, F0074
FE08 D	S1315, F0074, F0034, S0065
FE09 D	S1315, SELAD, F0074, F0034, S0065
FE10 D	S1315, F111D
FE11 D	S1315, F0074, F0034
FE12 D	S105N, COVED
FE13 D	S1065, F0054, F0035, F0006
FE15 D	S1315, COUTN, F0075, F0065
FE16 D	S105N, RE065, F0045, F0074
FE17 D	S105N, ARCON, COVEN
FE18 D	S105N, ARNON, COVED, F0074
FE19 D	ERIAN, FEINN
FE20 D	S121N, LESAD
FE21 D	S130N, F0005, SELAN
FE22 D	S1145, FE23D
FE23 D	F0044, S0024
FE25 D	SA30N, S113N
FE26 D	C017N, CAPEN
FE27 D	CAPEN, S113N
FE80 D	C000N, C011D

GENERAL ELECTRIC *è marchio registrato della GENERAL ELECTRIC COMPANY U.S.A.*